



# Développement d'un circuit de lecture pour un calorimètre électromagnétique ultra-granulaire

Jean-Baptiste Cizel

► **To cite this version:**

Jean-Baptiste Cizel. Développement d'un circuit de lecture pour un calorimètre électromagnétique ultra-granulaire. Electronique. Université Paris-Saclay, 2016. Français. NNT : 2016SACLX088 . tel-01531862

**HAL Id: tel-01531862**

**<https://pastel.archives-ouvertes.fr/tel-01531862>**

Submitted on 2 Jun 2017

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

NNT : 2016SACLX088



THESE DE DOCTORAT  
DE  
L'UNIVERSITÉ PARIS-SACLAY  
PRÉPARÉE À  
L'ÉCOLE POLYTECHNIQUE

ÉCOLE DOCTORALE N° 576  
Particules, Hadrons, Énergie et Noyau : Instrumentation, Imagerie, Cosmos et  
Simulation

Spécialité de doctorat : Physique des particules

Par

**Monsieur Jean-Baptiste Cizel**

Développement d'un circuit de lecture pour un calorimètre électromagnétique  
ultra-granulaire

**Thèse présentée et soutenue à Palaiseau, le 9 décembre 2016 :**

**Composition du Jury :**

M. Laktineh, Imad  
M. Lu, Guo-Neng  
M. Delagnes, Éric  
M. Cornat, Rémi

Professeur des universités à l'IPNL  
Professeur des universités à l'INL  
Ingénieur à l'IRFU du CEA Saclay  
Docteur HDR au LLR de l'X

Président du jury  
Rapporteur  
Examineur  
Directeur de thèse



# Contenu

<b>Glossaire .....</b>	<b>4</b>
<b>Introduction .....</b>	<b>5</b>
<b>I. Contexte scientifique .....</b>	<b>6</b>
1 Introduction .....	6
2 ILC.....	6
3 CALICE .....	7
4 Le calorimètre électromagnétique Silicium-Tungstène (SiW ECAL) .....	8
4.1 Qu'est-ce qu'un calorimètre électromagnétique ? .....	8
4.2 Le Particle Flow Algorithm .....	9
4.3 Le détecteur .....	10
4.3.1 Schéma général.....	10
4.3.2 Diodes PIN.....	12
4.3.3 Les couches de tungstène.....	13
5 Le circuit de lecture .....	13
5.1 Principes généraux et exemples historiques.....	13
5.1.1 L'Exemple d'ATLAS.....	14
5.1.2 L'exemple de CMS.....	14
5.1.3 Afin d'aller plus loin dans l'intégration .....	15
5.2 Préamplificateur.....	15
5.2.1 Différents types de préamplificateurs .....	15
5.2.2 Préamplificateur de charge.....	16
5.3 Filtres formeurs ou <i>shapers</i> .....	24
5.3.1 Influence de la bande passante du préamplificateur .....	27
5.3.2 Influence du déséquilibre de $C_1R_1$ et $C_2R_2$ .....	28
5.3.3 Calcul du bruit en sortie de shaper .....	31
5.3.4 Un rapport signal sur bruit supérieur à 10.....	33
6 Cahier des charges du circuit de lecture idéal.....	37
<b>II. SKIROC2.....</b>	<b>39</b>
1 Présentation.....	39
2 Simulations.....	40
2.1 Cœur analogique.....	40
2.1.1 Préamplificateur .....	40
2.1.2 Shaper .....	52
2.1.3 Bandgap .....	69
2.2 Système de mémorisation des événements et conversion digitale.....	74
2.2.1 Mémoire analogique.....	74
2.2.2 Boite à délai .....	75
2.2.3 ADC Wilkinson.....	75

3	<i>Résultats de mesures sur carte de test</i> .....	76
3.1	Carte de test.....	76
3.2	Signal d'entrée .....	77
3.3	Signaux de sorties analogiques .....	79
3.3.1	Préamplificateur .....	79
3.3.2	Slow shaper G1 .....	80
3.3.3	Slow shaper G10 .....	80
3.3.4	Fast shaper.....	81
3.4	Linéarité .....	82
3.4.1	Slow shaper G1 .....	82
3.4.2	Slow shaper G10 .....	83
3.5	Estimation de la capacité parasite d'entrée.....	83
3.6	Mesures de l'efficacité de déclenchement .....	84
3.6.1	Mesures classiques .....	85
3.6.2	Mesure des paramètres des piédestaux.....	87
3.6.3	L'importance de l'extraction des paramètres des piédestaux sur la calibration des seuils de déclenchement. ....	89
3.7	Discrimination du MIP unique.....	90
3.8	Mesure de l'ENC.....	91
3.9	Diaphonie analogique .....	92
3.10	Diaphonie digitale .....	93
3.11	Stabilité du piédestal des slow shapers .....	95
4	<i>Intégration dans le détecteur</i> .....	95
4.1	Power Pulsing.....	95
4.2	Plane events .....	96
4.3	Efficacité de déclenchement sur carte front-end.....	97
4.4	Diaphonies et re-déclenchement.....	100
5	<i>Conclusion</i> .....	102
<b>III.</b>	<b>Développement des buildings blocks dans la technologie XT018 .....</b>	<b>103</b>
1	<i>Choix de la technologie</i> .....	103
2	<i>Présentation du circuit</i> .....	104
3	<i>Préamplificateur</i> .....	105
3.1	PACSP .....	105
3.2	PACSN.....	106
3.3	PADIF .....	108
3.4	Etude en boucle ouverte .....	109
3.4.1	PACSP .....	109
3.4.2	PACSN .....	112
3.4.3	PADIF.....	114
3.5	Etude en boucle fermée .....	117
3.5.1	PACSP .....	117
3.5.2	PACSN .....	119
3.5.3	PADIF.....	120
3.6	Bruit.....	121
3.6.1	PACSP.....	121

3.6.2	PACSN .....	123
3.6.3	PADIF.....	126
3.7	Réjection d'alimentation.....	128
3.7.1	PACSP .....	128
3.7.2	PACSN .....	129
3.7.3	PADIF.....	130
3.8	Layout.....	132
3.8.1	PACSP .....	132
3.8.2	PACSN .....	132
3.8.3	PADIF.....	133
3.9	Conclusion .....	133
4	<i>Shapers</i> .....	134
4.1	Fast shaper .....	134
4.2	Slow shaper haut gain .....	137
4.3	Slow shaper bas gain .....	140
5	<i>Bandgap</i> .....	143
6	<i>Comparteur</i> .....	145
7	<i>Boite à délai</i> .....	146
8	<i>Mémorisation analogique</i> .....	147
9	<i>ADC Wilkinson</i> .....	148
10	<i>Conclusion</i> .....	149
<b>IV.</b>	<b>Mesures des building blocks .....</b>	<b>151</b>
11	<i>Carte de test</i> .....	151
12	<i>Software C#</i> .....	152
13	<i>Points de polarisation</i> .....	153
14	<i>Signaux de sortie analogiques</i> .....	155
15	<i>Linéarités</i> .....	157
15.1	PACSP .....	158
15.2	PACSN.....	159
15.3	PADIF .....	161
16	<i>SNR en sortie de fast shaper</i> .....	163
17	<i>Discrimination du MIP</i> .....	164
18	<i>Réjection d'alimentation</i> .....	166
19	<i>Conclusions sur les mesures sur carte de test et comparaison avec SKIROC2</i> .....	166
	<b>Conclusion et perspectives</b> .....	<b>168</b>
	<b>Bibliographie</b> .....	<b>171</b>

# Glossaire

---

Terme	Définition
<b>C<sub>dd</sub></b>	Capacité parasite totale sur le drain d'un transistor MOS
<b>C<sub>gg</sub></b>	Capacité parasite totale sur la grille d'un transistor MOS
<b>C<sub>ss</sub></b>	Capacité parasite totale sur la source d'un transistor MOS
<b>DNL</b>	Differential NonLinearity. Non linéarité définie par $DNL(i) = \frac{v_{out(i+1)} - v_{out(i)}}{LSB_{ideal}} - 1$
<b>g<sub>ds</sub></b>	Transconductance entre le drain et la source d'un transistor MOS.
<b>g<sub>m</sub></b>	Transconductance entre la grille et la source d'un transistor MOS.
<b>INL</b>	Integral NonLinearity. C'est la déviation maximale du signal par rapport à une droite idéale. Elle sera ici définie par $INL(x) = \frac{data(x) - fit(x)}{data_{max}}$ afin de l'avoir en pourcentage de déviation, $fit(x)$ étant la régression linéaire faite sur les points de la linéarité.
<b>piédestal</b>	Le piédestal est la composante continue d'un signal. C'est la tension de polarisation de la sortie du bloc considéré.
<b>PSRR</b>	Power Supply Rejection Ratio. C'est la réjection d'alimentation d'un bloc analogique ou d'un montage. Plus cette réjection est grande, plus le bloc analogique est résistant au bruit d'alimentation.
<b>rail-to-rail</b>	Un montage rail-to-rail est un montage capable d'exploiter toute la gamme dynamique entre la masse et la tension d'alimentation sans saturer sur cette gamme.
<b>slow control</b>	Le slow control qualifie les paramètres de configuration des ASIC présentés. Ces paramètres sont chargés dans un registre à décalage intégré dans la puce.
<b>SNR</b>	Signal over Noise Ratio, le rapport signal sur bruit en français. Plus il est grand, plus le bruit sera négligeable devant le signal.
<b>V<sub>DD</sub></b>	Tension d'alimentation du circuit.
<b>V<sub>ds</sub></b>	Différence de potentiel entre le drain et la source d'un transistor MOS.
<b>V<sub>gs</sub></b>	Différence de potentiel entre la grille et la source d'un transistor MOS.

# Introduction

---

Les avancées et découvertes scientifiques modernes dans le domaine de la physique des particules sont dépendantes des outils à dispositions des physiciens. Après la première hypothèse de l'existence d'un boson responsable de la masse de la matière en 1964, depuis appelé communément « boson de Higgs » ou plus justement « boson BHE » pour Brout, Higgs et Englert, le nom des premiers physiciens à avoir supposé l'existence d'une telle particule, il a fallu 50 années de développement afin d'avoir accès à des instruments capables de détecter cette particule et valider la théorie de son existence. Ces appareils de mesure sont situés au CERN à Genève et font partie des expériences CMS et ATLAS auprès du Large Hadron Collider (LHC). Le LHC est un collisionneur de particules. Le but est de créer des collisions de particules à différentes énergies afin de déclencher, au niveau des détecteurs, la création de particules encore non découvertes ou d'étudier précisément les propriétés des particules déjà connues.

Parmi ces détecteurs se trouvent des instruments appelés calorimètres, utilisés pour mesurer l'énergie des particules les pénétrants. La faisabilité des mesures dont les physiciens ont besoin pour leurs travaux de recherche dépendent directement des performances de ces calorimètres. Au niveau des calorimètres est mesurée non pas l'énergie des particules créées lors des collisions mais plutôt celles des particules produites lors de leur désintégration. En effets les particules créées sont trop instables pour exister assez longtemps pour être mesurées. Il est ensuite possible de déduire les caractéristiques de la particule originalement créée lors de la collision par l'étude du produit de la désintégration.

Afin d'améliorer les précisions des mesures, des résolutions spatiales de plus en plus importantes sont visées dans les calorimètres. Pour cela sont utilisées des cellules de détection de plus en plus compactes. Cette augmentation de la résolution des détecteurs implique l'intégration de plus en plus d'électronique dédiée à la lecture de ces détecteurs. Les travaux présentés dans cette thèse traitent de la création d'une électronique de lecture pour les détecteurs utilisés en calorimétrie.

Dans une première partie est posé le contexte scientifique dans lequel se déroulent ces travaux. Dans une deuxième partie est présenté l'état de l'art de l'électronique de lecture au sein de ce projet. La troisième partie est dédiée à l'étude de la nouvelle électronique de lecture développée durant cette thèse, suivie d'une dernière partie relatant des mesures sur carte de test de cette électronique.



# I. Contexte scientifique

---

## 1 Introduction

La physique des particules dans son approche moderne est résumée dans ce que l'on appelle le Modèle Standard. Ce modèle décrit les interactions faibles, fortes et électromagnétiques et est valable pour les basses et hautes énergies. Il a beau avoir été bien éprouvé, il reste incomplet car incapable d'expliquer certains aspects de la physique : de nouvelles particules et forces sont nécessaires pour compléter ce modèle. Un des aspects les moins compris est la manière dont la force gravitationnelle est reliée aux autres forces de la nature.

Les chercheurs se concentrent également sur 3 phénomènes majeurs encore inexpliqués, qui sont considérés comme les saint graals de la physique moderne :

- Qu'est-ce que la matière noire ? Elle ne peut être composée de particules du Modèle Standard actuel.
- Pourquoi l'Univers contient-il de la matière atomique faite d'électrons, protons et neutrons mais pas ne contient pas, de ce que l'on sait, de quantité équivalente d'antimatière ?
- D'où vient la masse et pourquoi existe-t-elle ?

La résolution de ce troisième problème est dépendante de notre compréhension du boson de Higgs [1] [2] [3]. Pour étudier ce boson, la communauté scientifique internationale a lancé un projet de collisionneur électron-positron linéaire appelé ILC.

## 2 ILC

Le collisionneur linéaire international (ILC pour *International Linear Collider* [4]) est un collisionneur électron-positon à haute énergie (200 à 500 GeV dans sa première version, et jusqu'à 1 TeV dans ses potentielles versions ultérieures). Il a été développé pour répondre aux besoins de la physique des particules. La recherche pour de nouvelles particules et forces à des énergies supérieures à plusieurs centaines de GeV est un des principaux challenges de la physique moderne. Depuis la découverte récente du boson de Higgs au LHC du Cern à Genève [5], l'ILC s'est révélé être un excellent candidat pour pousser plus loin les recherches sur ce boson et améliorer notre compréhension de ce pan de la physique. Le cahier des charges concernant l'ILC a été discuté durant plusieurs années par la communauté de physique des particules. Les premiers axes de développement ont été soumis en 2003, mis à jour en 2007 avec le *Reference Design Report* [6] et constamment remaniés depuis.

Les premières technologies utilisées dans l'ILC viennent de la collaboration Tesla de 1990, il s'agit des cavités supraconductrices [7]. Depuis 2005 le développement de l'ILC a continué en tant que collaboration internationale au sein du *Global Design Effort* (GDE) sous le mandat de l'*International Committee for Future Accelerators* (ICFA). Le GDE a publié un rapport pendant la phase de développement technique appelé *Technical Design Report* en 2013 [8].

L'ILC est le candidat idéal pour l'étude du boson de Higgs et peut-être même d'autres particules encore inconnues ou seulement suspectées. Les principales différences entre les collisionneurs  $e^+e^-$  et hadron-hadron (comme le LHC) sont mises en évidence dans la suite de cette section.

Pour commencer, un collisionneur  $e^+e^-$  doit être linéaire. Le LHC est un collisionneur circulaire et les hadrons font plusieurs fois le tour de l'anneau avant d'être collisionnés. Cela permet d'accélérer ces particules comme si la distance avant collision était « infinie ». Dans un collisionneur linéaire la distance est fixée dès la phase de design et il est difficile de réviser cette longueur, particulièrement de l'allonger puisque c'est cela qui sera intéressant la plupart du temps. L'énergie de la collision est proportionnelle à la longueur d'un collisionneur.

Une autre différence importante est dans la façon dont les collisionneurs sont fabriqués. Le LHC et les collisionneurs hadron-hadron d'une manière générale doivent être extrêmement blindés pour pouvoir contenir les radiations. Ils doivent être résistants aux radiations et avoir des systèmes de déclenchement complexes pour se concentrer sur les événements importants. Dans un collisionneur  $e^+e^-$ , les détecteurs peuvent être aussi fins qu'il est techniquement possible de les fabriquer car les collisions n'émettent pas de radiations, le collisionneur est donc bien moins épais. De ce fait les détecteurs peuvent être placés bien plus près des collisions.

Un autre avantage majeur des collisionneurs  $e^+e^-$  est que lors d'une collision, les réactions sont bien plus élémentaires que dans une collision hadron-hadron car les électrons sont eux même des particules élémentaires, sans structure interne connue, contrairement aux hadrons. Une collision à l'ILC se ferait entre deux particules assimilables à de simples points se couplant uniquement avec l'interaction électrofaible. Dans une collision proton-proton l'état initial n'est jamais certain car il reste une incertitude sur la partie de chaque proton qui va interagir avec ceux des autres. Dans le cas d'une collision  $e^+e^-$ , l'énergie du centre de masse et la polarisation à l'état initial sont connus précisément et peuvent être ajustés. Le bruit de fond est aussi beaucoup plus propre, de plusieurs ordres de magnitude par rapport aux collisions hadron-hadron (dû à la chromodynamique quantique [9] [10]). C'est grâce à cela que l'on peut se permettre de se passer des systèmes de déclenchement complexes utilisés dans les collisionneurs hadron-hadron. Les mesures sont pleinement comprises et peuvent être complètement reconstruites dans un collisionneur  $e^+e^-$ .

Ces conditions expérimentales remarquables à l'échelle du TeV vont permettre de pousser encore un peu plus loin notre compréhension de la physique des particules. Ces expériences seront complémentaires à celles du LHC : pour chaque nouvelle particule découverte au LHC, l'ILC pourra fournir une étude de haute précision. L'ILC sera essentiel pour déterminer les propriétés de ces particules et pourra révéler la structure sous-jacente de cette nouvelle physique.

Afin de mener l'étude et le développement de l'ILC, une collaboration internationale a été créée. Cette collaboration s'appelle CALICE.

### 3 CALICE

La collaboration CALICE (CALorimeter for LInear Collider Experiment) est un groupe de R&D regroupant plus de 300 physiciens et ingénieurs à travers le monde. L'objectif de cette collaboration

est de développer de nouveaux calorimètres de hautes performances pour le futur collisionneur linéaire ILC.

CALICE développe les prototypes des trois principaux sous-systèmes calorimétriques qui sont le calorimètre électromagnétique, le calorimètre hadronique et le *tail catcher/muon tracker*. Plusieurs alternatives sont évaluées.

Dans le calorimètre électromagnétique sont regroupés le SCECAL, le MAPS ECAL et le SiW ECAL.

- SCECAL : Calorimètre électromagnétique basé sur l'utilisation de scintillateurs et de photomultiplicateurs ;
- MAPS ECAL : Calorimètre digital basé sur des matrices de pixels ;
- SiW ECAL : Calorimètre utilisant des diodes PIN comme détecteur et du tungstène comme matériau absorbeur.

Les développements concernant le calorimètre hadronique regroupent l'AHCAL et le DHCAL.

- AHCAL : Calorimètre hadronique analogique basé sur des scintillateurs et des SiPM ;
- DHCAL : Calorimètre hadronique digital ;
- SDHCAL : Calorimètre hadronique semi-digital.

Dans le cadre de cette thèse, le travail est concentré sur l'électronique de lecture du SiW ECAL. C'est un projet dont la conception est délicate car les diodes PIN sont des détecteurs passifs, il n'y a pas d'amplification intrinsèque. Le signal est donc très faible. La capacité du détecteur est relativement élevée également (aux alentours de 10 pF dans le cas des diodes utilisées), ce qui apporte également son lot de problèmes qui seront détaillés par la suite.

## **4 Le calorimètre électromagnétique Silicium-Tungstène (SiW ECAL)**

### **4.1 Qu'est-ce qu'un calorimètre électromagnétique ?**

Le mot « calorimètre » vient du latin « calor » qui signifie « chaleur ». Un calorimètre mesure donc la chaleur, ce qui dans le cas de la physique des hautes énergies, signifie l'énergie d'une particule. Les calorimètres de la physique des particules ne fonctionnent pas vraiment comme des calorimètres standards. Dans un calorimètre standard, les particules de haute énergie la perde lorsqu'elles pénètrent la surface du calorimètre et « chauffent » le matériau. C'est comparable à un thermomètre. Dans le domaine de la physique des particules il n'y a pas de dégagement de chaleur, une particule incidente va interagir dans le matériau (appelé absorbeur) et va être convertie en de multiples particules de plus basse énergie, chacune transportant avec elle une fraction de l'énergie de la particule de départ (voir Figure 1). Cette réaction est appelée « gerbe électromagnétique ».

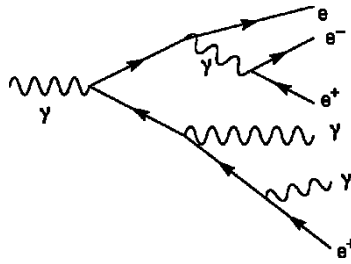


Figure 1 : Schématisation d'une cascade électromagnétique. Source de l'image : Wikipédia.

Dans le cas de l'ECAL pour l'ILC, le matériau utilisé pour créer cette gerbe est le tungstène (W). Du fait que ce soit un absorbeur, une partie de l'énergie est perdue et il est donc important de pouvoir estimer quelle fraction de l'énergie cela représente. Il y a plusieurs couches de tungstène et entre chaque couche se trouve une couche de détecteurs. Ces détecteurs vont mesurer l'énergie des particules les traversant et permettront donc d'évaluer l'énergie de la particule initiale. La raison pour laquelle de l'absorbeur est rajouté entre chaque couche de détecteur est que plus d'information est créée grâce à la pixellisation longitudinale et que l'analyse des particules individuelle en est facilitée (plus précise). Ces couches d'absorbeur permettent également de contenir intégralement la gerbe dans une épaisseur réduite.

Le calorimètre est un large cylindre autour du faisceau. Ce cylindre est couvert par une matrice de détecteurs sur plusieurs couches. En étant capable de déterminer quel détecteur est touché à quel moment, il est possible de reconstruire la cascade en énergie et en trajectoire (grâce à la pixellisation transversale). Ces détecteurs sont en fait des diodes PIN et leur fonctionnement est détaillé dans la section 4.3.2 page 12.

Le terme « électromagnétique » fait référence au fait que ce calorimètre est développé pour mesurer l'énergie des particules qui interagissent par le biais de l'interaction électromagnétique (typiquement les photons et les électrons). Un calorimètre hadronique est utilisé quand les particules mises en jeu sont des hadrons. Un hadron traversant le calorimètre n'interagira avec la matière qu'à partir d'une certaine profondeur, ce qui explique qu'on les place derrière les calorimètres électromagnétiques et qu'ils soient beaucoup plus épais. Un calorimètre hadronique est conçu pour mesurer l'énergie de particules qui interagissent par l'interaction forte (les nucléons ou n'importe quelle autre particule faite de quarks, anti-quarks ou gluons).

En conclusion un calorimètre électromagnétique est conçu pour étudier les particules interagissant avec l'interaction électromagnétique alors qu'un calorimètre hadronique permettra d'étudier les particules interagissant avec l'interaction forte.

## 4.2 Le Particle Flow Algorithm

Le *particle flow algorithm* (PFA) est une technique utilisée pour optimiser la reconstruction des gerbes électromagnétiques dans les calorimètres. Cela passe par la reconstruction des trajectoires des particules individuelles. Le but est d'être capable d'identifier les gerbes individuellement et éviter tout recouvrement entre elles.

Cette reconstruction est possible si le calorimètre a :

- Une grande résolution transversale ;
- Une grande résolution longitudinale.

La taille de chaque pixel de détecteur doit être au moins plus fine que le rayon de Molière, défini comme le rayon d'un cylindre contenant 90 % de l'énergie déposée par une gerbe électromagnétique, afin d'avoir une bonne résolution transversale. Ceci permet de discriminer deux gerbes incidentes proches.

La résolution longitudinale s'obtient en empilant plusieurs couches de détection. De la distance entre ces couches dépendra la finesse de la résolution. Entre chaque couche de détection s'intercale une épaisseur d'absorbeur pour d'abord créer et ensuite contenir la gerbe dans l'épaisseur du détecteur. Cette épaisseur de détecteur est déterminée par la longueur d'interaction du matériau absorbeur utilisé et par la quantité de matière. La segmentation longitudinale doit être la plus fine possible pour une résolution optimisée. De plus, si les couches d'absorbeur étaient trop éloignées la gerbe se disperserait trop et deux gerbes incidentes proches se recouvriraient et deviendraient indiscernables. C'est justement ce que l'on cherche à éviter.

## 4.3 Le détecteur

### 4.3.1 Schéma général

Le SiW ECAL a été optimisé pour l'utilisation du PFA. Les recommandations sont [11] :

- Grande granularité du calorimètre pour une bonne résolution transversale ;
- Segmentation fine pour obtenir une bonne résolution longitudinale ;
- Bobine créant le champ magnétique servant à courber les particules chargées idéalement à l'extérieur du calorimètre pour de meilleures mesures d'énergie ;
  - Calorimètre compact pour réduire le diamètre de la bobine.
  - Dissipation de chaleur de l'électronique minimale pour éviter d'avoir un système de refroidissement trop important, ce qui épaissirait le calorimètre inutilement.

Il est estimé pour le moment que le calorimètre électromagnétique comportera 82 millions de canaux (contre 76200 dans le calorimètre électromagnétique de CMS au LHC par exemple). La grande granularité implique de très fortes contraintes de miniaturisation de l'électronique afin de pouvoir la contenir dans une surface réduite et sur une épaisseur la plus fine possible. C'est pour cette raison que la création d'ASIC dédiés à la lecture des détecteurs est inévitable. La contrainte de compacité du détecteur amène à choisir un matériau absorbeur ayant une faible longueur de radiation car l'épaisseur de matière nécessaire pour contenir une gerbe dépend de la longueur de radiation. Le rayon de Molière s'exprime également en fonction de la longueur de radiation du matériau, ce qui est intéressant car plus la longueur de radiation est faible, plus le rayon de Molière est faible.

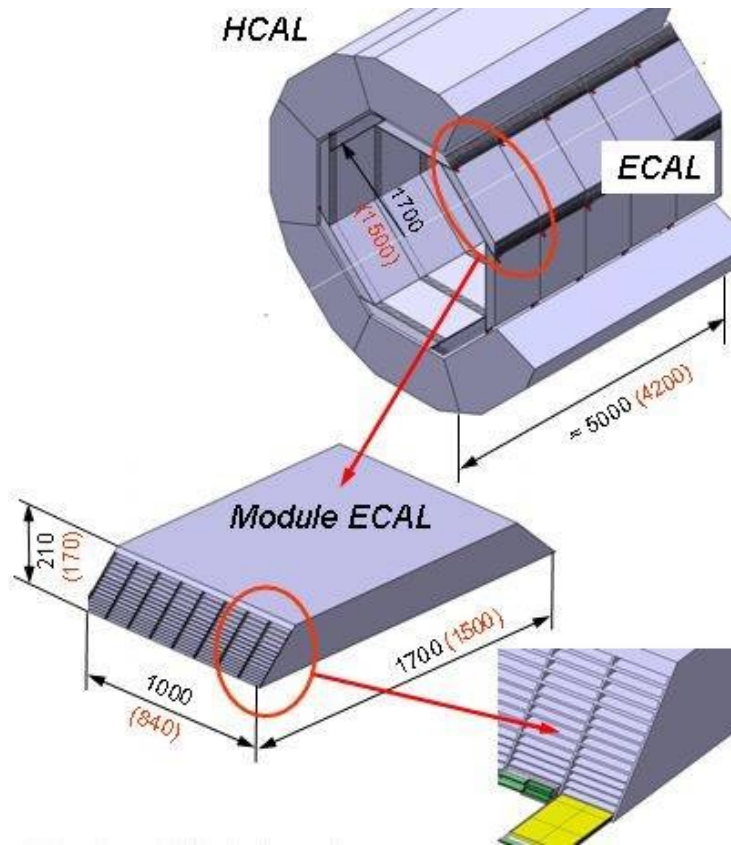


Figure 2 : Géométrie et dimensions de l'ECAL.

Chaque module de l'ECAL est en tungstène et comporte des cavités dans lesquelles seront glissées les couches actives de détection. Il y a donc une alternance de couches d'absorbeur en tungstène et de couches de détection en silicium. Les couches de détection sont composées de matrices de diodes PIN et de leurs circuits de lecture dédiés. La Figure 3 donne une vue éclatée de ce qui est appelé un « slab ».

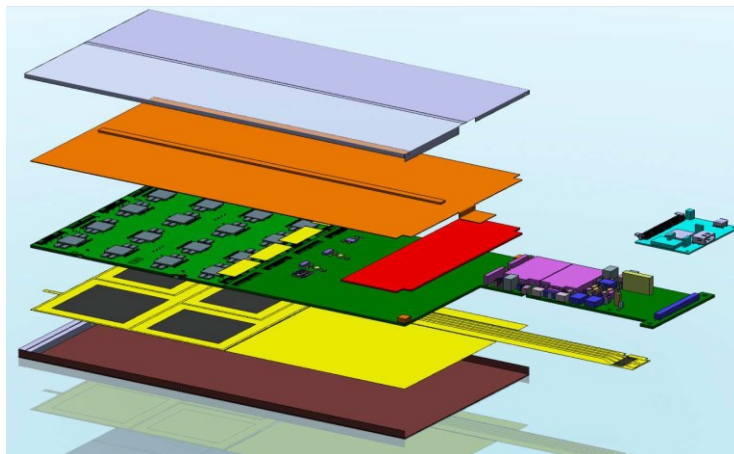


Figure 3 : Vue éclatée d'un slab dans sa dernière version (septembre 2015). Crédits image : Michaël Frodin.

Les matrices de diodes PIN (jaune) sont collées au dos des PCB (vert) sur lesquels sont soudés les ASIC. Ce montage forme un ASU (pour *Active Sensor Unit*). Sur chaque ASU se trouvent 16 ASIC

qui permettent la lecture de 1024 diodes PIN, soit 4 matrices de 16x16 diodes. Ces ASU sont soudées ensemble bout à bout pour former ce qui est appelé un slab long. Au bout de ceux-ci se trouve une carte appelée SMB (pour *Sweat Mezzanine Board*) qui permet d'alimenter les ASU et de sortir les données des ASIC vers l'extérieur aidée par la DIF (bleu, pour *Detector InterFace*). Un blindage (orange) protège le montage et le tout est encastré dans un support pour être glissé dans une cavité d'un module.

### 4.3.2 Diodes PIN

Les diodes PIN sont utilisées comme détecteurs dans la physique des hautes énergies. Ces diodes sont organisées en matrices, collées au dos du PCB. Chaque diode PIN est reliée à un canal de la puce de lecture par la cathode. Le schéma Figure 4 dévoile la structure interne d'une diode PIN traversée par une particule.

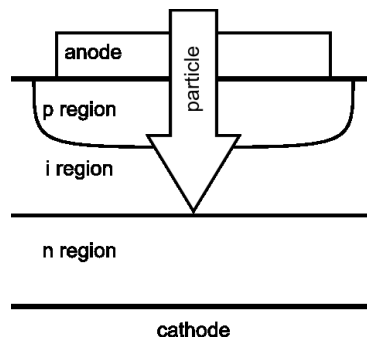


Figure 4 : Structure interne d'une diode PIN.

Une diode PIN est en fait une jonction P/Intrinsèque/N. La différence par rapport à une diode PN standard est donc la région intrinsèque. Dans le cas de l'utilisation en tant que détecteur, la diode est polarisée en inverse. Quand une particule d'énergie suffisante entre dans la région déplétée de la diode, elle crée des paires électron/trou qui vont se recombiner moins vite que dans le reste de la diode. Les paires d'électron/trou créées dans le reste de la diode sont « invisibles » car elles se recombinent trop vite. La polarisation en inverse permet de faire couler les porteurs hors de la région déplétée, ce qui crée un courant. C'est ce courant qui sera alors mesuré à l'entrée de la puce de lecture pour être ensuite traité. La charge créée  $Q = \int i(t)dt$  dépendra de l'énergie et de la vitesse de la particule incidente. En effet une particule lente a une forte probabilité d'interaction avec un atome. De fait une particule lente s'arrêtera complètement dans l'épaisseur de matériau. Elle y perdra donc toute son énergie. Les particules très rapides quant à elles ont beaucoup d'énergie. Elles ne perdront donc qu'une fraction de cette énergie car l'épaisseur de matériau ne sera pas suffisante pour les stopper complètement. Imaginons que deux particules chargées différemment perdent la même fraction de leur énergie dans le matériau, la particule la plus chargée perdra donc plus d'énergie. Entre le cas d'une particule lente perdant toute son énergie dans le matériau et le cas d'une particule très chargée perdant une fraction significative de son énergie dans le matériau se trouve un minimum que l'on appelle *minimum ionizing particle* (MIP).

La Figure 5 illustre cet effet pour un Muon positif traversant du cuivre. Dans le cas présent le MIP, correspondant à l'énergie minimale perdue lors d'une collision, est d'environ 3,8 fC soit 23750

électrons. Comme précisé précédemment ces détecteurs sont des composants passifs, il n'y a pas d'amplification intrinsèque comme dans un photomultiplicateur par exemple.

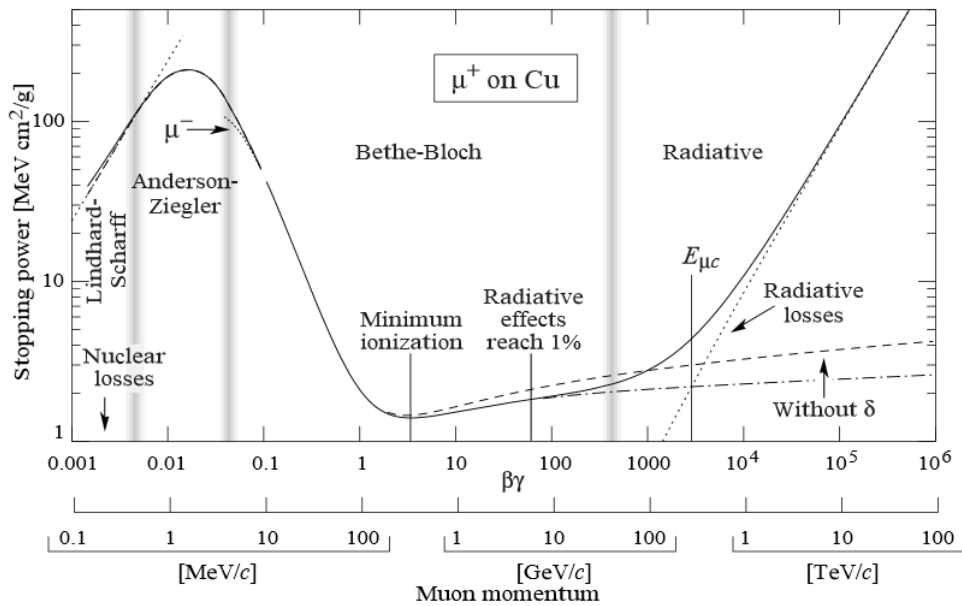


Figure 5 : Pouvoir d'absorption ( $= \langle -dE/dx \rangle$  avec  $E$  l'énergie de la particule incidente et  $x$  la longueur du chemin parcouru) pour un muon positif dans du cuivre en fonction du moment de ce muon. Les bandes verticales indiquent les limites de validité des différents modèles utilisés. (source : Particle Data Group, « *Passage of particles through matter* », <http://pdg.lbl.gov/>)

### 4.3.3 Les couches de tungstène

Entre chaque couche de détection se trouve une épaisseur de tungstène. Le tungstène est appelé absorbeur car il absorbe une partie de l'énergie de la particule incidente. Il a été choisi car il a une faible longueur de radiation  $X_0 = \frac{716,4 \cdot A}{Z(Z+1) \ln \frac{287}{\sqrt{Z}}} = 6,766 \text{ g} \cdot \text{cm}^{-2}$  avec  $A = 183,84$  la masse atomique du tungstène et  $Z = 74$  son numéro atomique, ce qui permet de contenir les gerbes électromagnétiques dans une épaisseur très réduite. De cette faible longueur de radiation dérive un faible rayon de Molière ( $\approx 9 \text{ mm}$ ), ce qui permet entre autre d'éviter que deux gerbes électromagnétique proches se recouvrent.

## 5 Le circuit de lecture

La majorité des concepts abordés ici sont basés sur les cours de Christophe de La Taille, qu'il a pu donner durant les différentes écoles de microélectronique de l'IN2P3 ainsi que sur le cours de Nathalie Seguin-Moreau pour le master d'instrumentation de l'Université Paris XI.

### 5.1 Principes généraux et exemples historiques

Le circuit de lecture sert à lire le signal émis par le détecteur (une diode PIN dans le cas présent) et à l'envoyer sous une forme lisible à l'électronique d'acquisition. Il peut y avoir une partie digitale plus ou moins sophistiquée ou l'ASIC peut être uniquement analogique. Dans tous les cas un circuit de lecture a toujours un premier étage d'amplification du signal entrant, appelé préamplificateur. Ce préamplificateur à lui seul peut être considéré comme étant un circuit de



lecture. La chaîne d'acquisition front-end du signal ressemble la plupart du temps au schéma présenté Figure 6.

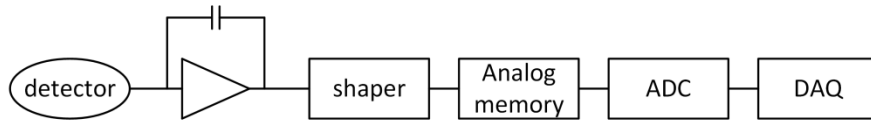


Figure 6 : Schéma d'un front-end classique pour la lecture de détecteur.

Dans la suite de cette section seront étudiés quelques exemples d'électronique de front-end utilisés dans les calorimètres actuels.

### 5.1.1 L'Exemple d'ATLAS

ATLAS est l'acronyme pour *A Toroidal LHC ApparatuS*. Comme son nom l'indique il s'agit une expérience hébergée au *Large Hadron Collider* (LHC) à Genève. Le LHC est un collisionneur proton-proton célèbre pour avoir permis l'identification du boson de Higgs, ce qui a valu un prix Nobel à François Englert et Peter W. Higgs en 2013 [12].

L'électronique de lecture présente sur la Front-End Board est un mélange d'ASIC et de composants discret du commerce. Chaque bloc est intégré séparément, c'est-à-dire que les préamplificateurs, filtres et système de mémorisation et conversion ne sont pas intégré à l'intérieur d'un même chip. Le préamplificateur [13] et les shapers [14] ont été développés par le laboratoire Omega, l'ADC a été développé à l'IRFU du CEA Saclay.

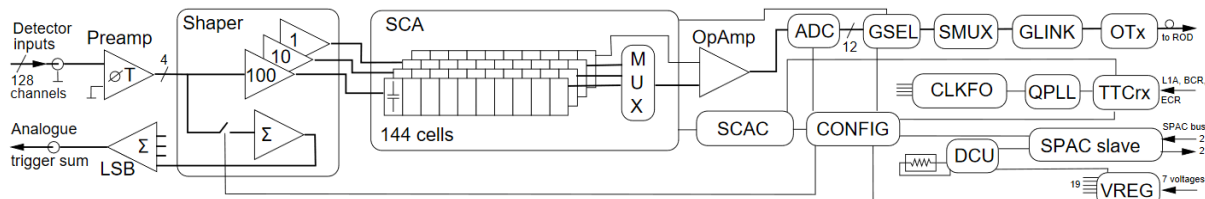


Figure 7 : Carte front-end du détecteur d'ATLAS (source : J.A. Parsons et al., "*Design and Implementation of the Front End Board for the Readout of the ATLAS Liquid Argon Calorimeters*").

### 5.1.2 L'exemple de CMS

CMS (Compact Muon Solenoid), comme ATLAS, est une expérience hébergée au LHC. Le circuit de lecture de CMS, appelé MGPA pour *Multiple Gain PreAmplifier* [15], va un peu plus loin dans l'intégration car il encapsule un préamplificateur, trois filtres passe-bas de différents gains et des buffers de sortie. Toute l'analogique est intégrée dans un ASIC et toute la partie numérique est placée à l'extérieur de la puce.

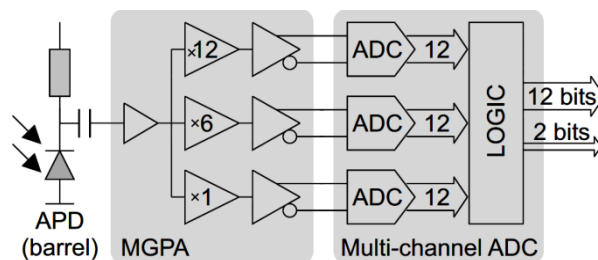


Figure 8 : Electronique de lecture du calorimètre électromagnétique de CMS. Sont représentés le détecteur, l'ASIC de lecture appelé MGPA et l'électronique de conversion externe à l'ASIC.

### 5.1.3 Afin d'aller plus loin dans l'intégration

Le circuit peut également contenir un convertisseur analogique-numérique et un système de déclenchement automatique sur le signal entrant permettant le démarrage de la conversion. Tous ces systèmes peuvent être également placés à l'extérieur de l'ASIC comme dans les exemples d'ATLAS ou de CMS. Le fait de les intégrer fait gagner en place mais complexifie le design du circuit de lecture. Notamment, ajouter une partie numérique implique l'apparition d'une diaphonie digitale.

Un circuit de lecture « moderne » peut donc exister sous la forme présentée Figure 9

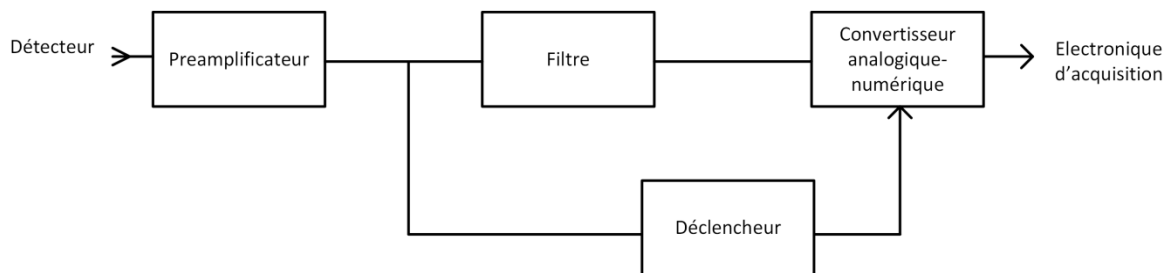


Figure 9 : Schéma de principe d'un circuit de lecture complet.

L'étude théorique des blocs essentiels des circuits de lecture tel le préamplificateur ou les shapers est menée dans la section suivante.

## 5.2 Préamplificateur

### 5.2.1 Différents types de préamplificateurs

Un ingénieur électronique a à sa disposition 4 différents types de montages à contre-réaction qu'il peut utiliser en fonction des besoins de son cahier des charges. Le choix se fait selon la nature des signaux d'entrée et de sortie désirés.

Nom	Signal d'entrée	Signal de sortie	Type de gain
Série-parallèle	Tension	Tension	Gain en tension
Parallèle-parallèle	Courant	Tension	Transimpédance
Série-série	Tension	Courant	Transconductance
Parallèle-série	Courant	Courant	Gain en courant

Tableau 1 : 4 différents types d'asservissement dans les amplificateurs.

Dans le cas de l'ECAL Si-W de l'ILC, le signal d'entrée est un pulse de courant de quelques nanosecondes dont la charge correspond à 23750 électrons environ. Deux solutions se présentent :

- Convertir ce pulse de courant en un pulse de tension par le biais une résistance de charge en entrée du montage et utiliser un préamplificateur de tension ou à transconductance.
- Utiliser un préamplificateur de courant ou à transimpédance.

Le signal d'entrée étant très faible et très court, le convertir en tension pour l'amplifier ensuite n'est pas une solution viable car pour des questions d'adaptation d'impédance il faut une terminaison 50 ohm, ce qui donnerait un pulse de tension trop faible pour être visible. Ce genre de solution est utilisable si le signal d'entrée est de l'ordre de  $10^6$  électrons. Un préamplificateur de

courant ou un montage à transimpédance est préférable dans le cas présent. Travailler avec un signal en courant est plus compliqué qu'avec un signal en tension mais permet de travailler à des fréquences beaucoup plus élevées. Cependant ici la vitesse n'est pas une contrainte, le choix s'est donc porté sur un amplificateur à transimpédance. Le montage utilisé est plus exactement appelé communément « préamplificateur de charge », ce qui rend ce choix encore plus évident et naturel.

## 5.2.2 Preamplificateur de charge

Le préamplificateur de charge est le bloc le plus critique de la puce. C'est celui qui consomme le plus du fait qu'il doit être aussi peu bruyant que possible (voir l'étude en bruit page 21).

Son rôle est de convertir l'impulsion de courant créée par la diode PIN, correspondant à une charge, en un échelon de tension. La transition de cet échelon doit être aussi rapide que possible afin d'avoir une réponse en sortie de shaper la plus propre possible (voir l'étude théorique des shapers section 5.3 page 24).

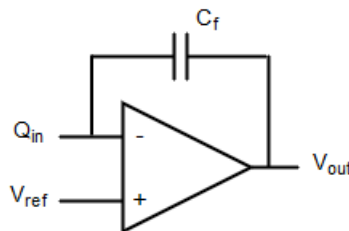


Figure 10 : Schéma de principe du préamplificateur de charge.

### 5.2.2.1 Théorie

Le préamplificateur de charge est un montage transimpédance : l'entrée est en courant, la sortie en tension. Pour un préamplificateur idéal il est obtenu l'équation suivante.

$$\frac{v_{out}(s)}{i_{in}(s)} = -Z_f = -\frac{1}{sC_f} \quad (1)$$

Avec  $s = j\omega$ . On peut donc en déduire

$$v_{out}(s) = -\frac{1}{C_f} \frac{i_{in}(s)}{s} \quad (2)$$

$$\Rightarrow v_{out}(t) = -\frac{1}{C_f} \int i_{in}(t) dt \quad (3)$$

$$v_{out}(t) = -\frac{Q_{in}}{C_f} \quad (4)$$

Il est alors aisé de conclure que conversion charge  $\rightarrow$  tension du montage est déterminé directement par  $C_f$ . Par exemple en choisissant  $C_f = 1$  pF la conversion charge  $\rightarrow$  tension est de 1 mV/fC. La réponse de ce préamplificateur à une courte impulsion de courant est donc un échelon de tension. La réponse en tension est linéairement proportionnelle à la charge entrante. C'est un montage extrêmement intéressant dans ce cas car il permet d'avoir un facteur de conversion

courant → tension énorme ( $\approx 10^{12}$ ) et permet de transformer un très court signal entrant en un échelon de durée « infinie », facilitant le traitement de l'information.

Il faut garder à l'esprit que la capacité de contre-réaction doit être déchargée après chaque mesure afin de pouvoir effectuer plusieurs mesures et éviter l'empilement. L'échelon de tension résultant d'une charge d'entrée doit donc nécessairement être fini.

Afin de polariser correctement le circuit, l'amplificateur a besoin d'une contre-réaction continue qui peut être réalisée par une grande résistance  $R_f$ . Dans l'idéal une résistance infinie permettrait de ne transmettre que le pur niveau DC mais comme dit précédemment il faut aussi vider la capacité de contre-réaction  $C_f$  et celle-ci se vide au travers de cette résistance. En ajustant la valeur de  $R_f$  il est donc possible d'ajuster le temps de décharge de la capacité de contre-réaction. La fonction de transfert  $v_{out}/i_{in}$  (qui sera appelée par la suite  $H_{pal}(s)$ ) en prenant en compte  $R_f$  s'exprime telle que

$$H_{pal}(s) = -Z_f = -\frac{R_f}{sC_fR_f + 1} \quad (5)$$

Il reste à calculer la réponse temporelle en considérant  $i_{in}$  comme étant un Dirac en courant d'amplitude  $Q_{in}$ .

$$V_{out}(t) = \mathcal{L}^{-1} \left[ -\frac{R_f Q_{in}}{sC_fR_f + 1} \right] \quad (6)$$

$$V_{out}(t) = \frac{Q_{in}}{C_f} \mathcal{L}^{-1} \left[ -\frac{1}{s + \frac{1}{C_fR_f}} \right] \quad (7)$$

$$V_{out}(t) = -\frac{Q_{in}}{C_f} e^{-\frac{t}{C_fR_f}} \quad (8)$$

Ce qui nous permet d'étudier l'influence de  $R_f$  sur le signal transitoire. Sa seule influence est sur la décharge de l'échelon selon une constante de temps  $\tau_f = R_fC_f$ .

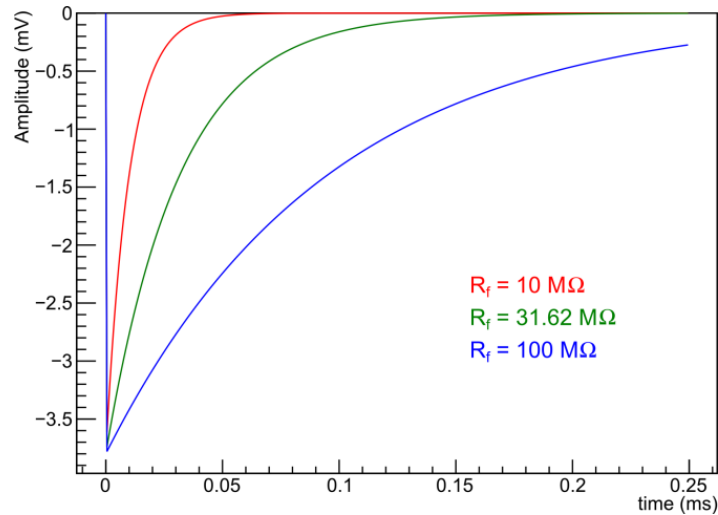


Figure 11 : Influence de  $R_f$  sur la décharge de  $C_f$  à  $C_f = 1 \text{ pF}$ .

Afin de mener le calcul de la fonction  $H_{pai}(s)$  en prenant en compte la fonction de transfert en boucle ouverte non idéale  $G(s)$  et la capacité du détecteur  $C_d$  il faut poser et définir certaines valeurs exposées Figure 12.

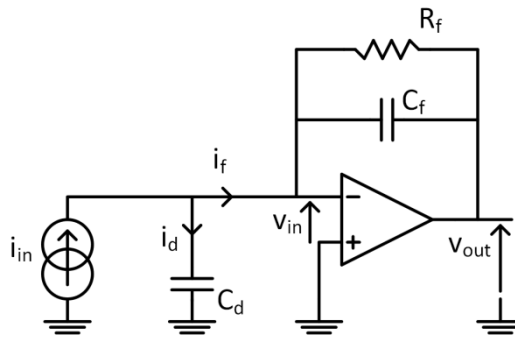


Figure 12 : Schéma du préamplificateur de charge dans son environnement modélisé.

Ainsi il est possible de poser

$$i_d + i_f = i_{in} \quad (9)$$

$$i_d = \frac{v_{in}}{Z_d} \quad (10)$$

$$i_f = \frac{v_{in} - v_{out}}{Z_f} \quad (11)$$

$$v_{out} = G(v_+ - v_-) = -Gv_{in} \quad (12)$$

Avec

- $G(s)$  la fonction de transfert en boucle ouverte de l'amplificateur ;
- $Z_f = R_f || 1/sC_f$  ;
- $Z_d = 1/sC_d$ .

Toutes ces équations nous permettent de conclure

$$H_{pal}(s) = \frac{-G(s)v_{in}}{\frac{v_{in}}{Z_d} + \frac{v_{in} - v_{out}}{Z_f}} \quad (13)$$

$$= \frac{-1}{\frac{1}{G(s)Z_d} + \frac{1-G(s)}{G(s)Z_f}}$$

$$= \frac{-1}{\frac{Z_f}{G(s)Z_dZ_f} + \frac{Z_d(1-G(s))}{G(s)Z_dZ_f}}$$

$$= \frac{-Z_f}{\frac{Z_f}{G(s)Z_d} + \frac{Z_d(1-G(s))}{G(s)Z_d}}$$

$$= \frac{-Z_f}{\frac{Z_f + Z_d}{G(s)Z_d} + 1}$$

$$H_{pal}(s) = -\frac{R_f}{sC_fR_f + 1} \frac{1}{1 + \frac{sR_fC_d}{sR_fC_f + 1} + 1} \quad (14)$$

La réponse temporelle à un Dirac de courant d'amplitude  $Q_{in}$  est

$$V_{out}(t) = \mathcal{L}^{-1} \left[ -\frac{R_f}{sC_fR_f + 1} \frac{Q_{in}}{1 + \frac{sR_fC_d}{sR_fC_f + 1} + 1} \right] \quad (15)$$

En choisissant  $R_f$  comme étant infini afin de simplifier le calcul, ses effets ayant déjà été observés.

$$V_{out}(t) = \mathcal{L}^{-1} \left[ -\frac{1}{sC_f} \frac{Q_{in}}{1 + \frac{C_d}{C_f} + 1} \right] \quad (16)$$

$$V_{out}(t) = \mathcal{L}^{-1} \left[ -\frac{1}{sC_f} \frac{Q_{in}}{1 + \frac{C_d + C_f}{G(s)C_f}} \right] \quad (17)$$

Avec

$$G(s) = \frac{G_0}{1 + \frac{s}{\omega_0}} \quad (18)$$

$G_0$  est le gain en boucle ouverte et  $\omega_0$  donne la position du pôle en radians par seconde. Il est ainsi obtenu

$$V_{out}(t) = \mathcal{L}^{-1} \left[ -\frac{Q_{in}}{sC_f \left( 1 + \frac{C_d + C_f}{G_0 C_f} + \frac{C_d + C_f}{G_0 C_f \omega_0} s \right)} \right] \quad (19)$$

$$V_{out}(t) = -\frac{Q_{in}}{C_f} \mathcal{L}^{-1} \left[ \frac{1}{s \left( 1 + \frac{C_d + C_f}{G_0 C_f} + \frac{C_d + C_f}{G_0 C_f \omega_0} s \right)} \right] \quad (20)$$

En posant  $\tau = \frac{C_d + C_f}{G_0 C_f \omega_0}$

$$V_{out}(t) = -\frac{Q_{in}}{C_f} \mathcal{L}^{-1} \left[ \frac{1}{s(1 + \tau\omega_0 + \tau s)} \right] \quad (21)$$

$$V_{out}(t) = -\frac{Q_{in}}{C_f} \mathcal{L}^{-1} \left[ \frac{\frac{1}{\tau}}{s \left( \frac{1 + \tau\omega_0}{\tau} + s \right)} \right] \quad (22)$$

$$V_{out}(t) = -\frac{Q_{in}}{C_f} \frac{1}{1 + \tau\omega_0} \mathcal{L}^{-1} \left[ \frac{\frac{1 + \tau\omega_0}{\tau}}{s \left( \frac{1 + \tau\omega_0}{\tau} + s \right)} \right] \quad (23)$$

En utilisant la transformée de Laplace usuelle

$$\mathcal{L}^{-1} \left[ \frac{\alpha}{s(\alpha + s)} \right] = (1 - e^{-\alpha t}) \cdot u(t)$$

Avec  $u(t)$  la fonction échelon d'Heaviside définie telle que

$$\forall t \in \mathbb{R}, u(t) = \begin{cases} 0 & \text{si } t \leq 0 \\ 1 & \text{si } t > 0 \end{cases}$$

Il est finalement obtenu

$$V_{out}(t) = -\frac{Q_{in}}{C_f} \frac{1}{1 + \tau\omega_0} \left( 1 - \exp\left(-t \frac{1 + \tau\omega_0}{\tau}\right) \right) \cdot u(t) \quad (24)$$

$$V_{out}(t) = -\frac{Q_{in}}{\frac{C_d + C_f}{G_0} + C_f} \left( 1 - \exp\left(-t \frac{1 + \tau\omega_0}{\tau}\right) \right) \cdot u(t) \quad (25)$$

Les influences du gain et de la bande passante de l'amplificateur sur la forme du signal de sortie peuvent ainsi être étudiées (Figure 13).

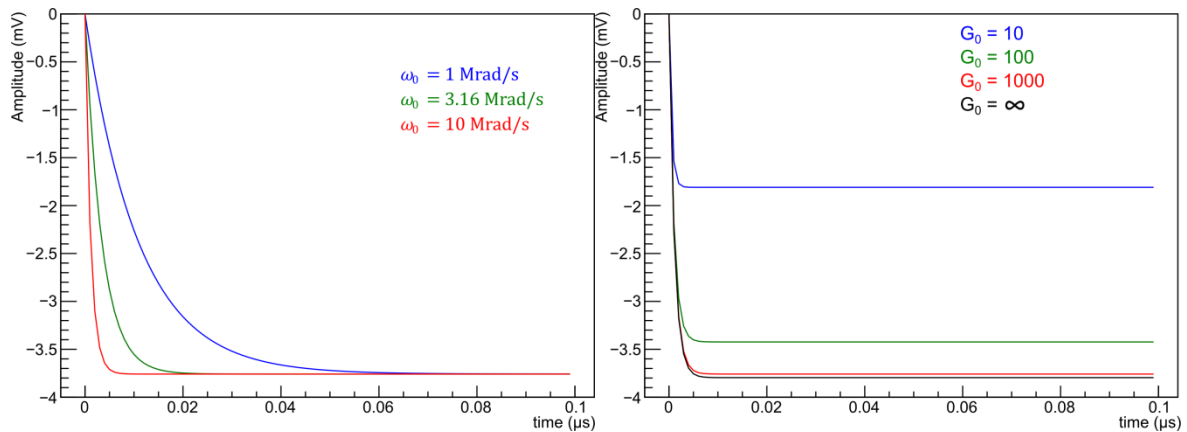


Figure 13 : Influence de la bande passante (gauche) et du gain en boucle ouverte (à produit gain-bande constant) sur le signal de sortie du préamplificateur.

L'amplitude du signal de sortie vaut  $\frac{Q_{in}}{\frac{C_d + C_f}{G_0} + C_f}$ . Pour  $Q_{in}$  et  $C_f$  fixes, celle-ci diminue si  $C_d$  augmente ou si  $G_0$  diminue. Il est donc important d'avoir un gain de boucle ouverte suffisant pour une valeur de capacité détecteur donnée afin d'optimiser le fonctionnement du préamplificateur. Plus le gain sera faible plus le déficit d'amplitude sera important et plus la linéarité du préamplificateur sera mauvaise. L'effet de la bande passante sera approfondi au chapitre sur les filtres.

### 5.2.2.2 Étude en bruit

Afin d'étudier le bruit de notre préamplificateur de charge, il faut reprendre le schéma en boucle fermée du montage en y ajoutant les sources de bruit. L'amplificateur est considéré comme étant idéal et le bruit est ramené à l'entrée sous la forme de deux sources, appelées le bruit série et le bruit parallèle (voir Figure 14). Le bruit de scintillation, aussi appelé bruit de flicker ou bruit en  $1/f$ , est négligé pour le moment car il n'a pas d'influence sur l'étude à ce stade. Il est considéré dans cette étude que l'étage d'entrée du montage est un transistor MOS en source commune.

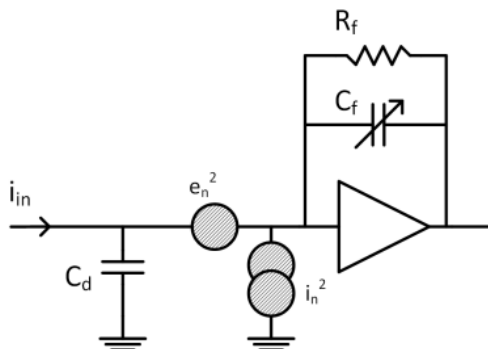


Figure 14 : Schéma boucle fermée du préamplificateur de charge avec les sources de bruit.

$C_d$  est la capacité détecteur et  $C_f$  et  $R_f$  sont respectivement la capacité de contre-réaction et la résistance de contre réaction.  $e_n^2$  représente la densité spectrale du bruit en tension ramenée en série à l'entrée (bruit série) et  $i_n^2$  représente la densité spectrale du bruit en courant ramenée en parallèle à l'entrée (bruit parallèle).  $e_n$  et  $i_n$  sont des bruits blancs.



La densité spectrale de bruit en sortie de préamplificateur  $S_v^{out}(\omega)$  en considérant celui-ci comme étant idéal est donnée par la relation

$$S_v^{out}(\omega) = i_n^2 |Z_f|^2 + \frac{e_n^2 |Z_f|^2}{|Z_d|^2} \quad (26)$$

$$S_v^{out}(\omega) = \left( i_n^2 + \frac{e_n^2}{|Z_d|^2} \right) \times |Z_f|^2 \quad (27)$$

En prenant  $Z_d = \frac{1}{j\omega C_d}$  et  $Z_f = \frac{1}{j\omega C_f} || R_f$  il est obtenu

$$S_v^{out}(\omega) = \frac{R_f^2}{1 + \omega^2 R_f^2 C_f^2} (\omega^2 C_d^2 e_n^2 + i_n^2) \quad (28)$$

Ce qui donne un spectre de bruit sous la forme suivante (Figure 15)

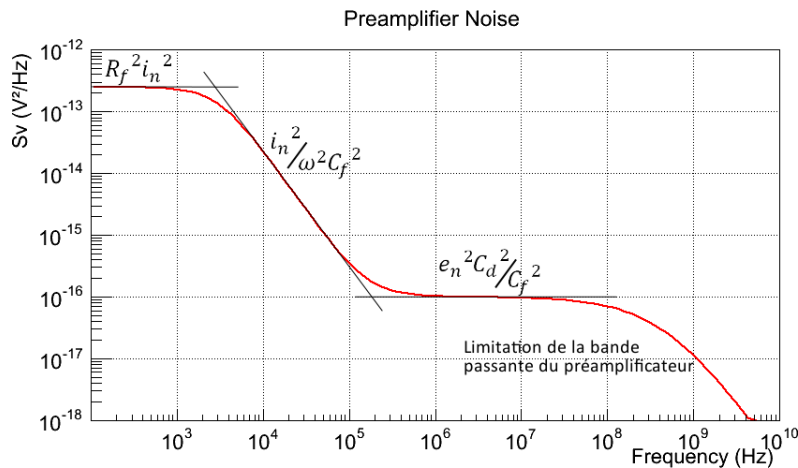


Figure 15 : Spectre de bruit en sortie de préamplificateur de charge avec  $R_f = 50 \text{ M}\Omega$ ,  $C_f = 1 \text{ pF}$ ,  $C_d = 10 \text{ pF}$ ,  $e_n = 1 \text{ nV}/\sqrt{\text{Hz}}$ ,  $i_n = 10 \text{ fA}/\sqrt{\text{Hz}}$ .

De cela quelques informations intéressantes peuvent être tirées :

- Si  $\omega \rightarrow 0$ ,  $S_v^{out} = R_f^2 i_n^2$ . Le bruit en très basses fréquences est dominé par la résistance de contre-réaction ;
- Le bruit en courant (bruit parallèle) décroît en  $1/\omega$  et prédomine à basses fréquences (tant que  $\omega^2 C_d^2 e_n^2 \ll i_n^2$ );
- Le bruit en tension (bruit série) est un bruit blanc et prédomine en hautes fréquences ( $\omega^2 C_d^2 e_n^2 \gg i_n^2$ );
- Le bruit en hautes fréquences est dépendant du rapport  $C_d/C_f$ . Ce rapport est appelé « gain de bruit ».

Afin de mieux appréhender les problématiques de bruit dans les circuits, il faut pouvoir définir les différentes sources au sein des transistors. La densité spectrale de bruit en courant  $S_i$  dans un transistor MOS [16] est de manière simplifiée telle que

$$S_i = \frac{8}{3} \cdot kT \cdot g_m \quad (29)$$

Le coefficient de 8/3 est en réalité  $4 \times \alpha$  avec  $0,5 < \alpha < 1$ , sachant que  $\alpha$  dépend de la polarisation du transistor. Il y a 3 régions de fonctionnement, le régime linéaire, le régime de saturation et la région autour du point de saturation.  $\alpha$  est égal à 2/3 lorsque le transistor travaille autour du point de saturation. Cela correspond, ramené à l'entrée, à une densité spectrale de bruit en tension  $S_v$  comme suit

$$S_v = \frac{\frac{8}{3} \cdot kT}{g_m} \quad (30)$$

Il est donc important que la transconductance du transistor d'entrée soit la plus grande possible afin de minimiser le bruit de celui-ci. Sachant d'après [16] que la transconductance d'un transistor MOS en forte inversion peut-être approximée par

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (31)$$

De ces équations provient tout l'intérêt d'avoir un très grand transistor d'entrée (grand rapport W/L) parcouru par un courant le plus grand possible, à condition de ne pas rajouter trop de capacité parasite à l'entrée sur la grille du transistor, le bruit série étant multiplié par le rapport des capacité d'entrée et de contre-réaction (voir Figure 15). Dans l'idéal le bruit série du transistor d'entrée  $S_{v,in}$  est la source de bruit prépondérante dans le préamplificateur et il est donc possible d'écrire  $e_n^2 \approx S_{v,in}$ .

L'équation  $S_v^{out}(\omega)$ , densité spectrale de bruit en sortie de préamplificateur, peut s'écrire de manière plus précise telle que

$$S_v^{out}(\omega) = e_n^2 |H_{paV}|^2 + i_n^2 |H_{pal}|^2 \quad (32)$$

Avec  $H_{paV}(s)$  la fonction de transfert  $v_{out}/v_{in,serial}$  définie telle que

$$H_{paV}(s) = \frac{v_{out}}{v_{in,serial}} = \frac{G(s)}{1 + \frac{G(s) \times (1 + sR_f C_f)}{sR_f C_d}} \quad (33)$$

Et  $H_{pal}(s)$  comme définit précédemment. Cela permettra de prendre en compte les effets de boucle ouverte dans les calculs. Attention, le  $v_{in,serial}$  utilisé ici est à différencier du  $v_{in}$  définit précédemment, qui était la différence de potentiel entre l'entrée positive et négative de l'amplificateur. Ici  $v_{in,serial}$  est en série avec la capacité  $C_d$  comme le montre la Figure 1Figure 16.

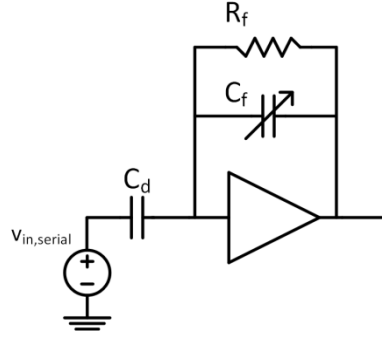


Figure 16 : Définition de  $V_{in,serial}$ .

Comme expliqué précédemment un ou plusieurs filtres peuvent être ajoutés en sortie de préamplificateur afin d'améliorer, si besoin, le rapport signal sur bruit.

### 5.3 Filtres formeurs ou *shapers*

Les shapers sont des filtres actifs passe-bande. Cette méthode de filtrage permet d'améliorer le SNR en filtrant les bruits dans les plages de fréquences inutiles à l'intégrité du signal. Ce sont des filtres de type  $CR^mRC^n$ . La Figure 17 montre le schéma bloc d'un shaper CRRC inverseur standard.

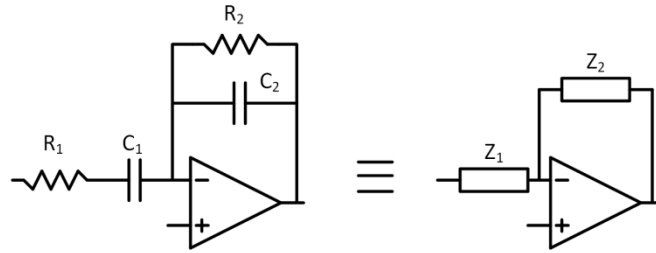


Figure 17 : Schématique d'un shaper CRRC inverseur.

D'après le schéma Figure 17 il est déduit

$$H_{CRRC}(s) = -\frac{Z_2}{Z_1} \quad (34)$$

Avec les impédances  $Z_1 = R_1 + \frac{1}{j\omega C_1}$  et  $Z_2 = R_2 \parallel \frac{1}{j\omega C_2} = \frac{R_2}{1 + j\omega C_2 R_2}$

Ce qui donne en posant  $j\omega = s$ ,  $s$  étant la variable de Laplace

$$H_{CRRC}(s) = -\frac{R_2}{1 + C_2 R_2 s} \left( \times \frac{C_1 s}{R_1 + \frac{1}{C_1 s}} \right) \quad (35)$$

$$H_{CRRC}(s) = -\frac{\frac{C_1 R_2 s}{1 + C_2 R_2 s}}{1 + C_1 R_1 s} \quad (36)$$

$$H_{CRRC}(s) = -\frac{C_1 R_2 s}{(1 + C_2 R_2 s)(1 + C_1 R_1 s)} \left( \times \frac{R_1}{R_1} \right) \quad (37)$$

$$H_{CRRC}(s) = -\frac{R_2}{R_1} \frac{R_1 C_1 s}{(1 + R_1 C_1 s)(1 + R_2 C_2 s)} \quad (38)$$

Afin d'avoir un passe-bande correct,  $C_1 R_1$  est choisi égal à  $C_2 R_2$ . Comme il sera vu dans la section 5.3.2, ne pas respecter cette condition mènera à une déformation du signal. Le temps de shaping  $\tau = C_1 R_1 = C_2 R_2$  peut être soit défini par le cahier des charges, soit choisi pour des raisons d'optimisation du SNR.

En posant  $R_1 C_1 = R_2 C_2 = \tau$  la fonction de transfert suivante est obtenue

$$H_{CRRC}(s) = -\frac{R_2}{R_1} \frac{\tau s}{(1 + \tau s)(1 + \tau s)} \quad (39)$$

La fonction de transfert d'un shaper CRRC est présentée classiquement sous cette forme. De là la réponse du shaper à un échelon de tension idéal est calculable comme suit.

$$V(t) = \mathcal{L}^{-1}[F_{step}(s) \times H_{CRRC}(s)] \quad (40)$$

$$= \mathcal{L}^{-1}\left[\frac{1}{s} \times H_{CRRC}(s)\right] \quad (41)$$

$$= \mathcal{L}^{-1}\left[-\frac{R_2}{R_1} \frac{\tau}{(1 + \tau s)^2}\right] \quad (42)$$

$$= -\frac{1}{\tau} \frac{R_2}{R_1} \mathcal{L}^{-1}\left[\frac{1}{\left(\frac{1}{\tau} + s\right)^2}\right] \quad (43)$$

$$= -\frac{t}{\tau} \frac{R_2}{R_1} \times e^{-t/\tau} \times u(t) \quad (44)$$

Avec  $u(t)$  la fonction échelon d'Heaviside définie telle que

$$\forall t \in \mathbb{R}, u(t) = \begin{cases} 0 & \text{si } t \leq 0 \\ 1 & \text{si } t > 0 \end{cases}$$

Le gain du shaper est ajustable grâce au rapport de résistances  $R_2/R_1$ . Avec un échelon d'amplitude -1 et  $\tau = 180 \cdot 10^{-9}$ , en considérant  $R_1 = R_2$  la réponse temporelle théorique est comme montrée Figure 18.

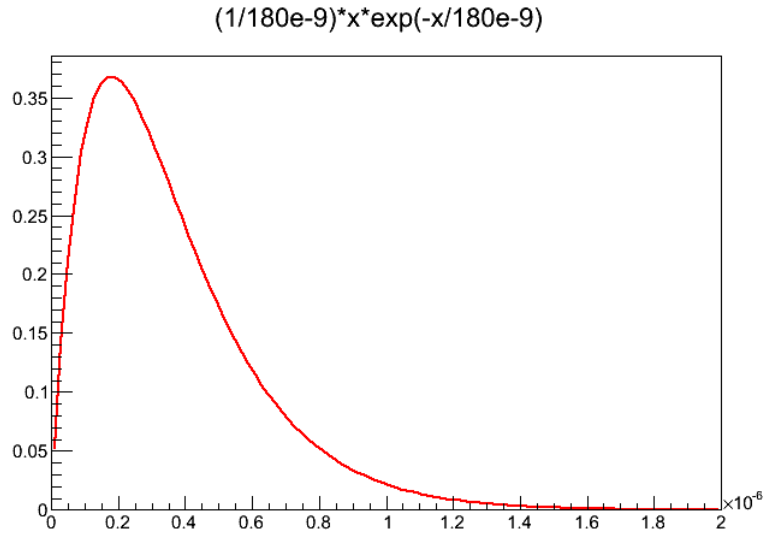


Figure 18 : Réponse temporelle du shaper à un échelon de tension d'amplitude -1.

Il est important de noter que la valeur maximale de l'amplitude de la réponse à cet échelon de tension (à  $t = \tau$ ) est seulement de  $e^{-1} = 0,368$ . Le gain du shaper dépendant du ratio de la résistance de contre-réaction sur la résistance d'entrée, il faudrait un rapport entre les résistances de 2,718 pour avoir une amplitude 1. Pour un CRRC d'ordre supérieur cette « perte » de gain est encore plus importante. Le calcul précédent peut être généralisé aux shapers d'ordre supérieur. La fonction de transfert d'un shaper CRRC<sup>n</sup> (au gain près) est

$$H_{CRRCn}(s) = \frac{\tau s}{(1 + \tau s)^{n+1}} \quad (45)$$

En utilisant la transformée inverse de Laplace usuelle

$$\mathcal{L}^{-1}\left\{\frac{1}{(p+a)^n}\right\} = \frac{1}{(n-1)!} t^{n-1} \cdot e^{-at} \cdot u(t) \quad (46)$$

Et en déroulant le calcul de la même manière que pour un CRRC la réponse à un échelon de tension est la suivante

$$V(t) = \frac{1}{n!} \left(\frac{t}{\tau}\right)^n e^{-\frac{t}{\tau}} \cdot u(t) \quad (47)$$

Pour un CRRC le peaking time est égal au shaping time  $\tau$ . Pour un CRRC<sup>n</sup> le peaking time est égal à  $n\tau$  et l'amplitude maximale du signal est  $V(t = n\tau) = \frac{1}{n!} n^n e^{-n}$ . Il est également possible d'améliorer le filtrage des basses fréquences en utilisant des shaper CR<sup>m</sup>RC<sup>n</sup> qui ont une fonction de transfert sous la forme suivante

$$H_{CRmRCn}(s) = \frac{(\tau s)^m}{(1 + \tau s)^{n+1}} \quad (48)$$

Cependant cette technique n'est plus utilisée dans les ASIC modernes où le filtrage digital est préféré. Le gain sur le bruit étant minime pour des mises en œuvre assez lourdes dans le domaine analogique. Les seuls filtres encore largement utilisés sont les CRRC<sup>n</sup>.

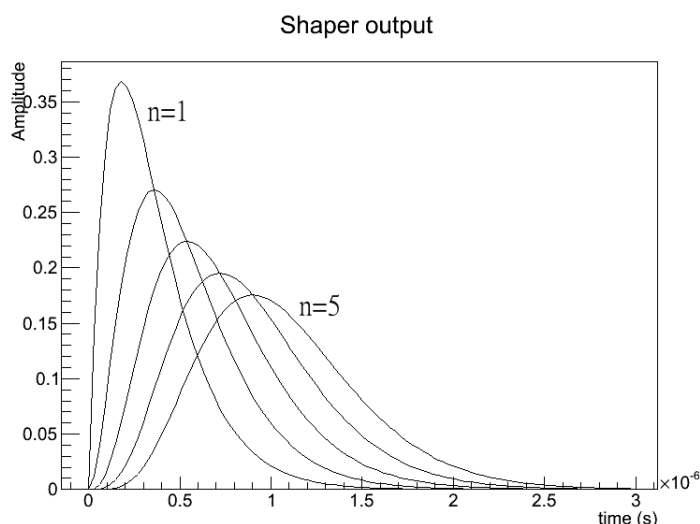


Figure 19 : Réponse temporelle des shapers CRRC<sup>n</sup> d'ordre 1 à 5 à un échelon de tension idéal d'amplitude -1 pour un shaping time de 180 ns.

### 5.3.1 Influence de la bande passante du préamplificateur

La Figure 20 montre l'influence de la bande passante du préamplificateur sur la mesure du signal transitoire en sortie de shaper. Plus la bande passante est faible plus le signal en sortie de shaper est diminué et son peaking time augmenté. Avoir une bande passante de préamplificateur égale à la bande passante du shaper correspond au cas théorique idéal d'un préamplificateur à bande passante infinie et d'un shaper CRRC<sup>2</sup>.

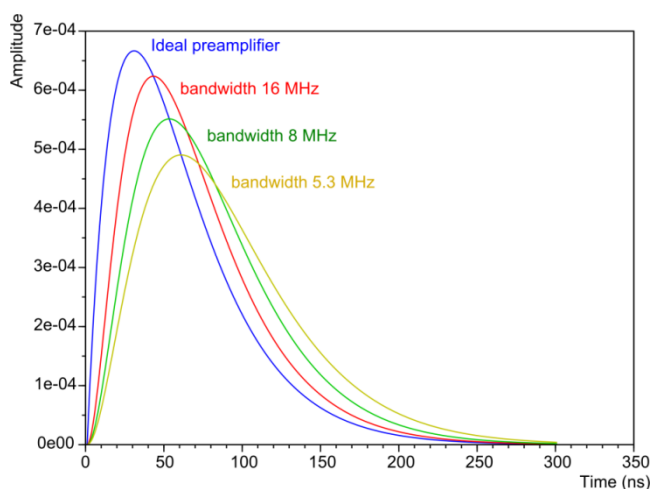


Figure 20 : Réponse temporelle théorique de la chaîne préamplificateur à 1 pôle + shaper CRRC idéal de shaping time 30 ns gain 1 ( $R_2/R_1 = 2,718$ ) à une impulsion équivalente à un MIP de 4 fc.

L'effet de la bande passante du préamplificateur est donc particulièrement visible sur les shapers dont la fréquence centrale se rapproche de la fréquence de coupure du préamplificateur. Aller plus loin dans la réduction de la bande passante du préamplificateur diminue le gain total de la chaîne préamplificateur + shaper et ralentit le shaper.

Si la fréquence de coupure du préamplificateur venait à être plus faible que la fréquence centrale de la bande passante du shaper, il y aurait une perte directe sur le gain en sortie de shaper et un plateau se créerait sur le Bode (voir Figure 21).

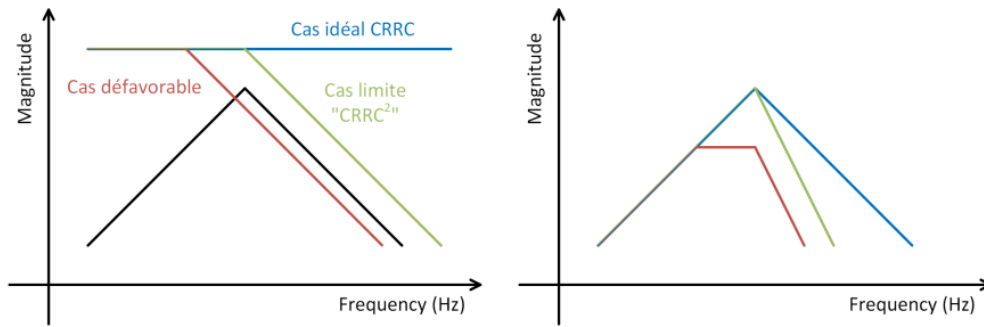


Figure 21 : Influence de la bande passante du préamplificateur sur la réponse fréquentielle en sortie de shaper.

### 5.3.2 Influence du déséquilibre de $C_1R_1$ et $C_2R_2$

Jusqu'à présent il n'a été étudié que le cas où  $C_1R_1 = C_2R_2$ . Cependant il peut être intéressant d'analyser les autres cas afin de confirmer que le choix qui a été fait est le bon. En repartant de la fonction de transfert

$$H_{CRRC}(s) = -\frac{C_1R_2s}{(1 + C_2R_2s)(1 + C_1R_1s)} \quad (49)$$

Il est rapidement observable qu'augmenter ou diminuer  $R_1$  ou  $C_2$  d'un facteur  $\alpha$  conduira au même résultat sur la fonction de transfert.

Exemple 1 :

$$H_{ex1}(s) = -\frac{C_1R_2s}{(1 + \alpha C_2R_2s)(1 + C_1R_1s)} \equiv -\frac{C_1R_2s}{(1 + C_2R_2s)(1 + C_1\alpha R_1s)} = -\frac{\tau s}{(1 + \alpha \tau s)(1 + \tau s)} \quad (50)$$

De la même manière augmenter ou diminuer  $C_1$  ou  $R_2$  d'un facteur  $\alpha$  conduira au même résultat.

Exemple 2 :

$$H_{ex2}(s) = -\frac{C_1\alpha R_2s}{(1 + C_2\alpha R_2s)(1 + C_1R_1s)} \equiv -\frac{\alpha C_1R_2s}{(1 + C_2R_2s)(1 + \alpha C_1R_1s)} = -\frac{\alpha \tau s}{(1 + \alpha \tau s)(1 + \tau s)} \quad (51)$$

En traçant le diagramme de Bode pour le premier exemple avec  $\alpha = 1, 2, 4, 8$  et  $16$  il est obtenu la Figure 22.

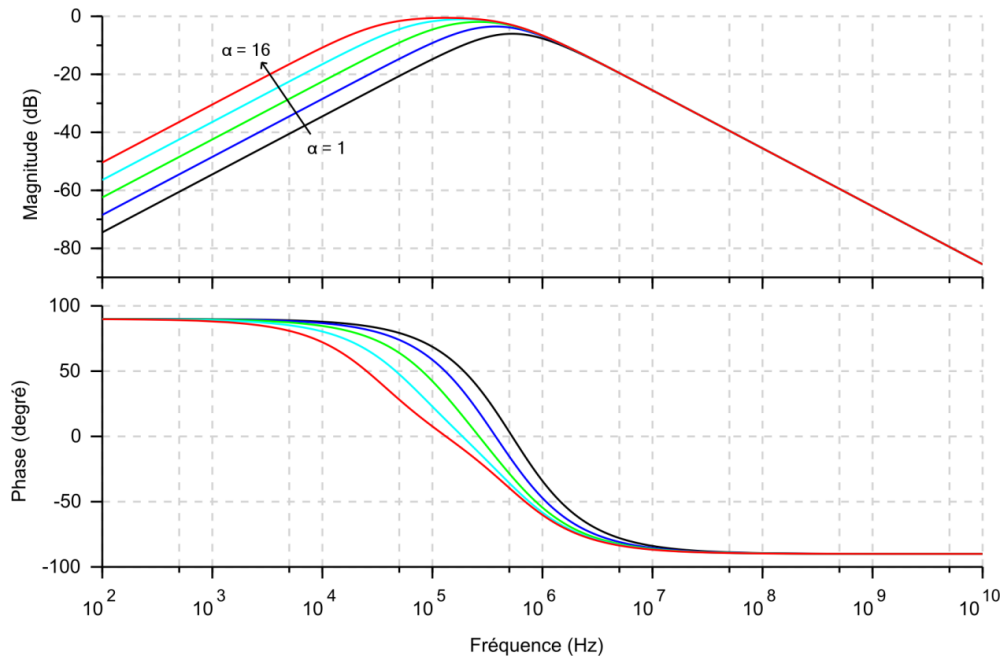


Figure 22 : Diagramme de Bode du shaper CRRC correspondant à la fonction de transfert  $H_{ex1}(s)$  pour  $\alpha = 1$  (noir), 2 (bleu), 4 (vert), 8 (bleu clair) et 16 (rouge).

En traçant le diagramme de Bode pour le second exemple avec  $\alpha = 1, 2, 4, 8$  et 16 il est obtenu la Figure 23.

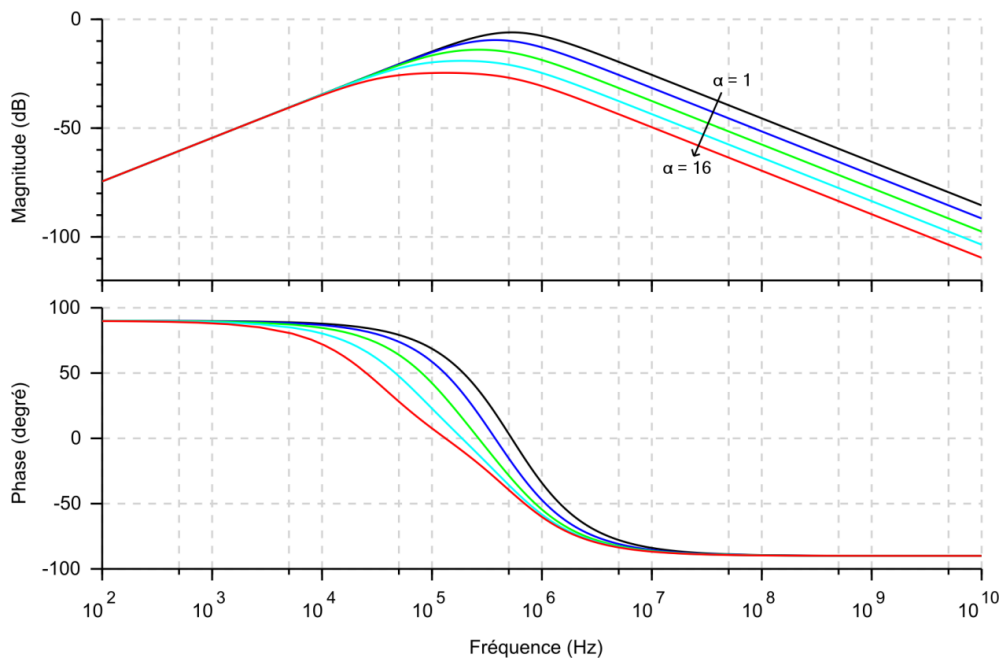


Figure 23 : Diagramme de Bode du shaper CRRC correspondant à la fonction de transfert  $H_{ex2}(s)$  pour  $\alpha = 1$  (noir), 2 (bleu), 4 (vert), 8 (bleu clair) et 16 (rouge).

De là le calcul de la réponse temporel est mené afin d'observer les effets de ces changements sur la forme du signal en sortie de shaper.



$$H_{CRRRC}(s) = -\frac{C_1 R_2 s}{(1 + C_2 R_2 s)(1 + C_1 R_1 s)} \quad (52)$$

$$H_{CRRRC}(s) = -\frac{C_1 R_2 s}{C_1 C_2 R_1 R_2 s^2 + (C_1 R_1 + C_2 R_2)s + 1} \left( \times \frac{C_1 C_2 R_1 R_2}{C_1 C_2 R_1 R_2} \right)$$

$$H_{CRRRC}(s) = -\frac{\frac{1}{C_2 R_1} s}{s^2 + \left( \frac{1}{C_2 R_2} + \frac{1}{C_1 R_1} \right) s + \frac{1}{C_1 C_2 R_1 R_2}}$$

$$H_{CRRRC}(s) = -\frac{1}{C_2 R_1} \frac{s}{\left( s + \frac{1}{C_1 R_1} \right) \left( s + \frac{1}{C_2 R_2} \right)}$$

$$V(t) = \mathcal{L}^{-1}[F_{step}(s) \times H(s)]$$

$$V(t) = -\mathcal{L}^{-1} \left[ \frac{1}{s} \times \frac{1}{C_2 R_1} \frac{s}{\left( s + \frac{1}{C_1 R_1} \right) \left( s + \frac{1}{C_2 R_2} \right)} \right]$$

$$V(t) = -\mathcal{L}^{-1} \left[ \frac{1}{C_2 R_1} \frac{1}{\left( s + \frac{1}{C_1 R_1} \right) \left( s + \frac{1}{C_2 R_2} \right)} \right] \quad (53)$$

En utilisant la transformée de Laplace usuelle

$$\mathcal{L}^{-1} \left[ \frac{1}{(s+a)(s+b)} \right] = \frac{1}{b-a} (e^{-at} - e^{-bt}) \cdot u(t)$$

Il est obtenu

$$V(t) = -\frac{1}{C_2 R_1} \cdot \frac{1}{\frac{1}{C_2 R_2} - \frac{1}{C_1 R_1}} \cdot \left( e^{-\frac{t}{C_1 R_1}} - e^{-\frac{t}{C_2 R_2}} \right) \cdot u(t) \quad (54)$$

Avec  $u(t)$  la fonction échelon d'Heaviside définie telle que

$$\forall t \in \mathbb{R}, u(t) = \begin{cases} 0 & \text{si } t \leq 0 \\ 1 & \text{si } t > 0 \end{cases}$$

Ainsi en choisissant  $C_1 R_1 > C_2 R_2$  les courbes Figure 24 sont obtenues selon si l'on augmente  $C_1$  (en rouge) ou  $R_1$  (en vert).

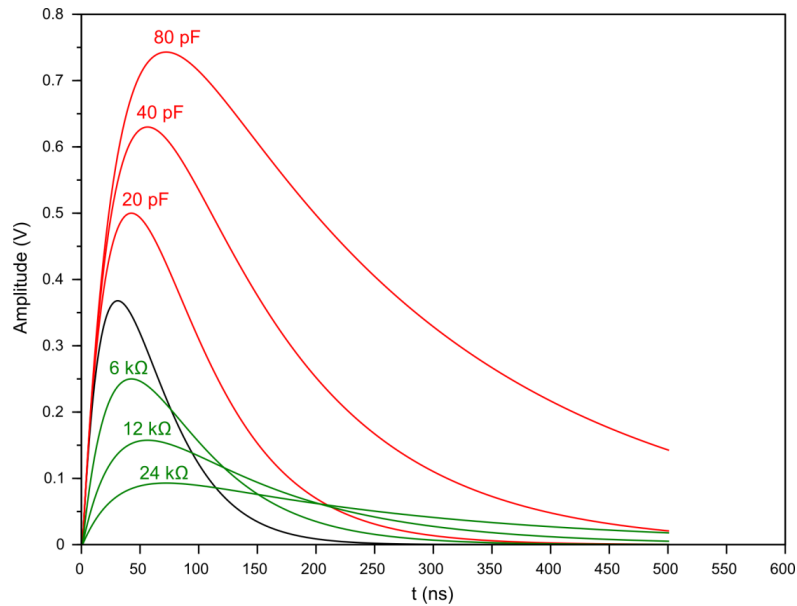


Figure 24 : Signal en sortie de shaper CRRC pour un échelon idéal d'amplitude -1 avec  $C_1R_1 > C_2R_2$ . Noir :  $C_1 = 10 \text{ pF}$ ,  $R_1 = 3 \text{ k}\Omega$  ; Rouge :  $C_1$  comme indiqué,  $R_1 = 3 \text{ k}\Omega$  ; Vert :  $C_1 = 10 \text{ pF}$ ,  $R_1$  comme indiqué. Dans tous les cas,  $C_2 = 10 \text{ pF}$  et  $R_2 = 3 \text{ k}\Omega$ .

Un symptôme évident de ces changements est l'amplitude du signal. Il est important de noter qu'à facteur  $C_1R_1$  équivalent, selon si c'est  $C_1$  ou  $R_1$  qui est augmenté, le signal a une amplitude augmentée ou diminuée. En prenant par exemple les cas  $C_1 = 20 \text{ pF}$ ,  $R_1 = 3 \text{ k}\Omega$  et  $C_1 = 10 \text{ pF}$ ,  $R_1 = 6 \text{ k}\Omega$ , dans les deux cas le facteur  $C_1R_1 = 60 \cdot 10^{-9}$ . Cependant dans le cas où  $R_1$  est augmenté le maximum de la courbe est 0,25 V alors que dans le cas où  $C_1$  est augmenté le maximum de la courbe est 0,5 V. Dans les deux cas le signal a le même temps de décharge. C'est le deuxième symptôme observable sur ces signaux. Plus  $C_1R_1$  est grand plus la décharge du signal est lente. Pour cela cette utilisation n'est pas intéressante car le circuit aura besoin de plus de temps avant de pouvoir faire une nouvelle acquisition, hors le temps de peaking du shaper a été choisi pour être 180 ns dans une optique de fréquence de travail (le temps entre chaque collision à l'ILC est de 300 ns).

Comme expliqué précédemment lors des calculs des fonctions de transfert, en choisissant  $C_2R_2 > C_1R_1$  les mêmes exacts résultats sont obtenus mais les effets de l'augmentation de la capacité et de la résistance sont inversés. Augmenter la capacité diminuera l'amplitude en sortie de shaper alors qu'augmenter la résistance augmentera l'amplitude en sortie de signal. Dans tous les cas un déséquilibre entre  $C_1R_1$  et  $C_2R_2$  par l'augmentation d'une des composantes mène à un temps de décharge du signal plus long et est défavorable à une fréquence de travail élevée. A l'inverse un déséquilibre par la diminution d'une des composantes mènera à un temps de peaking plus rapide. La variation de gain en boucle fermée dépend de la variation du rapport  $Z_2/Z_1$ .

### 5.3.3 Calcul du bruit en sortie de shaper

Comme expliqué précédemment le rôle premier des shapers est de filtrer le bruit afin de ne garder que le signal utile. Dans notre cas ce signal utile correspond à l'amplitude de l'échelon de tension fournit par le préamplificateur. Le choix de la bande passante du shaper dépend donc a priori uniquement des performances en bruit souhaitées. En effet quelle que soit la fréquence centrale du shaper, l'amplitude maximale sera toujours la même (pour un échelon donné, en le considérant idéal

et infini) et il reste seulement à extraire le maximum du signal en sortie de shaper pour retrouver l'amplitude de l'échelon de tension en entrée et donc la valeur de la charge d'entrée.

La valeur de bruit intéressante ici est la racine de l'intégrale du bruit en sortie de shaper, aussi appelée bruit RMS pour *root mean square* (qui correspond à l'écart-type du bruit).

$$rms = \sqrt{\int S_v^{out}(\omega) |H(\omega)|^2 \frac{d\omega}{2\pi}} \quad (55)$$

Avec  $S_v^{out}(\omega)$  la densité spectrale de bruit en sortie de préamplificateur et  $H(\omega)$  la fonction de transfert du shaper utilisé. En calculant ce bruit, normalisé par la charge d'un électron et divisé par notre signal minimal ramené à l'entrée, l'équation suivante, appelée charge équivalente de bruit (*ENC pour Equivalent Noise Charge*) est obtenue

$$ENC = \frac{Q_0}{1,6 \cdot 10^{-19}} \frac{1}{V_{max} \frac{Q_0}{C_f}} \times rms \quad (56)$$

Avec  $Q_0$  la charge du signal entrant,  $C_f$  la capacité de contre-réaction du préamplificateur et  $V_{max} Q_0 / C_f$  le maximum du signal transitoire mesuré en sortie du shaper utilisé.

Cette formule donne la quantité d'électrons de bruit superposés au signal entrant. Par exemple au long de cette étude le signal entrant minimal  $Q_0$  correspond à 23750 e-. En considérant qu'un rapport signal sur bruit de 10 est atteint, le résultat du calcul de l'ENC sera 2375 e-. L'ENC pour un CRRC est tracé Figure 25. Afin de simplifier les calculs, la bande passante et l'effet de la résistance de contre-réaction du préamplificateur, intervenant aux très basses et très hautes fréquences, sont négligés ici. Comme vu précédemment, le préamplificateur doit être plus rapide que les shapers pour travailler correctement, on se placera donc forcément dans la bande passante de celui-ci. En ce qui concerne l'influence de la résistance de contre-réaction du préamplificateur, elle est choisie assez grande pour que l'échelon semble infini aux fréquences de travail du shaper et sera donc négligeable dans les calculs. Il est donc considéré que  $S_v^{out}(\omega) = e_n^2 \frac{C_d^2}{C_f^2} + \frac{i_n^2}{\omega^2 C_f^2}$ .

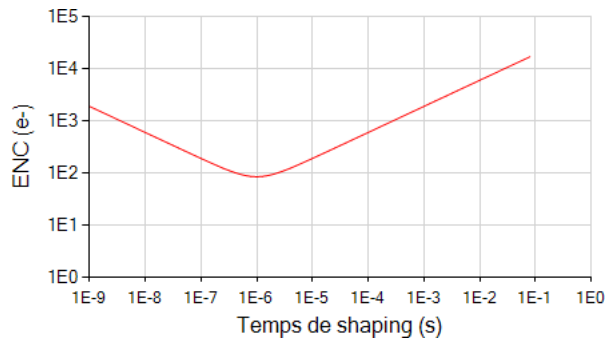
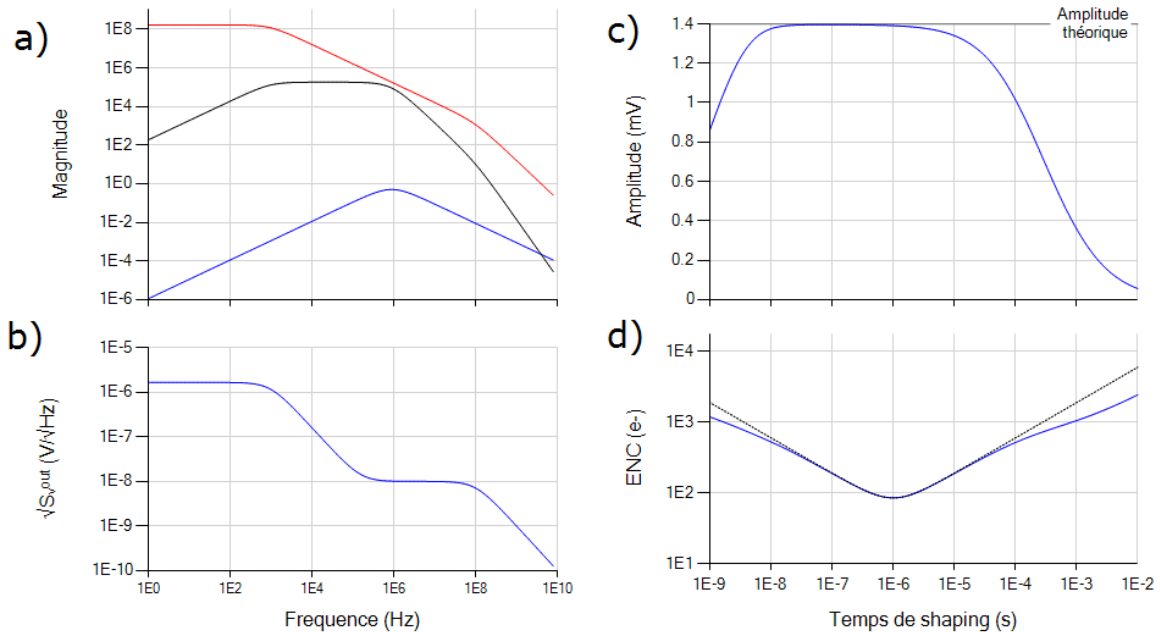


Figure 25 : Charge équivalente de bruit en fonction du temps de shaping pour un shaper CRRC avec  $C_f = 1$  pF,  $C_d = 10$  pF,  $e_n = 1$  nV/ $\sqrt{\text{Hz}}$ ,  $i_n = 10$  fA/ $\sqrt{\text{Hz}}$ .

Le meilleur rapport signal sur bruit sera obtenu pour l'ENC le plus bas. Dans ce cas théorique cet optimal pour l'ENC se trouve à 1  $\mu$ s pour un ENC de 85 électrons. En prenant en compte  $R_f$  et les

effets de bande passante, la solution au problème ne change pas vraiment comme expliqué précédemment et comme montré Figure 26.



**Figure 26 :** a) Module des fonctions de transfert du préamplificateur ( $v_{out}/i_{in}$  précédemment noté  $H_{pal}$ , rouge), d'un shaper CRRC de fréquence centrale 160 kHz ( $v_{out}/v_{in}$  avec  $\tau = 1 \mu s$ , bleu) et de toute la chaîne (noir). b) Bruit en sortie de préamplificateur avec  $e_n = 1 \text{ nV}/\sqrt{\text{Hz}}$ ,  $i_n = 10 \text{ fA}/\sqrt{\text{Hz}}$ ,  $R_f = 100 \text{ M}\Omega$  et une bande passante de 100 kHz pour un gain de 60 dB en boucle ouverte (ce qui donne un produit gain-bande de 100 MHz). c) Amplitude maximale du signal transitoire en fonction du temps de shaping. d) ENC théorique idéal comme calculé Figure 25 (pointillés noirs) et ENC théorique en prenant en compte  $R_f$  et en considérant le préamplificateur comme non idéal (gain en boucle ouverte et bande passante non infinis).

Sur la figure de l'ENC tracé en noir sont pris en compte les effets de la résistance de contre-réaction et de la bande passante sur le bruit et le signal. Il est visible que l'optimal est au même temps de shaping mais que cependant le modèle (en rouge) n'est valide qu'autour de cet optimal. En effet l'ENC est un rapport bruit sur signal et pour les temps de shaping très long ou très court l'amplitude du signal est modifiée. Au sujet de cette amplitude en sortie de shaper, il faut remarquer que jamais l'amplitude théorique n'est atteinte. Le domaine de validité pour le choix du temps de shaping est donc relativement arbitraire. Il faut également noter que le modèle utilisé pour tracer l'amplitude du signal ne prend pas en compte un éventuel deuxième pôle sur le préamplificateur, la non-idéalité de l'amplificateur du shaper et la non-idéalité du signal venant du détecteur. Le signal entrant est un Dirac idéal en courant.

### 5.3.4 Un rapport signal sur bruit supérieur à 10

Il est temps de justifier le besoin d'améliorer le rapport signal sur bruit jusqu'à avoir un rapport supérieur à 10 mais avant cela le « déclencheur » présent Figure 9 doit être décrit. Afin de s'assurer de déclencher sur un signal entrant plutôt que sur le bruit venant du préamplificateur, un grand SNR est nécessaire comme il va être démontré par la suite. Pour cela un shaper rapide, appelé fast shaper, est placé en sortie de préamplificateur, suivi d'un discriminateur (voir Figure 27). Le discriminateur pourra donc déclencher sur le signal de sortie du fast shaper, qui aura un SNR

supérieur à celui en sortie de préamplificateur et qui de plus sera largement amplifié, relâchant la contrainte de design sur la précision du discriminateur.

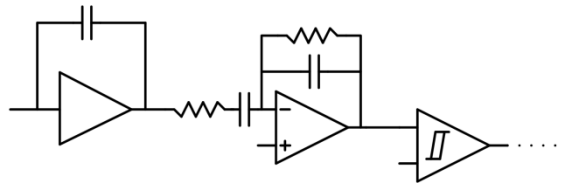


Figure 27 : Schéma type d'une voie de déclenchement.

Afin de comprendre le besoin d'avoir un SNR supérieur à 10, deux gaussiennes sont tracées. La première gaussienne représente la densité de probabilité du bruit autour du piédestal placé en  $x = 0$ , avec un écart-type  $\sigma = 1$ . Dans le cas d'une distribution gaussienne parfaite, le bruit RMS, qui correspond à l'écart-type d'une distribution quelconque, est égal à  $\sigma$ . On considère donc ici un signal ayant un bruit RMS = 1. Si le SNR est égal à 10, le signal utile doit être centré sur  $x = 10$ . Sur la Figure 28 sont tracées deux gaussiennes correspondants aux distributions de bruit sur le piédestal (rouge) et sur le signal utile minimal (bleu).

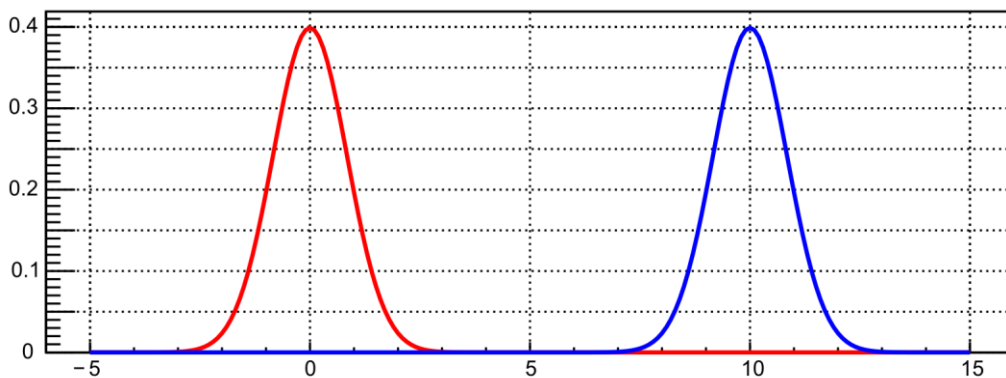


Figure 28 : En rouge : gaussienne normalisée centrée en 0 avec un écart-type de 1 (unités arbitraires). En bleu : gaussienne normalisée centrée en 10 avec un écart-type de 1.

#### Dans le cas du canal de déclenchement

En plaçant un seuil à  $x = 5$  et en vérifiant la position des deux signaux par rapport à ce seuil à un instant quelconque, la probabilité pour que le bruit du piédestal soit au-dessus du seuil est égale à

$$0,5 \times \operatorname{erfc}\left(\frac{5}{\sqrt{2}}\right) = 2,8665 \cdot 10^{-7} \quad (57)$$

Avec  $\operatorname{erfc}()$  la fonction d'erreur complémentaire. Cette valeur de probabilité sera nommée par la suite  $p_{5\sigma}$ .

Cela correspond à une chance sur 3,5 millions environ. Inversement, la probabilité pour que le bruit du signal utile soit sous le seuil est d'une chance sur 3,5 millions. L'équation ci-dessus correspond à la complémentaire de la fonction de répartition de la loi normale centrée réduite évaluée à  $x = 5$ ,  $\mu = 0$  et  $\sigma = 1$ . Cette fonction s'écrit

$$S(x) = 0,5 \times \operatorname{erfc}\left(\frac{x - \mu}{\sigma\sqrt{2}}\right) \quad (58)$$

Avec  $\mu$  son espérance (ici la valeur moyenne du signal ou du piédestal) et  $\sigma$  l'écart-type (équivalent au bruit RMS). Cette fonction permet d'évaluer la probabilité qu'un évènement survienne passé un certain seuil et est donc utile pour l'étude du signal et du bruit en sortie de fast shaper. La représentation graphique de cette fonction avec les paramètres des deux signaux précédents est donnée Figure 29

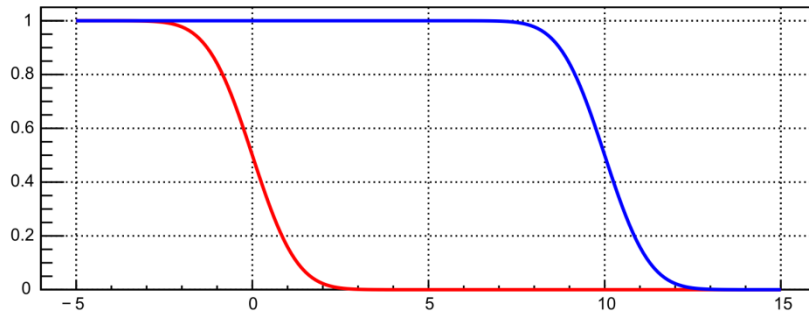


Figure 29 : Représentation S-curve de deux signaux ayant un SNR = 10 (unités arbitraires).

La représentation Figure 29 est communément appelée S-curve au sein de la communauté des électroniciens de la physique des particules. Ce nom est normalement réservé à la fonction sigmoïde, très similaire, exprimée par  $y(x) = 1/(1+e^{-x})$ .

Cette formulation décrit bien la probabilité de déclencher sur un signal, qui est un évènement discret. Cependant pour le piédestal les choses se compliquent car la probabilité de déclencher sur le bruit dépend du temps d'acquisition. La représentation de la probabilité de déclenchement du piédestal ne correspond donc pas à ce qui est montré Figure 29. La courbe représente la probabilité que le bruit soit au-dessus du seuil à un instant ponctuel mais l'acquisition de la probabilité de déclenchement se fait à l'aide de fenêtres d'acquisition.

La question qui se pose est de savoir quelle est la probabilité de déclencher sur le bruit du piédestal à un seuil donné pour un temps donné. L'étude présentée dans *Mathematical Analysis of Random Noise* [17] donne une fréquence de passage par zéro du bruit étant telle que

$$f_0 = 2 \left[ \frac{1}{3} \frac{f_b^3 - f_a^3}{f_b - f_a} \right]^{\frac{1}{2}} \quad (59)$$

Avec  $f_b$  et  $f_a$  les fréquences de coupure haute et basse du filtre considéré. Dans le cas d'un filtre CRRC idéal il est obtenu une fréquence de passage par zéro proche de  $3 \times f_c$ . Le bruit passant par zéro dans les deux sens, le nombre de déclenchements sur le bruit sera moitié moins que le nombre de passages par zéro. En admettant que la fréquence centrale du shaper soit de 5,3 MHz, le nombre de déclenchements par seconde attendu avec un seuil à  $0\sigma$  est de  $N_0 = 1,5 \times f_c = 7,95$  M.

D'après [18] le nombre de déclenchement par rapport à un seuil  $x$  pendant un intervalle de temps  $T$  s'exprime telle que

$$N = N_0 \times \exp\left(-\frac{(x - \mu)^2}{2\sigma^2}\right) \quad (60)$$

Avec  $N_0 = T \times f_0$  et  $\mu$  la position du piédestal. En supposant que ce nombre de passages est poissonien, la probabilité d'avoir  $k$  occurrences dans  $T$  est telle que

$$P(k) = \frac{N^k e^{-N}}{k!} \quad (61)$$

La probabilité d'avoir 0 évènements pendant  $T$  vaut

$$P(0) = e^{-N} \quad (62)$$

Ainsi la probabilité d'avoir au moins 1 évènement pendant  $T$  s'exprime telle que

$$P(k \geq 1) = 1 - P(0) \quad (63)$$

$$P(k \geq 1) = 1 - e^{-N_0 \times \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right)} \quad (64)$$

Ainsi la probabilité de déclencher sur le bruit du piédestal en fonction du seuil s'exprime telle que

$$P(x) = 1 - e^{-N_0 \times \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right)} \quad (65)$$

Ce raisonnement n'est valide que pour le cas d'un bruit dont la distribution est gaussienne. L'étude précédente permet de tracer les efficacités de déclenchement du piédestal pour plusieurs fenêtres d'acquisition (10  $\mu$ s, 100  $\mu$ s, 1 ms).

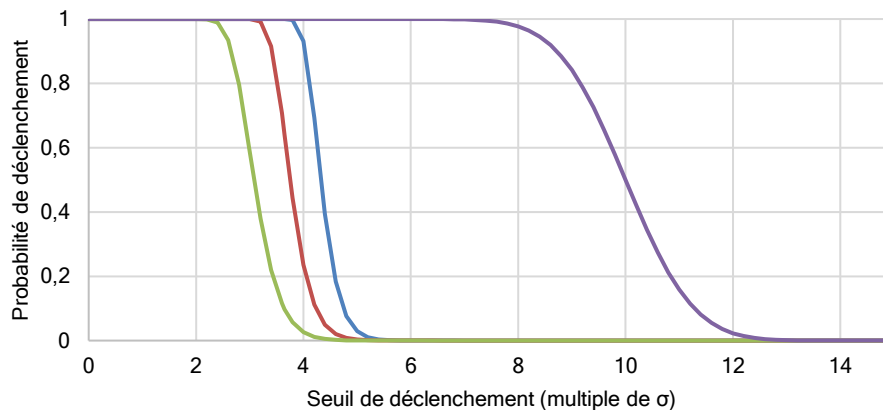


Figure 30 : Probabilité de déclenchement sur le bruit du piédestal en fonction du seuil pour une fenêtre d'acquisition de 10  $\mu$ s (vert) ; 100  $\mu$ s (rouge) et 1 ms (bleu). Violet : S-curve d'un signal  $x = 10$  et  $\sigma = 1$  (SNR = 10).

La probabilité de déclencher sur le bruit du piédestal avec un seuil à  $5\sigma$  pour une fenêtre d'acquisition d'1 ms est de 2,9 %. Une probabilité de déclenchement de 2,9 % dans un détecteur comptant 82 millions de canaux correspond à environ 2,38 millions de canaux qui déclencheront sur le bruit à chaque milliseconde de collisions. En admettant 12 bits de données par évènement et par canal, cela correspond à plus de 27 Mo de données inutiles. Pour s'affranchir un peu plus du bruit, il

est possible de placer le seuil à  $6\sigma$ , ce qui permet une efficacité de déclenchement sur le signal minimal de 99,9968 % et une probabilité de déclencher sur le bruit par milliseconde de 0,012 %, soit 9987 canaux qui déclencheront sur le bruit.

Toute cette étude permet de rendre compte qu'un rapport signal sur bruit de 10 est nécessaire afin d'avoir une bonne efficacité de déclenchement sur le signal minimal tout en s'épargnant de déclencher l'acquisition du signal sur du bruit. Cette étude ne prend pas en compte la non-idéalité du signal entrant. Il est également important de dire que même si un rapport signal sur bruit supérieur à 10 était obtenu en sortie de préamplificateur, il serait toujours intéressant d'amplifier ce signal afin de permettre au discriminateur de déclencher plus facilement dessus.

#### Dans le cas du canal de mesure de charge

Les exigences en matière de rapport signal sur bruit dans le cas du canal de mesure de charge sont moindres. L'important est de pouvoir discerner facilement le MIP et le piédestal ou 2 MIP adjacents. Pour cela un rapport signal sur bruit supérieur à 6 en sortie de slow shaper serait suffisant, l'important étant surtout d'avoir une résolution d'ADC suffisante devant l'amplitude d'un MIP afin de pouvoir les discriminer facilement. La notion de « résolution suffisante » est relativement arbitraire et dépend du cahier des charges. Une résolution de 2 LSB sur le MIP est un minimum nécessaire mais pas suffisant dans la plupart des cas.

## **6 Cahier des charges du circuit de lecture idéal**

L'ECAL doit être capable de mesurer l'énergie, la position et l'angle des photons et électrons avec une bonne précision et doit être capable de discriminer deux particules incidentes proches. Les raisons ayant poussé à la création d'ASIC pour la lecture des diodes PIN ont déjà été détaillées dans les parties précédentes. Le cahier des charges pour cet ASIC sera décrit ici.

L'ASIC créé pour ce calorimètre doit être capable de mesurer un signal minimal de 3,8 fC (1 MIP) et avoir une gamme dynamique allant jusqu'à 10 pC (2500 MIP). Cette contrainte permet de choisir la valeur de la capacité de contre-réaction du préamplificateur. En appelant  $V_{swing}$  la gamme dynamique en tension en sortie de préamplificateur, et connaissant la charge entrante maximale, la capacité de contre-réaction doit être  $C_f = 10 \text{ pC}/V_{swing}$ . Il n'y aura pas de système de déclenchement dans le calorimètre. Cela signifie que le système de déclenchement doit être interne à l'ASIC grâce au déclencheur décrit section 5.3.4, utilisant un shaper rapide haut gain et un discriminateur.

La résolution de l'ADC est choisie en fonction de la résolution souhaitée pour un MIP. Le minimum acceptable dans le cas général est de 0,5 MIP par code ADC, donc au moins 5000 codes disponibles. Cela voudrait dire que l'ADC devrait avoir au moins 13 bits. Un ADC 14 bits serait idéal, avec une résolution de 0,15 MIP environ. La conversion analogique-numérique se fait à l'intérieur de l'ASIC pour simplifier le système permettant la sortie des données, des données numériques étant bien moins sensibles à traiter que des données analogiques. Il doit y avoir un rapport signal sur bruit supérieur à 10 sur la mesure du MIP afin que le MIP soit facilement discernable du piédestal (le piédestal étant le niveau de tension de référence du bloc analogique permettant la mesure de charge).



Le compromis concernant le nombre de canaux a été de 64 canaux par puce, afin de minimiser l'encombrement amené par une grande granularité tout en évitant d'avoir des pistes trop longues entre les diodes PIN et la puce, ce qui créerait trop d'inductances parasites et nuirait au fonctionnement du détecteur.

Pour des raisons de refroidissement efficace, il a été calculé que la puce ne doit pas consommer plus de 25  $\mu$ W par canal de lecture (ce qui donnerait au total plus de 2000 W rien que pour alimenter les ASIC du SiW ECAL). 25  $\mu$ W de consommation par canal de lecture étant impossible à accomplir à la vue du cahier des charges pour une utilisation continue, le parti pris a été d'utiliser une méthode appelée « *power pulsing* » qui consiste à mettre l'ASIC sous tension seulement lors d'une collision et de le laisser en veille le reste du temps. Le *duty cycle* des collisions de l'ILC est de 1 ms de collisions pour 199 ms de repos. La contrainte sur la consommation par canal passe donc à 5 mW en continu, sachant que ces canaux seront en théorie sous tension 0,5 % du temps. La contrainte étant que le système de *power pulsing* puisse permettre un réveil rapide de l'ASIC.

<b>Détecteur utilisé</b>	Diodes PIN silicium
<b>Nombre de canaux</b>	64
<b>Polarité du signal entrant</b>	Positive
<b>sensibilité</b>	déclenchement sur 2 fC
<b>Gamme dynamique</b>	10 pC, INL <1% sur toute la chaîne
<b>Consommation</b>	5 mW en continu, power pulsing

Tableau 2 : Résumé du cahier des charges.

# II. SKIROC2

## 1 Présentation

SKIROC2 [19] est la puce de lecture de diodes PIN à 64 canaux développée pour le futur calorimètre électromagnétique de l'ILC, résultat du travail effectué par le laboratoire Omega à partir du cahier des charges introduit dans le chapitre précédent. Son schéma général est donné Figure 31 et la puce va être étudiée en détail le long de ce chapitre. La présentation faite ici est basée sur la datasheet de SKIROC2 fournie par le laboratoire Omega [20].

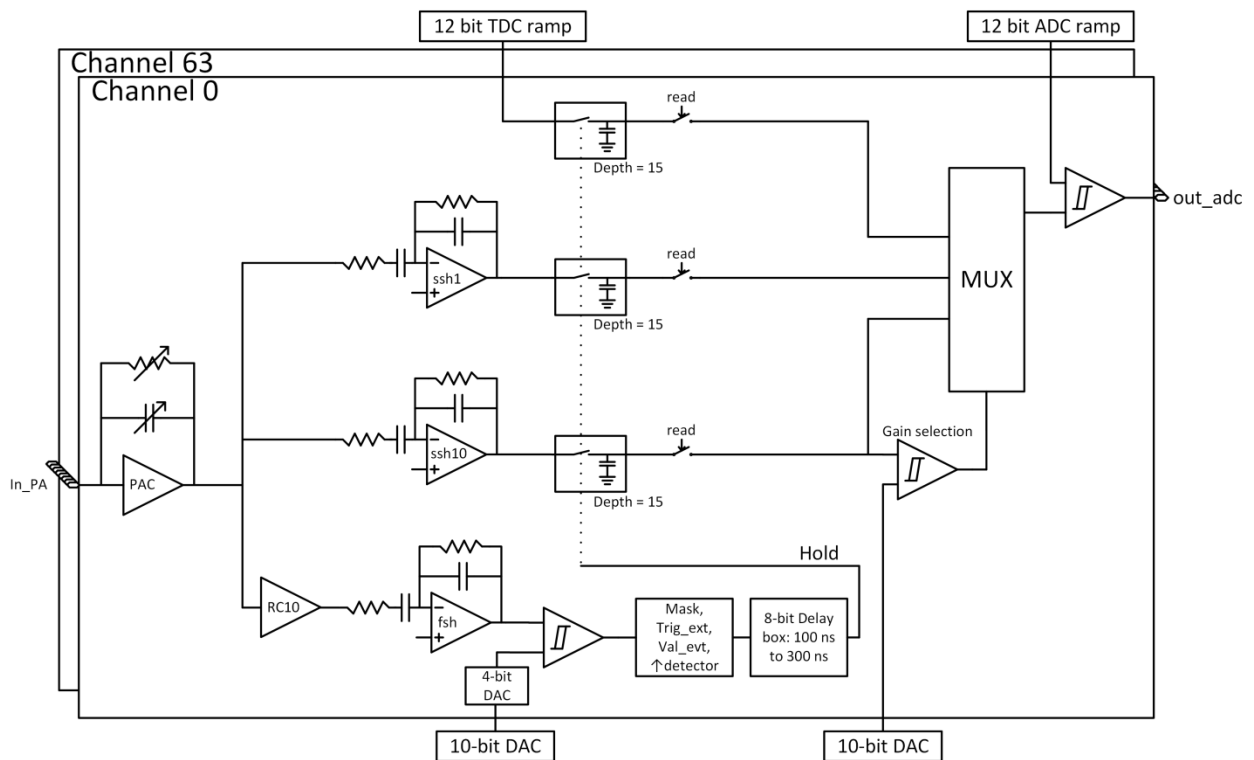


Figure 31 : Schéma simplifié de Skiroc2.

Sa gamme dynamique atteint 2500 MIP ( $\approx 10$  pC). L'énergie mesurée est convertie sur 14 bits grâce à 2 shapers de gains 1 et 10 et un ADC 12-bit. Le shaper gain 10 permet une bonne précision sur la mesure de signaux de l'ordre du MIP sans avoir un ADC haute résolution alors que le shaper gain 1 permet la mesure sur toute la gamme dynamique.

Le préamplificateur fait une conversion charge  $\rightarrow$  tension d'un facteur  $1/C_f$  (de 166,7 GV/C à 2500 GV/C), ce qui signifie que pour le « gain » le plus bas (qui permet de contenir toute la gamme dynamique), le signal d'un MIP de 3,8 fC sera autour de 633  $\mu$ V à la sortie du préamplificateur.

Le fast shaper, filtre passe-bande utilisé pour déclencher sur le signal d'entrée, a un temps de peaking par défaut de 45 ns qui peut être paramétré pour devenir 60, 90 ou 120 ns. Le rapport signal à bruit (Signal over Noise Ratio, SNR) à la sortie du fast shaper est de plus de 10 pour un signal d'1 MIP avec le temps de peaking minimal et un gain de préamplificateur minimal. Cela permet à l'utilisateur de faire déclencher le circuit automatiquement sur un demi-MIP avec une efficacité

élevée. Le seuil de déclenchement du discriminateur est ajustable grâce à un DAC 10 bits commun à tous les canaux et peut être optimisé canal par canal grâce à un DAC 4 bits. La boîte à délai utilisée pour échantillonner (à l'aide d'un track & hold) sur la valeur analogique maximale en sortie de shaper a un délai ajustable allant de 100 ns à 300 ns sur 8 bits.

Il y a deux slow shapers, un gain 1 et un gain 10, avec un temps de shaping de 180 ns. Le slow shaper gain 1 permet de contenir toute la gamme dynamique venant du préamplificateur tandis que le shaper gain 10 permet d'améliorer le SNR et la résolution sur des signaux d'entrée proches du MIP.

Chaque canal de lecture peut mémoriser 15 événements grâce aux 15 cellules track & hold propres à chaque canal. Cela permet de travailler en analogique durant un spill et de faire fonctionner le numérique pour convertir toutes les données analogiques uniquement pendant le temps de récupération entre deux spills. Pour les besoins de l'ILC seulement 5 mémoires par canal suffiraient, cependant ces 15 mémoires ont leur intérêt lors des tests servant à valider le système. La conversion est faite grâce à un DAC Wilkinson 12 bits. Couplé au slow shaper gain 10 on obtient en sortie de chaîne une résolution supérieure au 1/10 MIP (au gain minimal, il est possible d'obtenir plus, cela dépend de la capacité de contre-réaction utilisée).

Toutes les références de tension sont fournies par un bandgap interne.

La puce a une consommation de 5 mW par canal en continu et 25  $\mu$ W par canal en mode *power pulsing* suivant le duty cycle de 0,5 % de l'ILC.

## 2 Simulations

Dans ce chapitre, une étude en profondeur de la puce SKIROC2 va être menée afin de comprendre complètement comment celle-ci fonctionne. Premièrement, l'étude de tous les blocs analogiques du cœur analogique va être menée. Dans la deuxième partie sera rapidement étudiée la conversion analogique-numérique.

### 2.1 Cœur analogique

Le cœur analogique est au centre de la puce. C'est lui qui prend en charge le signal venant directement du détecteur et qui s'occupe de le mettre en forme pour permettre une bonne conversion. C'est le développement de la partie analogique qui est le plus critique car c'est le *very front end* de tout le système d'acquisition.

#### 2.1.1 Préamplificateur

La consommation élevée du préamplificateur doit être optimisée afin de satisfaire au cahier des charges en ce qui concerne la consommation (qui doit être au maximum de 25  $\mu$ W par canal pour des raisons de refroidissement). Satisfaire à cette contrainte de consommation tout en visant un SNR supérieur à 10 pour le signal minimal avec une gamme dynamique de 2500 MIP est un réel challenge.

##### 2.1.1.1 Boucle ouverte

Le schéma simplifié de l'amplificateur utilisé est donné Figure 32. Il s'agit d'un montage source commune avec un transistor PMOS, suivi d'un étage cascode replié pour améliorer le gain. Il y

a ensuite 2 suiveurs de tension pour envoyer le signal vers différentes parties du circuit afin de limiter la charge qu'il y aurait sur un suiveur unique.

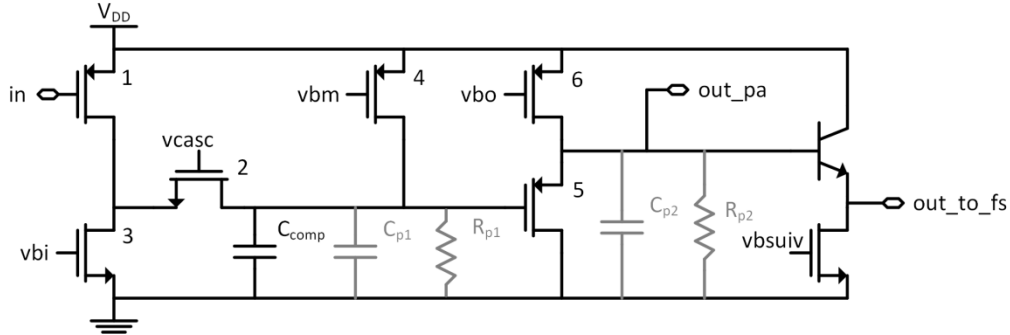


Figure 32 : Schéma de principe de l'amplificateur utilisé. Les composants en gris sont les capacités et résistances équivalentes pour le calcul des pôles.

Le gain en boucle ouverte de cet amplificateur est donné par la relation

$$A_0 = \frac{g_{m1}g_{m2}}{(g_{ds1} + g_{ds3})(g_{ds2} + g_{ds4})} = \frac{9,14m \times 729\mu}{(240,4\mu + 72,4\mu)(9,089\mu + 938,5n)} = 66,54 \text{ dB} \quad (66)$$

D'après la simulation (voir Figure 34) le gain en boucle ouverte serait 64,2 dB. Cependant ce gain est mesuré après le suiveur en tension. Avant le suiveur en tension la simulation donne un gain de 66,1 dB. Le pôle dominant est donné par la relation

$$\omega_{p1} = \frac{1}{R_{p1}(C_{p1} + C_{comp})} \quad (67)$$

Avec

$$R_{p1} = r_{o4} \parallel \frac{1 + \frac{g_{m2}}{(g_{ds1} + g_{ds3})}}{g_{ds2}} = \frac{1}{938,5n} \parallel \frac{1 + \frac{729\mu}{(240,4\mu + 72,4\mu)}}{9,089\mu} = 272,6 \text{ k}\Omega \quad (68)$$

Et

$$C_{p1} = c_{gg5} + c_{dd4} + c_{dd2} = 112,6f + 16,29f + 30,77f = 160 \text{ fF} \quad (69)$$

Ce qui donne, en prenant  $C_{comp} = 6 \text{ pF}$ , un pôle à 94,8 kHz (82,9 kHz d'après simulation).  $C_{p1}$  étant négligeable devant  $C_{comp}$ , il est raisonnable d'affirmer que la position du pôle sera linéairement proportionnelle à  $C_{comp}$ . Cette capacité de compensation est réglable de 1 pF à 6 pF par pas de 1 pF, donc même avec la compensation minimale  $C_{p1}$  représente seulement 16 % de la valeur de la capacité totale en ce point.

Le deuxième pôle se trouve après le suiveur en tension et est donné par

$$\omega_{p2} = \frac{1}{R_{p2}(C_{p2} + C_f)} \quad (70)$$

La résistance  $R_{p2}$  vaut

$$R_{p2} = \frac{1}{g_{ds,suiveur} + g_{m,source}} || R_f$$

La résistance  $R_f$  dépend du courant de fuite car elle est générée par une résistance  $R$  multipliée par des miroirs de courant dont la polarisation dépend du courant de fuite du détecteur  $I_{fuite}$  (voir Figure 33)

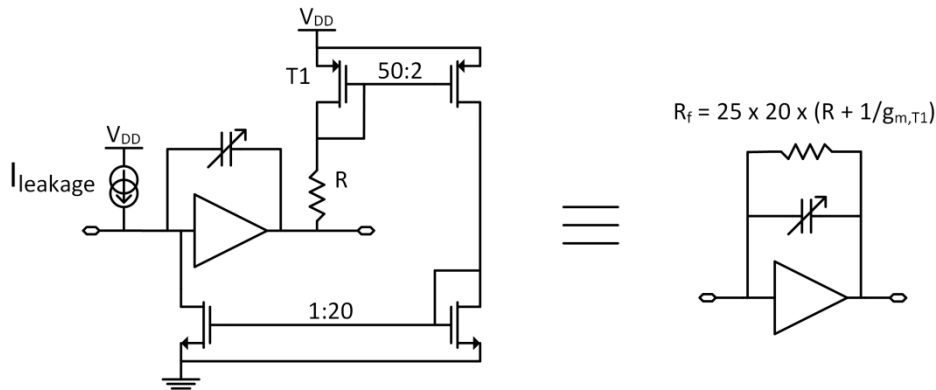


Figure 33 : Principe de fonctionnement de la contre-réaction résistive.

$R_f$  dépendant de la transconductance de T1, dépendant elle-même du courant de fuite, il peut être conclu que  $R_f$  dépend effectivement du courant de fuite. Un interrupteur permet de changer le rapport du système de miroirs de courants valant par défaut  $25 \times 20$  par un rapport  $2,5 \times 20$ .

En calculant  $R_{p2}$  à partir des résultats de simulation, pour un courant de fuite de 1 nA il est obtenu

$$R_{p2} = \frac{1}{26,88\mu + 884,7\mu} || 36,78M = 1,1 k\Omega$$

Et

$$C_{p2} = C_{ss,suiveur} + C_{dd,source} = 188 fF$$

Ce qui donne un pôle à 23,45 MHz en prenant  $C_f = 6$  pF (29,5 MHz d'après simulation, Figure 34). De la même manière que précédemment  $C_{p2}$  est négligeable devant  $C_f$  et le deuxième pôle est donc proportionnel à  $C_f$ . La résistance de contre-réaction  $R_f$  étant très grande, une variation du courant de fuite aurait une influence négligeable sur la position du pôle.

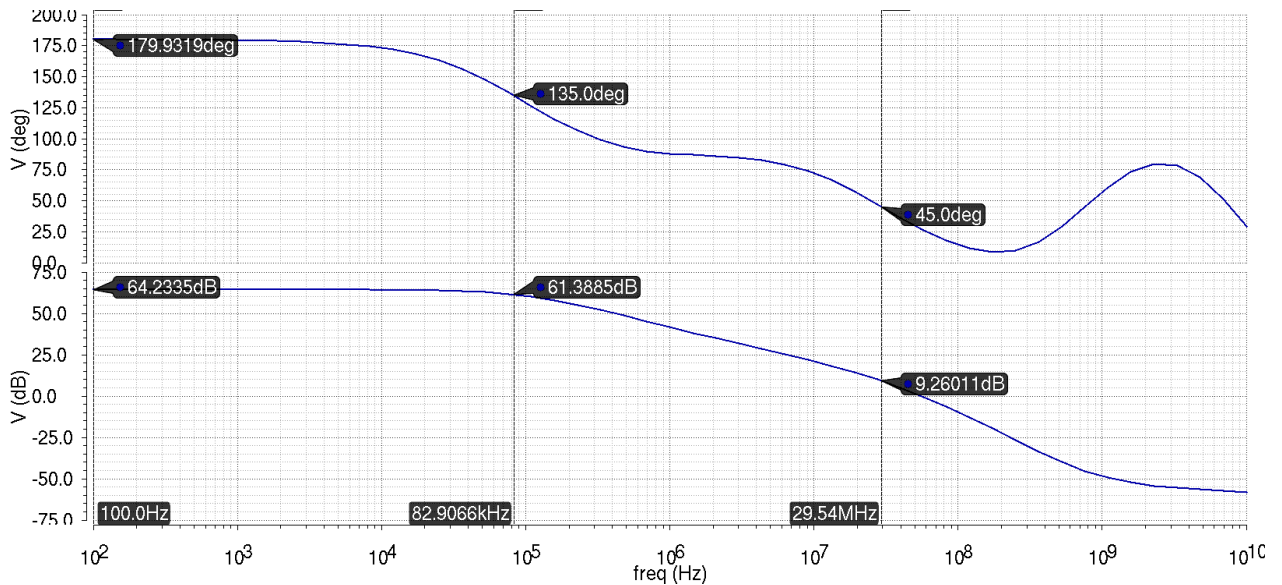


Figure 34 : Diagramme de Bode du préamplificateur en boucle ouverte, tracé avant le suiveur en tension.

Le gain en boucle fermée est  $C_d/C_f = 20\text{pF}/6\text{pF} = 3,3 = 10,5 \text{ dB}$  dans le cas du gain le plus bas (et donc le moins favorable pour la stabilité du montage). Cela signifie que le montage a une marge de phase de  $47,8^\circ$  pour  $C_f = 6 \text{ pF}$  et  $C_{comp} = 6 \text{ pF}$ . Sur la Figure 35 est tracée la marge de phase en fonction de la capacité de contre-réaction pour une capacité de compensation fixe à  $6 \text{ pF}$ .

D'un point de vue de la stabilité pure il serait possible d'avoir une capacité de compensation de  $6 \text{ pF}$  fixe, qui permettrait de compenser le cas le moins favorable et par extension tous les autres cas. Cependant il est intéressant de se régler sur la marge de phase minimale tout en préservant la stabilité car cela permet d'être le plus rapide possible. En effet Figure 36 il est possible de voir que la bande passante de l'amplificateur décroît dramatiquement lorsque la capacité de contre-réaction diminue. En se plaçant par exemple à  $C_f = 1,2 \text{ pF}$  avec  $C_{comp} = 6 \text{ pF}$  la marge de phase est de  $87,23^\circ$  au gain  $C_d/C_f$  pour une bande passante de  $7,16 \text{ MHz}$ . En prenant  $C_{comp} = 1 \text{ pF}$  la marge de phase est de  $65^\circ$  pour une bande passante de  $36,9 \text{ MHz}$ . Il est donc intéressant de diminuer cette capacité de compensation pour des gains élevés.

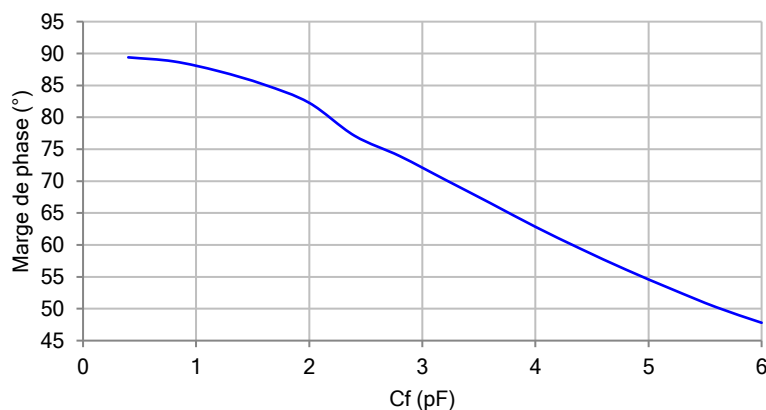


Figure 35 : Marge de phase au gain  $C_d/C_f$  en fonction de  $C_f$  pour  $C_{comp} = 6 \text{ pF}$ .

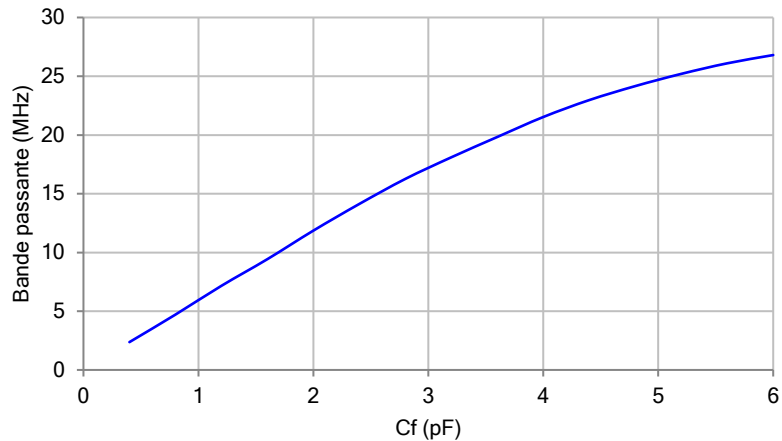


Figure 36 : Bande passante en fonction de  $C_f$  pour  $C_{comp} = 6$  pF.

L'influence du courant de fuite  $I_{fuite}$  est particulièrement visible sur le point de polarisation du préamplificateur. Le préamplificateur a besoin d'un minimum de courant de fuite coulant dans  $R_f$  afin de se polariser. Cependant plus le courant sera important plus le point de polarisation en sortie de préamplificateur sera bas. La Figure 37 montre l'influence du courant de fuite du détecteur sur la polarisation de la sortie du préamplificateur jusqu'à 150 nA. La polarisation de plus en plus basse cause une gamme dynamique de plus en plus faible en sortie de préamplificateur.

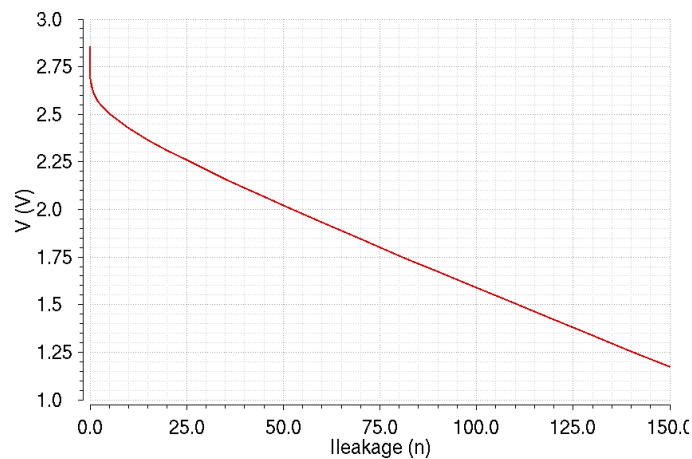


Figure 37 : Influence de  $I_{fuite}$  sur le point de polarisation de sortie du préamplificateur.

A la limitation de gamme dynamique causée par la chute du point de polarisation de sortie s'ajoute un effet de dépolarisation passé les 90 nA de courant de fuite. On observe ainsi une chute de l'amplitude de l'échelon de sortie pour les grands courants de fuite.

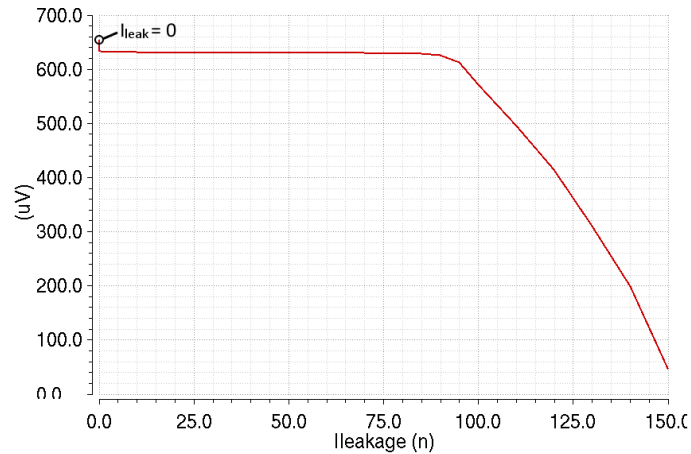


Figure 38 : Amplitude de l'échelon de sortie du préamplificateur en fonction de  $I_{fuite}$  pour  $R_f$  grand.

Du point de vue de l'étude en petits signaux le courant de fuite n'a d'influence que sur la gamme dynamique tant qu'il reste inférieur à 90 nA. Si le besoin s'en fait sentir, pour des courants de fuite élevés, un switch permet de réduire la résistance équivalente de contre-réaction en modifiant le rapport des miroirs de courant. La Figure 39 montre qu'il est possible d'avaloir jusqu'à 10 fois plus de courant de fuite (environ 900 nA) sans dépolairiser le préamplificateur.

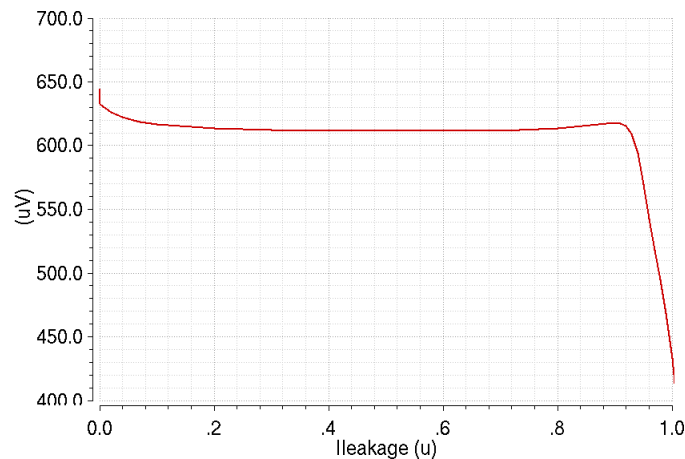


Figure 39 : Amplitude de l'échelon de sortie du préamplificateur en fonction de  $I_{fuite}$  pour  $R_f$  petit.

Pour des courants de fuite supérieurs à la dizaine de nano-ampères il est intéressant d'utiliser une plus basse résistance de contre-réaction, même si cela augmente le bruit parallèle qui sera de toute façon filtré dans les shapers. L'influence du courant de fuite sur le bruit sera étudiée dans la partie sur les shapers afin de constater du résultat en sortie de chaîne complète.

Il faut tout de même rappeler que les diodes PIN auront un courant de fuite inférieur à 10 nA.

### 2.1.1.2 Boucle fermée

Le montage en boucle fermée utilisé dans SKIROC2 est présenté Figure 40. La résistance  $C_f$  est réglable de 0,4 pF à 6 pF par pas de 0,4 pF. La résistance  $R_f$ , servant à polariser le circuit et à vider la capacité de contre-réaction, a une valeur dépendant du courant de fuite du détecteur comme



expliqué dans la section précédente. L'interrupteur permettant de changer la valeur de cette résistance est là pour répondre aux problématiques de faibles ou forts courants de fuite.

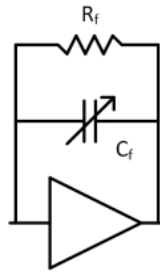


Figure 40 : préamplificateur de charge.

La constante de temps de la décharge du préamplificateur est de 200  $\mu$ s avec une capacité de contre-réaction de 6 pF et un courant de fuite de détecteur de 1 nA (voir Figure 41 avec un signal d'entrée de 400 fC). Cela donne une estimation graphique de la résistance de contre-réaction à 33,3 M $\Omega$ . Par le calcul numérique d'après les données de simulation le résultat obtenu est 36,78 M $\Omega$ , ce qui est cohérent, la méthode précédente n'étant pas très précise.

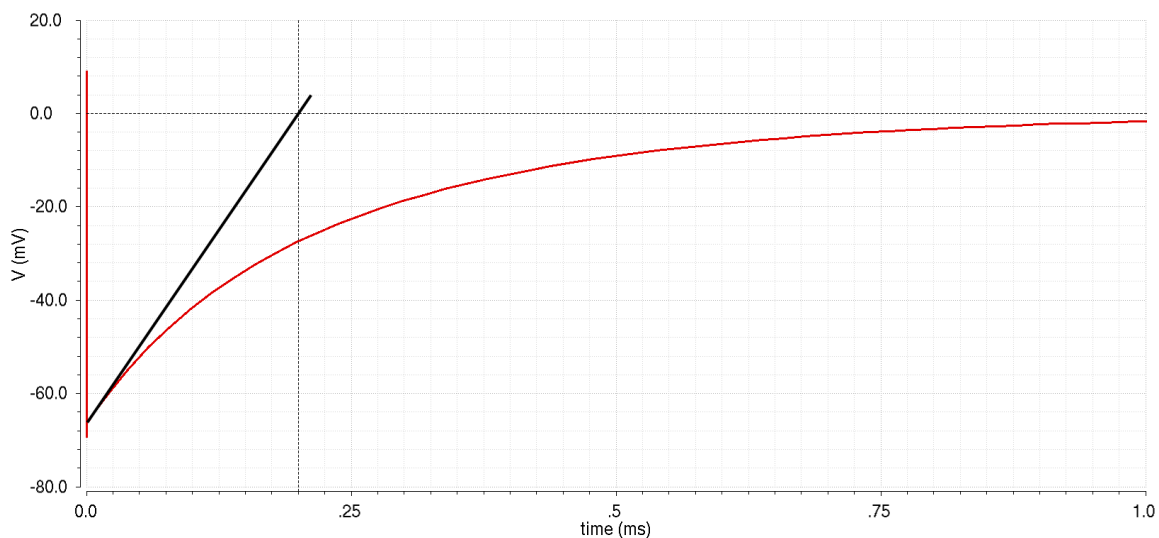


Figure 41 : Décharge de la capacité de contre-réaction dans la résistance de contre réaction.

L'influence des variations de  $C_f$  et  $C_{comp}$  en boucle fermée est étudiée Figure 42 et Figure 43. Sur la Figure 42 est tracée la réponse en sortie de préamplificateur à plusieurs signaux de différentes charges. Ces charges varient de 0 à 2500 MIP par pas de 100 MIP et permet de se rendre compte du temps d'établissement de l'échelon pour  $C_f = 6$  pF et  $C_{comp} = 6$  pF.

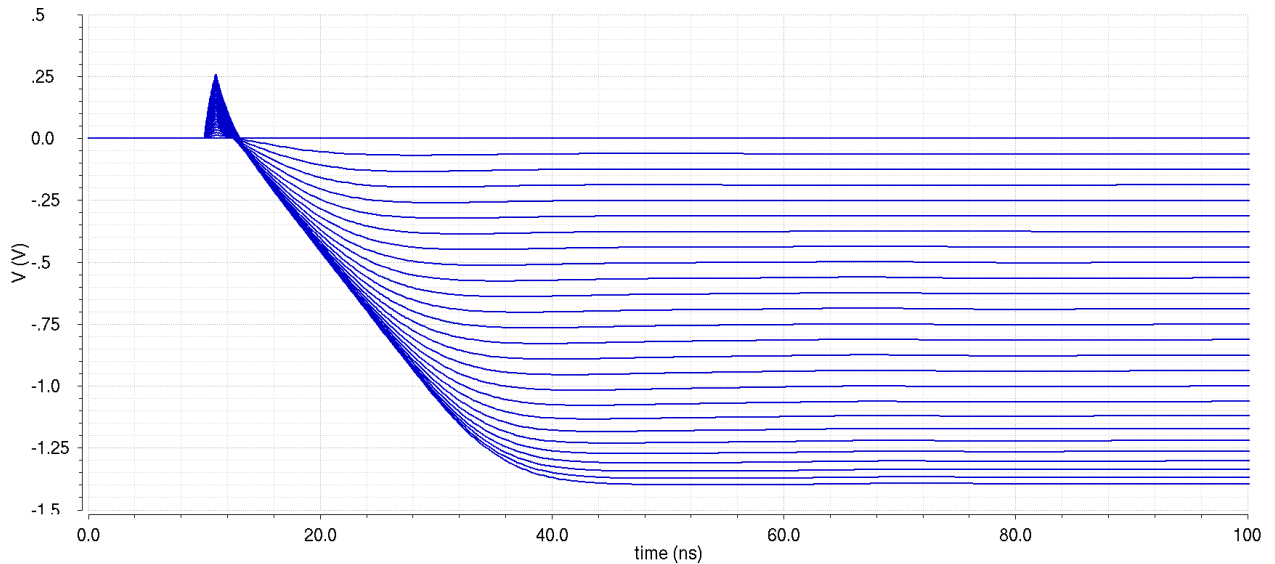


Figure 42 : Echelon de sortie de 0 à 2500 MIP par pas de 100 MIP pour  $C_f = 6 \text{ pF}$  et  $C_{comp} = 6 \text{ pF}$ .

Sur la Figure 43 sont tracés des échelons normalisés en sortie de préamplificateur pour différentes configurations de  $C_f$  et  $C_{comp}$ . En bleu sont les mêmes échelons que sur la Figure 42. En rouge la capacité de contre-réaction a été réduite de 6 pF à 1,2 pF. Le temps d'établissement du signal a été largement augmenté, comme prédit par la théorie vue en étude de la boucle ouverte. Pour compenser cela la capacité de compensation a elle aussi été diminuée à 1 pF (vert). Il est donc important de noter que lorsque l'on augmente le gain du préamplificateur en diminuant la capacité de contre-réaction, il faut aussi diminuer la capacité de compensation afin d'avoir de bonnes performances sur la vitesse de transition de l'échelon.

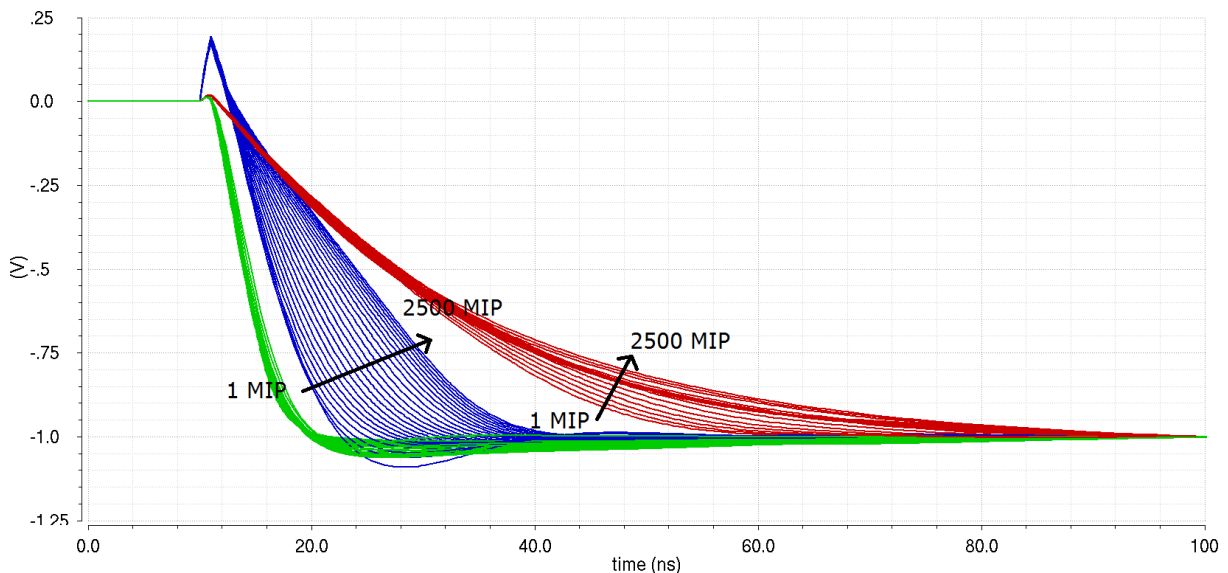


Figure 43 : Echelons de sortie sur toute la gamme dynamique normalisés a 1 pour :  $C_f = 6 \text{ pF}$ ,  $C_{comp} = 6 \text{ pF}$  (bleu) ;  $C_f = 1,2 \text{ pF}$ ,  $C_{comp} = 6 \text{ pF}$  (rouge) et  $C_f = 1,2 \text{ pF}$ ,  $C_{comp} = 1 \text{ pF}$  (vert).

La valeur de capacité de compensation optimale est la plus petite conservant la stabilité de l'amplificateur.

### 2.1.1.3 Linéarité

La linéarité simulée sur toute la gamme dynamique est tracée Figure 44. La valeur d'amplitude de l'échelon est mesurée à 180 ns après l'injection du signal entrant, ce qui correspond à la constante de temps des shapers de mesure de charge (slow shapers). La composante de tension continue a été soustraite au signal. La valeur d'un MIP est de 3,8 fC et la capacité de contre réaction est de 6 pF. Le courant de fuite est fixé à 5 nA.

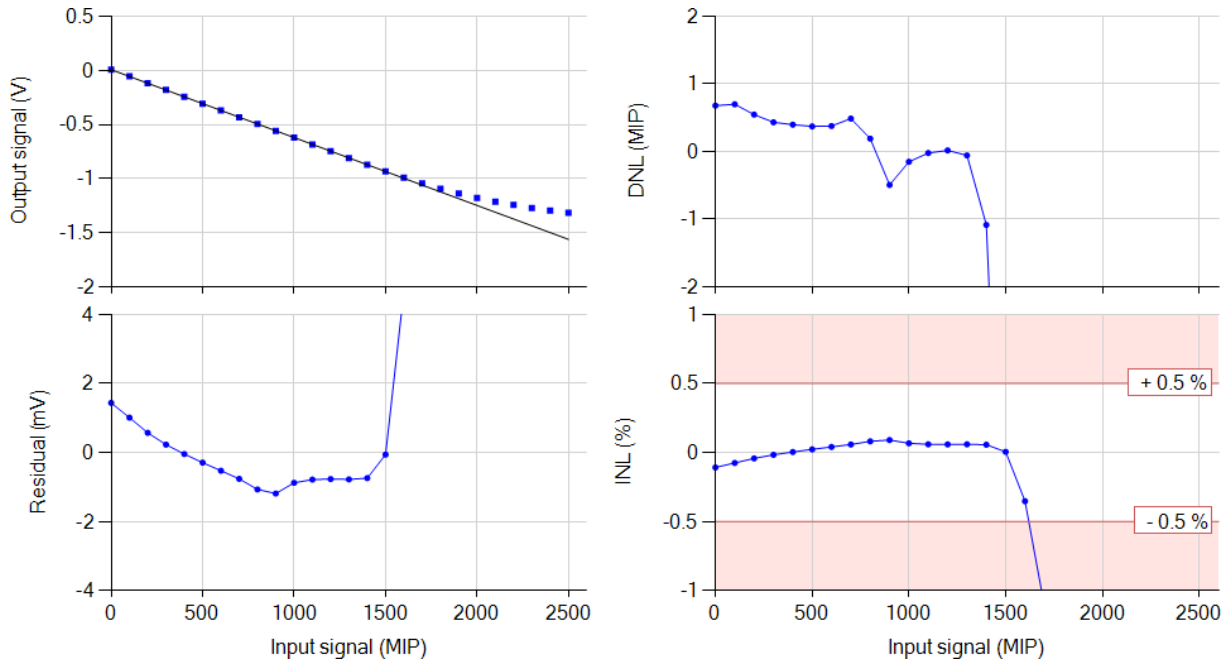


Figure 44 : Linéarité en sortie de préamplificateur.

La pente de la droite résultant de la régression linéaire est de  $-628 \mu\text{V}/\text{MIP}$ . Cette régression a été calculée pour les points compris entre 0 et 1700 MIP. En faisant une régression entre 0 et 1000 MIP la valeur de la pente obtenue est  $-631 \mu\text{V}/\text{MIP}$ . En théorie la pente obtenue devrait être de  $-633 \mu\text{V}/\text{MIP}$ . Il y a une légère compression des signaux pour les grandes charges entrante, ce qui explique cette valeur de pente plus faible. Le résidu est inférieur à 2 mV jusqu'à 1500 MIP et le DNL inférieur au MIP sur cette gamme. L'INL reste inférieur à 1 % jusqu'à 1600 MIP.

La gamme dynamique donnée par la datasheet de SKIROC2 est considérée comme allant jusqu'à 2500 MIP mais c'est à la condition de prendre en compte la compression du signal lors de l'acquisition. Le préamplificateur de SKIROC2 n'est donc pas linéaire avec un INL inférieur à 1 % jusqu'à 2500 MIP mais jusqu'à seulement 1600 MIP d'après ces simulations.

### 2.1.1.4 Bruit

L'étude théorique du bruit a déjà été menée dans le chapitre précédent. Ici cette étude sera appliquée au cas particulier du préamplificateur de SKIROC2. Il a été vu que la majorité du bruit du préamplificateur venait du bruit série ramené à l'entrée du transistor de premier étage. Ce bruit série dépendant majoritairement de sa transconductance, cette dernière est calculée.

$$g_m = \sqrt{\frac{2W}{L} \mu C_{ox} I_{DS}} = \sqrt{2 \times 4778 \times \mu C_{ox} \times 485 \cdot 10^{-6}} = 9,13 \text{ m} \quad (71)$$

La contribution du transistor PMOS du premier étage d'amplification au bruit ramené à l'entrée est  $e_n = \sqrt{S_v} = \sqrt{\frac{8}{3}kT \times \frac{1}{g_m}} = 1,1 \text{ nV}/\sqrt{\text{Hz}}$  avec  $\frac{8}{3}kT = 1,104 \cdot 10^{-20}$  à  $T = 300 \text{ K}$ . Le bruit parallèle ramené à l'entrée est donné par la résistance de contre-réaction de valeur  $36,78 \text{ M}\Omega$ . Ce bruit parallèle est donc  $i_n^2 = 4kT/R_f = 16,56 \cdot 10^{-21}/36,78 \cdot 10^6 = 450,2 \cdot 10^{-30} \text{ A}^2/\text{Hz}$ . Il est finalement obtenu  $i_n = 21,22 \text{ fA}/\sqrt{\text{Hz}}$ . En allégeant considérablement le schéma du préamplificateur comme montré Figure 45.

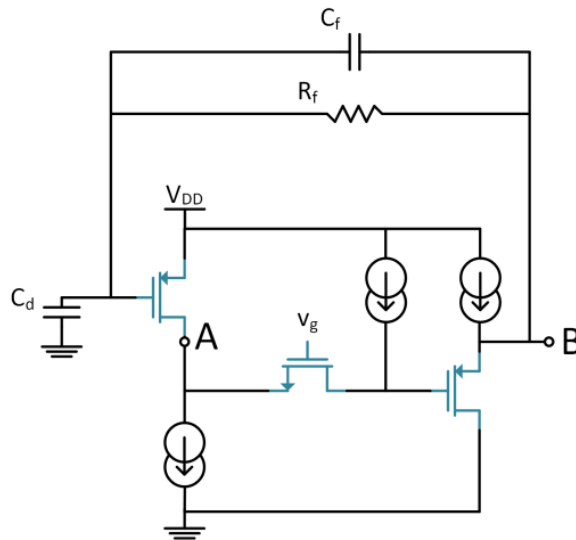


Figure 45 : Montage du préamplificateur allégé pour l'estimation du bruit.

Seuls les transistors (en bleu) sont considérés comme non-idéaux. La simulation donne au point A un bruit série de  $3,7 \text{ nV}/\sqrt{\text{Hz}}$ . Cela correspond ramené à l'entrée à

$$e_{n,A} = 3,7 \times \frac{C_f}{C_d} = 3,7 \times \frac{6}{20} = 1,11 \frac{\text{nV}}{\sqrt{\text{Hz}}} \quad (72)$$

Ce qui correspond très bien à l'analyse théorique. Cette valeur se vérifierait par la simulation si la contre-réaction se faisait au point A.

Les spectres de bruit, simulés et modélisés au point B, sont donnés Figure 46. Au point B le bruit en tension (mesuré à  $5,3 \text{ MHz}$  sur la courbe) est d'environ  $5,9 \text{ nV}/\sqrt{\text{Hz}}$ . Ramené à l'entrée en divisant par le gain en tension du montage comme précédemment, cela donne  $e_{n,B} = 1,77 \text{ nV}/\sqrt{\text{Hz}}$ . Les deux courbes se recouvrent bien sauf pour ce qui concerne les effets de bande passante du préamplificateur (simulée comme étant  $26,8 \text{ MHz}$  pour  $C_{comp} = 6 \text{ pF}$  et  $C_f = 6 \text{ pF}$  dans la section précédente) car les effets d'instabilité ne sont pas pris en compte dans le modèle mis en œuvre. Celui-ci considère le préamplificateur comme étant un montage à un seul pôle, le facteur d'amortissement n'apparaît donc pas.

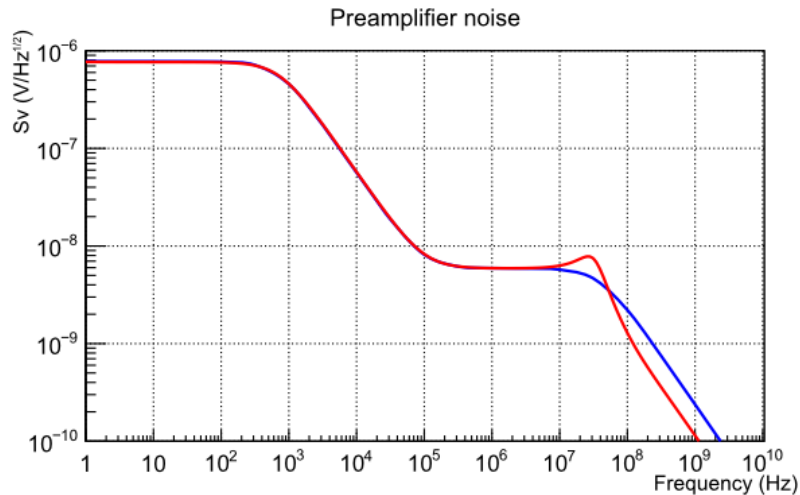


Figure 46 : Bruit en sortie du schéma simplifié de préamplificateur d'après la simulation (rouge) et par le calcul (en bleu) avec  $C_d = 20$  pF,  $C_f = 6$  pF,  $R_f = 36,78$  M $\Omega$ ,  $i_n = 21,22$  nV/ $\sqrt{\text{Hz}}$  et  $e_n = 1,77$  nV/ $\sqrt{\text{Hz}}$ .

En regardant les contributions de bruit dans le préamplificateur complet, et non la version simplifiée présentée Figure 45, dans Cadence® Virtuoso® à 5,3 Mhz (fréquence centrale d'un shaper CRRC de temps de shaping 30 ns, où la contribution du bruit série est prépondérante) il est obtenu le tableau suivant

Device	Param	Noise Contribution	% Of Total
/I72/MP0	id	3.43452e-17	48.27
/I7/MN22	id	1.23738e-17	17.39
/I7/I387/MN2	id	7.49672e-18	10.54
/MN7	id	6.57948e-18	9.25

L'élément « /I72/MP0 » représente le transistor d'entrée, qui contribue pour 48,27 % du bruit, le paramètre id correspondant à la densité spectrale du bruit thermique en tension et valant  $3,43 \cdot 10^{-17}$  V<sup>2</sup>/Hz. Il en est déduit la contribution du transistor d'entrée au bruit série ramené à l'entrée  $e_{n,inputMOS} = \sqrt{3,43452e-17} \times \frac{C_f}{C_d} = 1,758$  nV/ $\sqrt{\text{Hz}}$ . Cette contribution est vue au point B à travers le cascode replié et le suiveur en tension. Pour cela elle ne correspond pas à  $e_{n,A} = \sqrt{S_v} = 1,1$  nV/ $\sqrt{\text{Hz}}$ ,  $S_v$  étant le bruit thermique en tension du transistor d'entrée seul. En revanche elle correspond très bien à la valeur calculée  $e_{n,B}$  à partir de la Figure 46. Les 1,1 nV/ $\sqrt{\text{Hz}}$  de bruit série imputables au transistor d'entrée sont donc vus en sortie comme étant 1,758 nV/ $\sqrt{\text{Hz}}$  et correspondent à 48,27 % du bruit total. Le bruit à ces fréquences étant quasi-exclusivement dû au bruit série, il peut être considéré que le bruit série total ramené à l'entrée est  $e_n = 1,1/48,27 \times 100 = 2,279$  nV/ $\sqrt{\text{Hz}}$ . Les trois autres sources de bruit série principales sont ramenées par les transistors de polarisation de l'étage d'entrée et le système de power pulsing et sont présentées Figure 47.

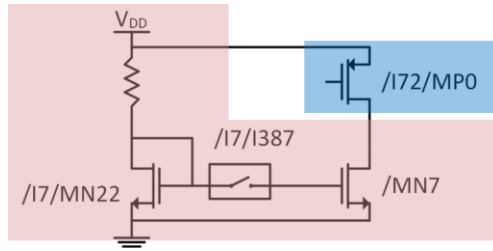


Figure 47 : Principales sources de bruit dans le montage préamplificateur. En bleu : transistor d'entrée. En rouge : Système de polarisation.

En reprenant les valeurs calculées de  $R_f = 36,78 \text{ M}\Omega$ ,  $e_n = 2,279 \text{ nV}/\sqrt{\text{Hz}}$  et  $i_n = 21,22 \text{ fA}/\sqrt{\text{Hz}}$  et en prenant en compte le bruit de flicker (évalué à  $4,68 \text{ }\mu\text{V}/\sqrt{\text{Hz}}$  à  $1 \text{ Hz}$ ) le spectre de bruit Figure 48 est obtenu. Il est comparé à celui donné directement par la simulation.

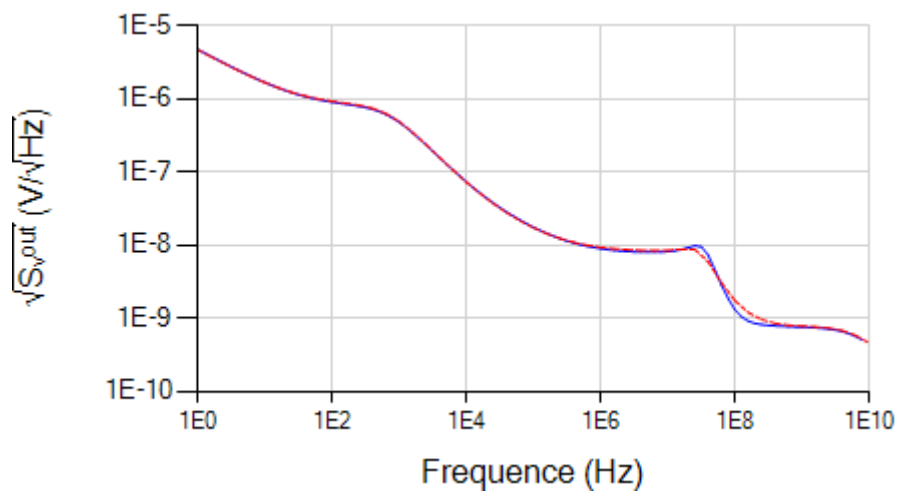


Figure 48 : Bruit en sortie de préamplificateur d'après la simulation (rouge) et par le calcul (en bleu).

En plus de l'effet de l'instabilité, un bruit supplémentaire est visible dans les hautes fréquences. Il est dû au système d'interrupteurs de la capacité de contre-réaction. Il n'était donc pas visible Figure 46 car dans cette simulation  $C_f$  était une capacité idéale de  $6 \text{ pF}$  fixe. Ce sont les interrupteurs qui ramènent un bruit série visible en sortie de préamplificateurs. Plus ces derniers sont grands plus leur résistance est basse et plus le bruit série sera faible mais plus la capacité parasite sera élevée. Un compromis est donc à faire sur la taille de ces interrupteurs. Dans le cas présent le bruit série ramené par ces interrupteurs est  $e_{n,sw} = 0,751 \text{ nV}/\sqrt{\text{Hz}}$ . La formule ayant permis de tracer la Figure 48 est

$$\sqrt{S_v^{out}(\omega)} = \sqrt{e_n^2 |H_{pav}|^2 + i_n^2 |H_{pai}|^2 + \frac{K}{\omega} + \frac{e_{n,sw}^2}{1 + \frac{\omega}{\omega_{sw}}}} \quad (73)$$

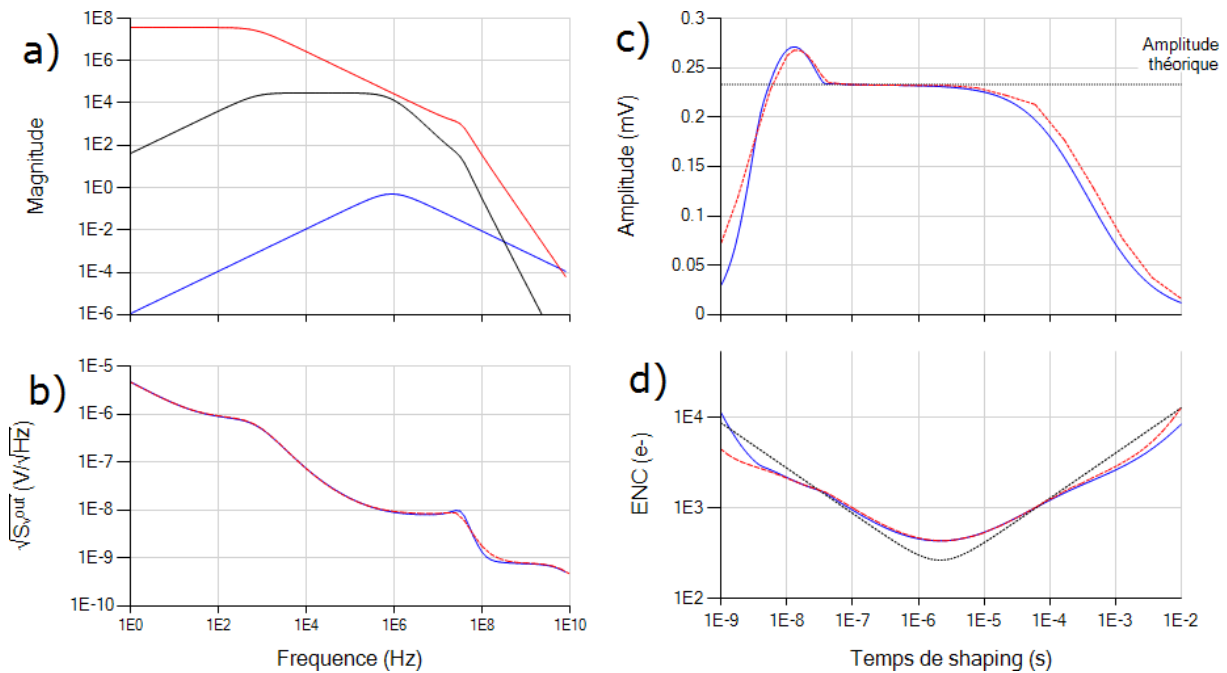
Il est obtenu un bruit RMS de  $90 \text{ }\mu\text{V}$  en sortie de préamplificateur, soit un rapport signal sur bruit de 7 pour un signal de minimal d'amplitude  $633 \text{ }\mu\text{V}$ .

Afin d'améliorer le rapport signal sur bruit et surtout d'amplifier ce signal, des filtres en sortie de préamplificateur se chargeront de filtrer le bruit tout en préservant le signal utile. Dans le cas

présent le signal étant un échelon, le signal utile est en fait l'amplitude de l'échelon et c'est donc la seule information à traiter. Les filtres utilisés sont appelés *shapers* (filtres formeurs en français). Le préamplificateur a deux sorties, l'une d'elle est envoyée sur ce qui sera appelé les slow shapers et l'autre sur le fast shaper.

### 2.1.2 Shaper

Afin d'évaluer le temps de shaping optimal, l'ENC pour un shaper CRRC est calculé. En se plaçant dans les conditions de SKIROC2 ( $R_f = 36,78 \text{ M}\Omega$ ,  $C_f = 6 \text{ pF}$ ,  $C_d = 20 \text{ pF}$ ,  $e_n = 2,28 \text{ nV}/\sqrt{\text{Hz}}$ ,  $i_n = 21,22 \text{ fA}/\sqrt{\text{Hz}}$  obtenues d'après simulation) les courbes suivantes sont obtenues



**Figure 49 :** a) Module des fonctions de transfert du préamplificateur ( $v_{out} / i_{in}$ , rouge), d'un shaper CRRC de fréquence centrale 884 kHz ( $v_{out} / v_{in}$  avec  $\tau = 180 \text{ ns}$ , bleu) et de toute la chaîne (noir). b) Bruit en sortie de préamplificateur d'après simulation (pointillé rouge) et modélisation (bleu) c) Amplitude maximale du signal transitoire en fonction du temps de shaping d'après simulation (pointillé rouge) et modélisation (bleu). d) ENC théorique idéal comme calculé Figure 25 (points noirs), ENC d'après simulation (pointillé rouge) et ENC modélisé (bleu).

Le rebond visible sur l'amplitude maximale du signal aux temps de shaping aux alentours de la dizaine de nanosecondes est dû à l'effet du second pôle du préamplificateur qui crée un undershot sur l'échelon en sortie de préamplificateur. Cela a pour effet d'augmenter l'amplitude en sortie de shaper pour les temps de shaping inférieurs à la durée de cet undershot.

D'après la Figure 49 le travail de modélisation du système est bon. La modélisation du bruit n'est pas parfaite pour les hautes fréquences car tous les effets parasites ne sont pas pris en compte mais la simulation et la modélisation donnent des résultats très proches pour les basses et moyennes fréquences.

En toute rigueur dans une optique de minimisation du bruit, un temps de shaping de  $2,2 \mu\text{s}$  devrait être choisi pour un shaper CRRC, correspondant à un bruit de 264 électrons à l'entrée d'après le modèle théorique idéal. L'ENC minimal est de 412 électrons d'après le modèle complet avec un optimum à  $2,5 \mu\text{s}$  (en considérant le shaper comme étant idéal). La simulation dans Cadence® Virtuoso® donne un ENC de 434 électrons avec un optimum à  $2,24 \mu\text{s}$ . Cependant dans la pratique

dans l'ILC il est prévu une collision toutes les 300 ns. Afin de pouvoir réassigner les évènements mesurés aux collisions, le temps de shaping des shapers a été choisi inférieur à 300 ns puisqu'il n'y avait pas de grosse contrainte sur le bruit. Le signal minimal entrant est de 23750 e-, il faut donc être inférieur à 2375 e- de bruit ramené à l'entrée, ce qui est le cas au-delà des 20 ns de temps de shaping en considérant que le shaper est idéal.

Dans le cas de SKIROC2, au vu des fréquences de travail, le bruit série est donc la source de bruit prépondérante en sortie de shaper, que ce soit pour les slow shapers ou le fast shaper. Il est donc indispensable de maîtriser le bruit du transistor d'entrée. Pour des temps de shaping bien plus lent ce serait la résistance de contre-réaction qui pourrait poser problème.

Il est temps de s'intéresser à l'étude de l'influence du courant de fuite sur le bruit. En sortie de préamplificateur, le bruit RMS augmente avec le courant de fuite jusqu'à la dépolarisation de l'amplificateur, aux alentours de 90 nA de courant de fuite (Figure 50).

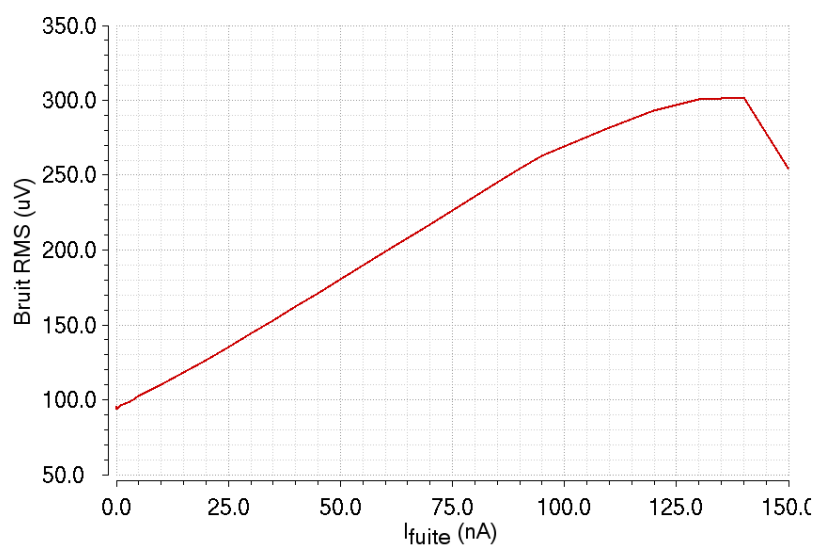


Figure 50 : bruit RMS en sortie de préamplificateur en fonction du courant de fuite.

De manière assez intuitive, c'est le bruit parallèle qui augmente avec le courant de fuite (Figure 51). Cela signifie qu'en sortie de shaper, pour des temps de shaping rapides, cette augmentation du bruit ne sera pas si significative.



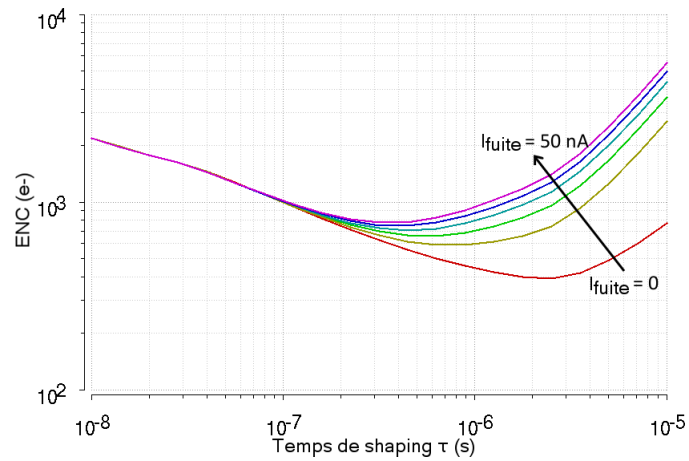


Figure 51 : ENC en sortie de CRRC idéal en fonction du temps de shaping  $\tau$  et du courant de fuite pour  $I_{fuite} = 0, 10, 20, 30, 40$  et  $50$  nA.

Ainsi le bruit RMS en sortie de préamplificateur va jusqu'à tripler, mais en sortie de shaper avec un temps de shaping de 180 ns l'augmentation du bruit n'est pas si significative comme le montre la Figure 52.

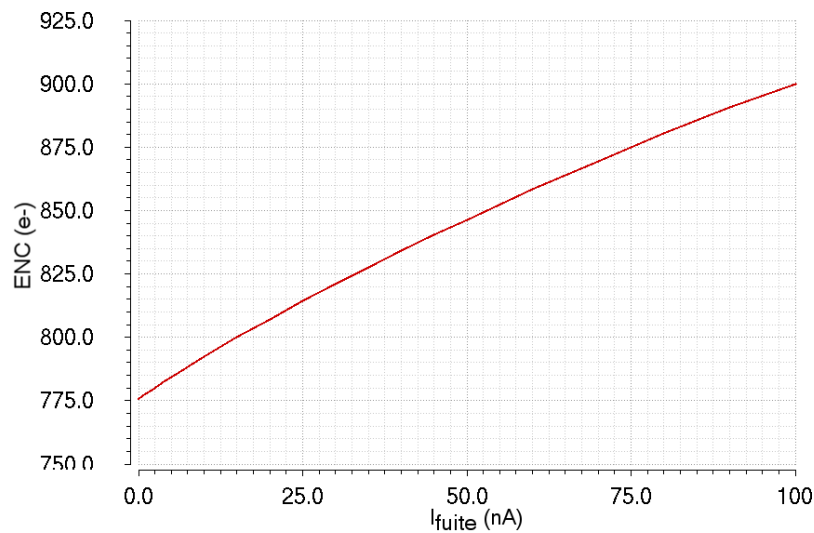


Figure 52 : ENC en sortie de shaper en fonction du courant de fuite avec  $\tau = 180$  ns.

Pour un temps de shaping de 30 ns, l'ENC ne varie pas en fonction du courant de fuite dans la limite de polarisation du préamplificateur. Si la faible résistance de contre-réaction est utilisée, l'ENC en fonction du courant de fuite évolue comme montré sur la Figure 53.

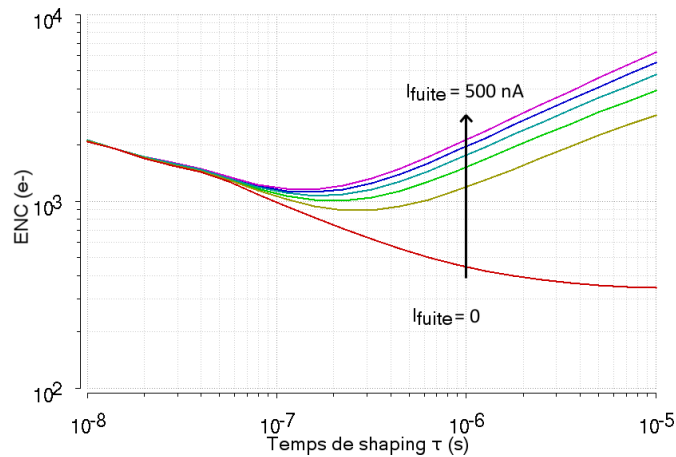


Figure 53 : ENC en sortie de CRRC idéal en fonction du temps de shaping  $\tau$  et du courant de fuite pour  $I_{fuite} = 0, 100, 200, 300, 400$  et  $500$  nA en sélectionnant la faible résistance de contre-réaction.

L'ENC en sortie de shaper CRRC idéal à 180 ns et 30 ns évolue de manière plus marquée comme montré sur la Figure 54. Pour des valeurs de courant de fuite équivalentes, les ENC en sortie de shaper sont très proches pour les deux sélections de résistance de contre-réaction : entre 800 et 900 électrons de bruit à l'entrée pour 0 à 100 nA de courant de fuite. Sélectionner la résistance de contre-réaction la plus faible n'a donc pas d'impact sur le bruit en sortie de shaper pour les temps de shaping considérés ici. Le choix de la valeur de la résistance de contre-réaction se fait donc en fonction de la polarisation souhaitée en sortie de préamplificateur.

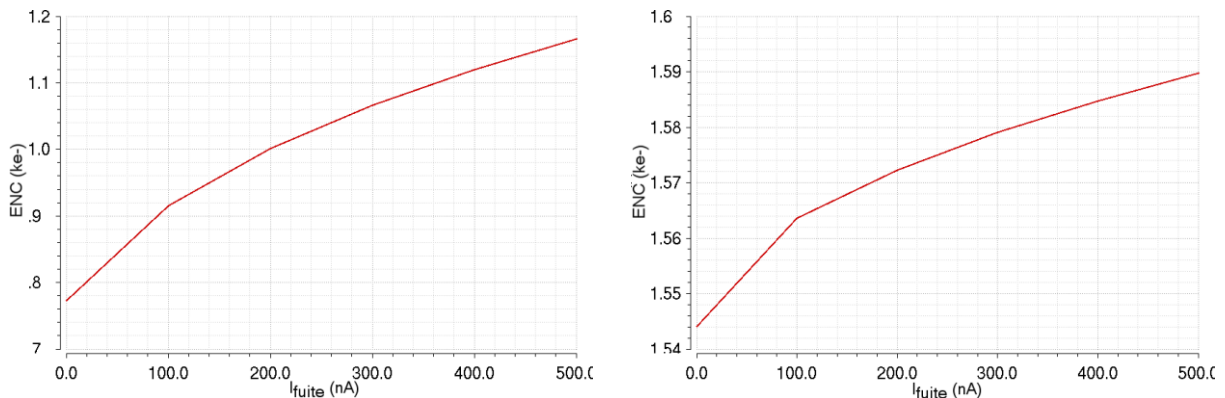


Figure 54 : ENC en sortie de shaper en fonction de  $I_{fuite}$  à  $\tau = 180$  ns (gauche) et 30 ns (droite).

### 2.1.2.1 Fast shaper

Le fast shaper a une structure un peu particulière. Il est réalisé en deux étages comme présenté sur la Figure 55. Le premier étage appelé « filtre RC gain 10 » sera décrit précisément dans la suite de cette partie. Le deuxième étage est un CRRC standard avec un gain  $R_2/R_1 = 50$ . Deux blocs en cascade sont utilisés afin de pouvoir augmenter le gain de la chaîne sans avoir un besoin de gain en boucle ouverte énorme, ce qui impliquerait l'utilisation d'un amplificateur à plusieurs étages d'amplification. Deux étages de filtre permettront en plus de cela de mieux filtrer le bruit venant du préamplificateur. Il faudra cependant faire attention à ce que ceux-ci ne rajoutent pas trop de bruit de second étage.

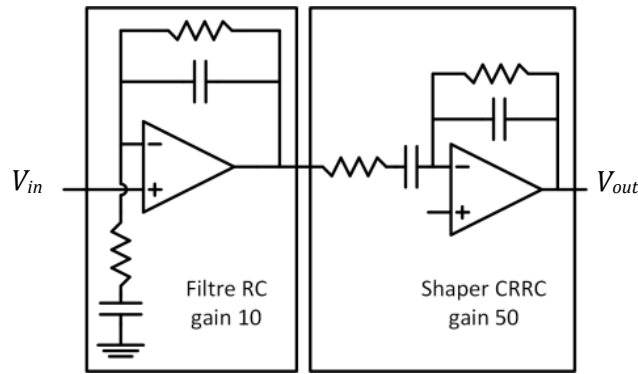


Figure 55 : Schéma du fast shaper CRRC<sup>2</sup>.

La fonction de transfert du premier étage (montage non-inverseur) s'exprime comme suit

$$H(s) = 1 + \frac{Z_2}{Z_1} \quad (74)$$

Avec  $Z_1 = R_1 + \frac{1}{j\omega C_1}$  et  $Z_2 = R_2 \parallel \frac{1}{j\omega C_2} = \frac{R_2}{1 + j\omega R_2 C_2}$

Ce qui donne

$$H(s) = 1 + \frac{C_1 R_2 s}{(1 + C_2 R_2 s)(1 + C_1 R_1 s)} \quad (75)$$

Il est à noter que sa dénomination « filtre RC gain 10 » est abusive. Le diagramme de Bode correspondant à la fonction de transfert  $H(s)$  pour différentes valeurs de  $C_1$  avec  $R_1 = 3 \text{ k}\Omega$ ,  $R_2 = 30 \text{ k}\Omega$  et  $C_2 = 1 \text{ pF}$  se trouve à la Figure 56.

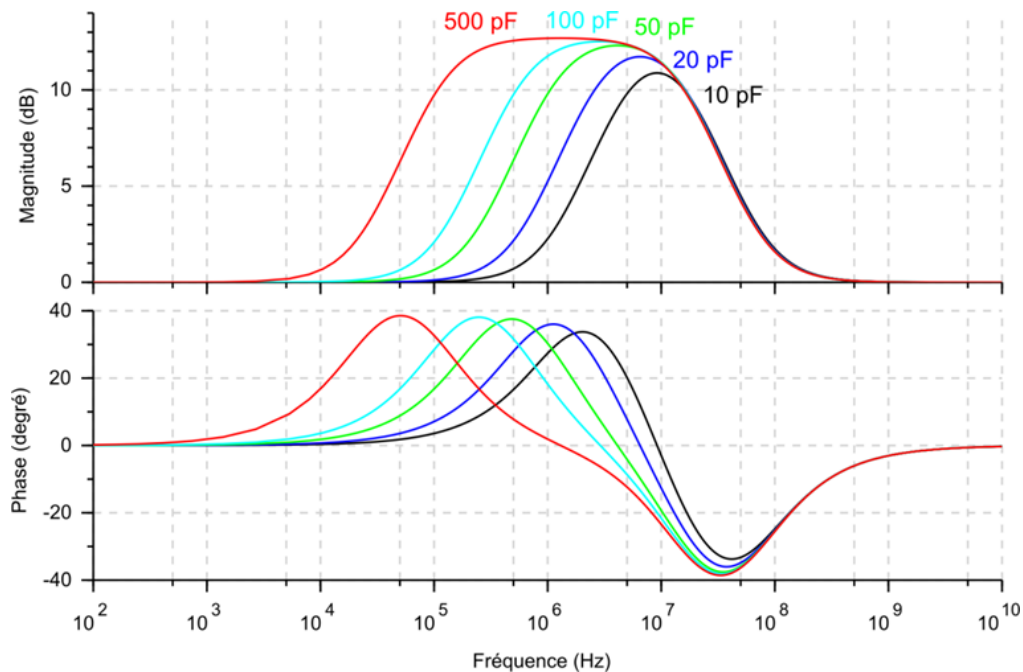


Figure 56 : Diagramme de Bode du filtre RC gain 10 pour différentes valeurs de  $C_1$ .  $R_1 = 3 \text{ k}\Omega$ ,  $R_2 = 30 \text{ k}\Omega$  et  $C_2 = 1 \text{ pF}$ .

Dans le cas de SKIROC2,  $C_1 = 20$  pF. On a donc  $C_1R_1 > C_2R_2$ . C'est un cas qui avait été décrit comme « à éviter » dans la partie théorique sur les shapers. Cependant ici ce cas peut devenir intéressant comme cela va être démontré dans la suite de cette partie.

En repartant de la fonction de transfert du montage, la transformée inverse de Laplace est calculée

$$H(s) = 1 + \frac{C_1R_2s}{(1 + C_2R_2s)(1 + C_1R_1s)} \quad (76)$$

$$H(s) = 1 + \frac{1}{C_2R_1} \frac{s}{\left(s + \frac{1}{C_1R_1}\right)\left(s + \frac{1}{C_2R_2}\right)} \quad (77)$$

$$V(t) = \mathcal{L}^{-1}[F_{step}(s) \times H(s)] \quad (78)$$

$$V(t) = \mathcal{L}^{-1} \left[ \frac{1}{s} \times \left( 1 + \frac{1}{C_2R_1} \frac{s}{\left(s + \frac{1}{C_1R_1}\right)\left(s + \frac{1}{C_2R_2}\right)} \right) \right] \quad (79)$$

$$V(t) = \mathcal{L}^{-1} \left[ \frac{1}{s} + \frac{1}{C_2R_1} \frac{1}{\left(s + \frac{1}{C_1R_1}\right)\left(s + \frac{1}{C_2R_2}\right)} \right] \quad (80)$$

En utilisant la transformée de Laplace usuelle

$$\mathcal{L}^{-1} \left[ \frac{1}{(s+a)(s+b)} \right] = \frac{1}{b-a} (e^{-at} - e^{-bt}) \cdot u(t)$$

On obtient

$$V(t) = u(t) + \frac{1}{C_2R_1} \cdot \frac{1}{\frac{1}{C_2R_2} - \frac{1}{C_1R_1}} \left( e^{-\frac{t}{C_1R_1}} - e^{-\frac{t}{C_2R_2}} \right) \cdot u(t) \quad (81)$$

Avec  $u(t)$  la fonction échelon d'Heaviside définie telle que

$$\forall t \in \mathbb{R}, u(t) = \begin{cases} 0 & \text{si } t \leq 0 \\ 1 & \text{si } t > 0 \end{cases}$$

En utilisant les valeurs des composants de la Figure 56 on obtient la réponse temporelle à un échelon de tension idéal Figure 57.

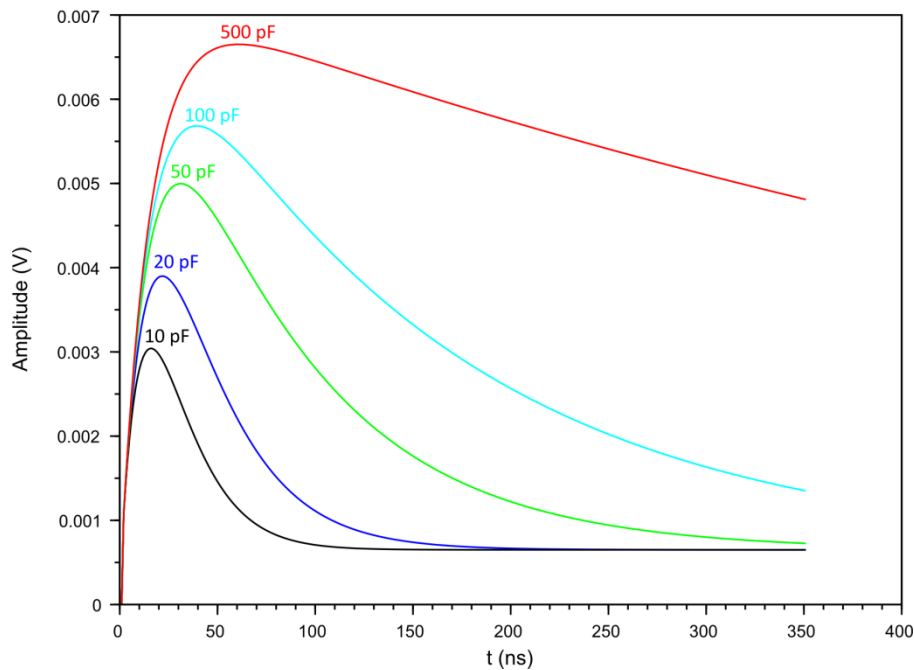


Figure 57 : Réponse du filtre RC gain 10 à un échelon de tension idéal de 650  $\mu\text{V}$  pour différentes valeurs de  $C_1$ .  $R_1 = 3 \text{ k}\Omega$ ,  $R_2 = 30 \text{ k}\Omega$  et  $C_2 = 1 \text{ pF}$ .

Il est important de constater sur la Figure 57 que plus la capacité  $C_1$  est grande, plus cet étage ressemble effectivement à un filtre RC, laissant donc passer le bruit basse fréquence. Cependant l'amplitude en sortie de filtre augmente également. La question qui vient à l'esprit suite à ces observations est de savoir si l'amplitude du signal augmente plus rapidement que le bruit en sortie de shaper. Le rapport signal sur bruit en sortie de fast shaper en utilisant le schéma complet d'un canal de SKIROC2 est tracé avec différentes valeurs de  $C_1$ .

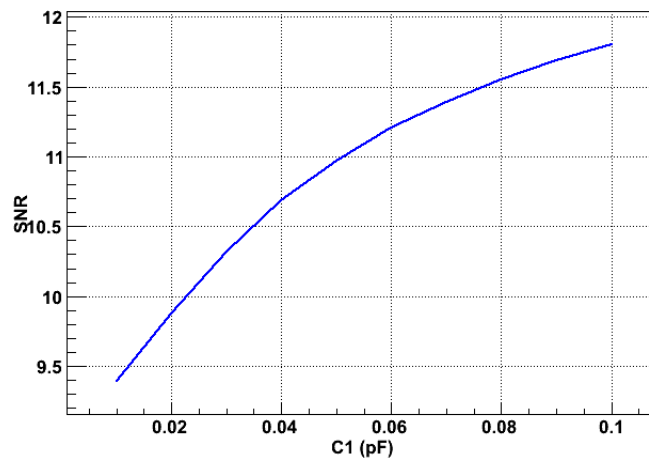
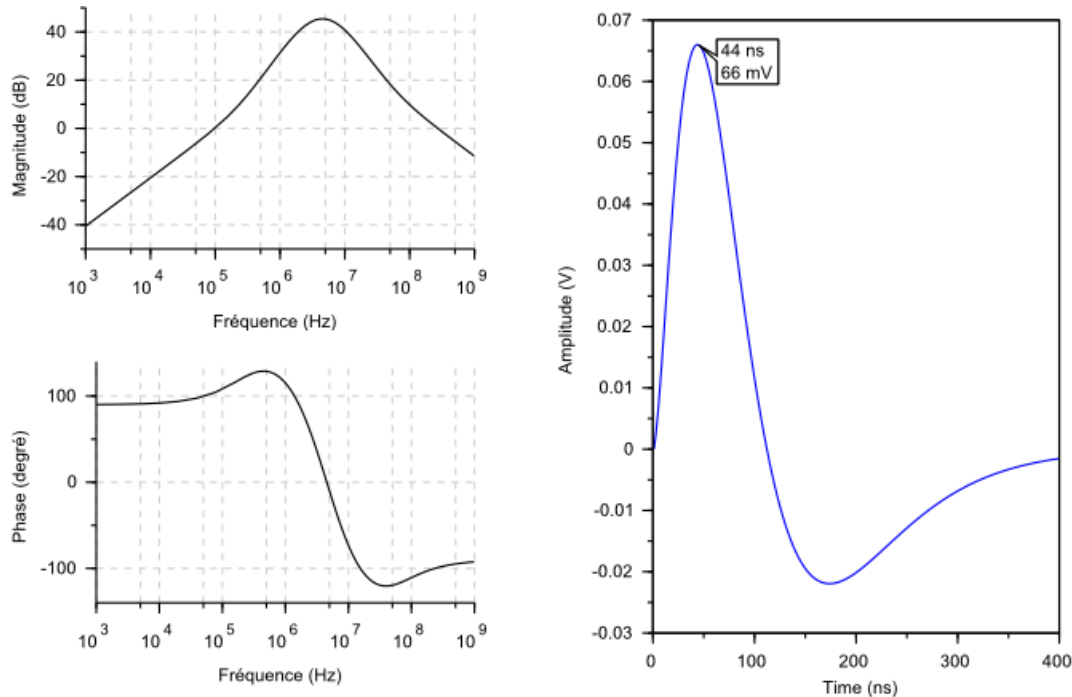


Figure 58 : SNR en sortie de fast shaper en fonction de la capacité  $C_1$  du filtre RC gain 10. Charge entrante = 3,8 fC, Capacité de contre-réaction du préamplificateur = 6 pF, courant de fuite du détecteur = 1 nA, capacité détecteur = 20 pF.

Plus la capacité  $C_1$  sera grande plus le rapport signal sur bruit en sortie de fast shaper sera grand. Le risque serait d'avoir de l'empilement sur le filtre RC gain 10 si la décharge était trop lente et le taux d'évènement entrant trop élevé.

Le deuxième étage est un filtre CRRC standard et a déjà été étudié dans les sections précédentes en supposant que le signal entrant était un échelon de tension, idéal ou non. La fonction

de transfert et la réponse à un échelon de tension idéal d'amplitude 650  $\mu\text{V}$  de la chaîne filtre RC + shaper CRRC sont tracés Figure 59. Afin de se rapprocher de la réalité il faudrait ajouter à la fonction de transfert l'effet de la bande passante des amplificateurs. De la même manière qu'il a été constaté Figure 20, l'effet de la bande passante est important sur la forme et l'amplitude du signal de sortie.



**Figure 59 : Diagramme de Bode théorique du fast shaper et réponse temporelle à un échelon de tension idéal d'amplitude -650  $\mu\text{V}$  correspondant à un MIP environ.**

La raison pour laquelle un « fast » shaper est utilisé sur la voie de déclenchement est qu'il est préférable d'avoir un temps de peaking rapide afin d'avoir le moins de time walk possible sur le déclenchement et donc sur l'échantillonnage de la mesure. Sur la Figure 60 il est observable qu'en fonction du temps de peaking utilisé, le signal de fast shaper croise un seuil de déclenchement placé à 25 mV au-dessus du piédestal entre 26,5 ns et 40 ns après le début du signal (pour un signal d'un MIP). Dans le cas de l'acquisition d'un signal proche du signal maximal ce temps est d'environ 2 ns quel que soit le temps de shaping. Il en résulte un time walk allant de 24 ns pour le temps de shaping le plus rapide à 38 ns pour le plus lent (sans compter l'effet que peut avoir le bruit).

En évaluant l'amplitude du signal en sortie du shaper CRRC présenté Figure 18 à  $t_1 = 180$  ns et  $t_2 = t_1 + 24$  ns il est observé une perte de  $2,99 \cdot 10^{-3}$  sur l'amplitude soit  $2,99 \cdot 10^{-3} / 0,368 = 0,8$  % du signal. En faisant le même calcul avec un retard de 38 ns il en résulte une perte de 1,94 %. Cette perte de signal n'est observée que sur le signal minimal et est donc relativement négligeable car il n'y a plus de problème de time walk une fois passé les quelques MIP en entrée. Dans l'absolu d'un point de vue du time walk l'intérêt est d'avoir un temps de peaking le plus rapide possible donc, mais il n'y a pas grand intérêt à faire la course à la vitesse.

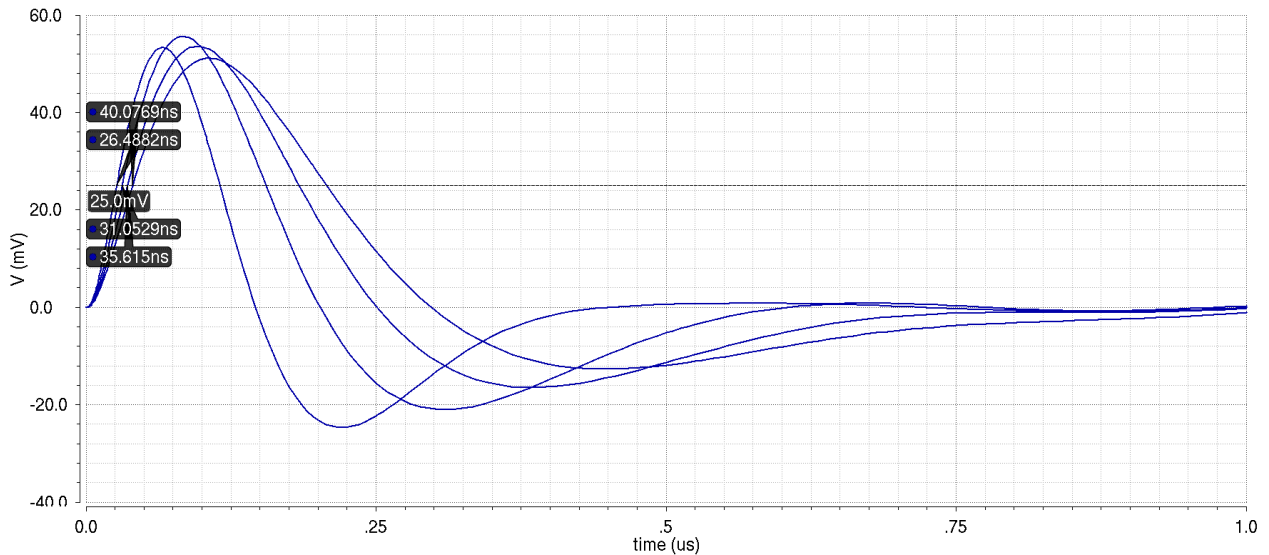


Figure 60 : réponse du fast shaper à un signal idéal d'un MIP pour différents temps de shaping.

Attention tout de même car pour les petits signaux ce time walk peut être aggravé par le bruit. La Figure 61 prend l'exemple d'un shaper CRRC avec un temps de shaping de 30 ns. Le SNR est considéré comme étant 10 et l'enveloppe du bruit de  $3\sigma$  est représentée en rouge. Le jitter va causer une incertitude sur le déclenchement de 12 ns. Pour l'enveloppe de bruit à  $5\sigma$  le jitter va de 0 à 30 ns mais c'est un cas peu probable. Un bruit supérieur à  $3\sigma$  représente 0,4 % des cas. En transposant cette étude au cas du fast shaper de SKIROC2, le jitter peut aller à jusqu'à 70 ns pour les shaping time les plus lents (plus de 200 ns à  $5\sigma$ ), ce qui compromet fortement le bon fonctionnement de la voie de déclenchement.

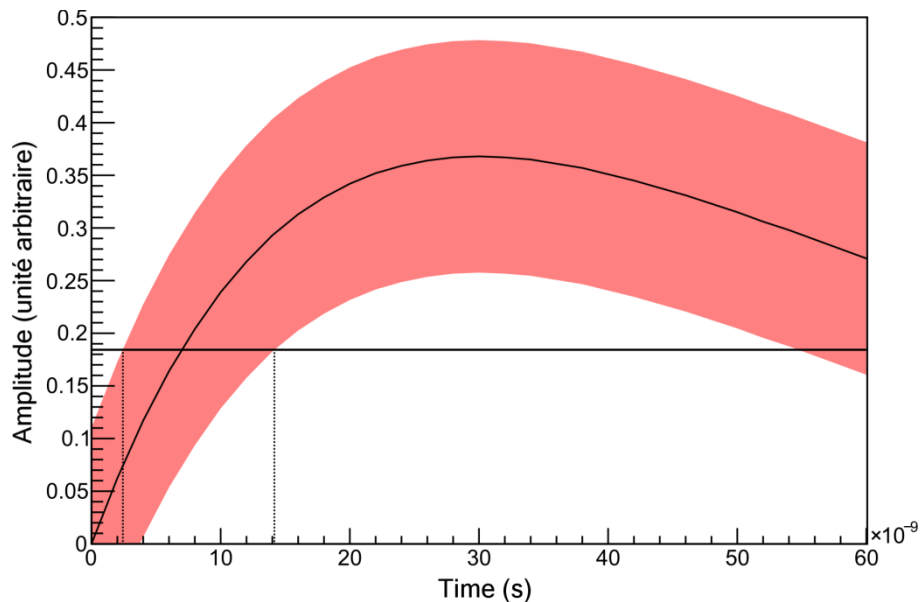
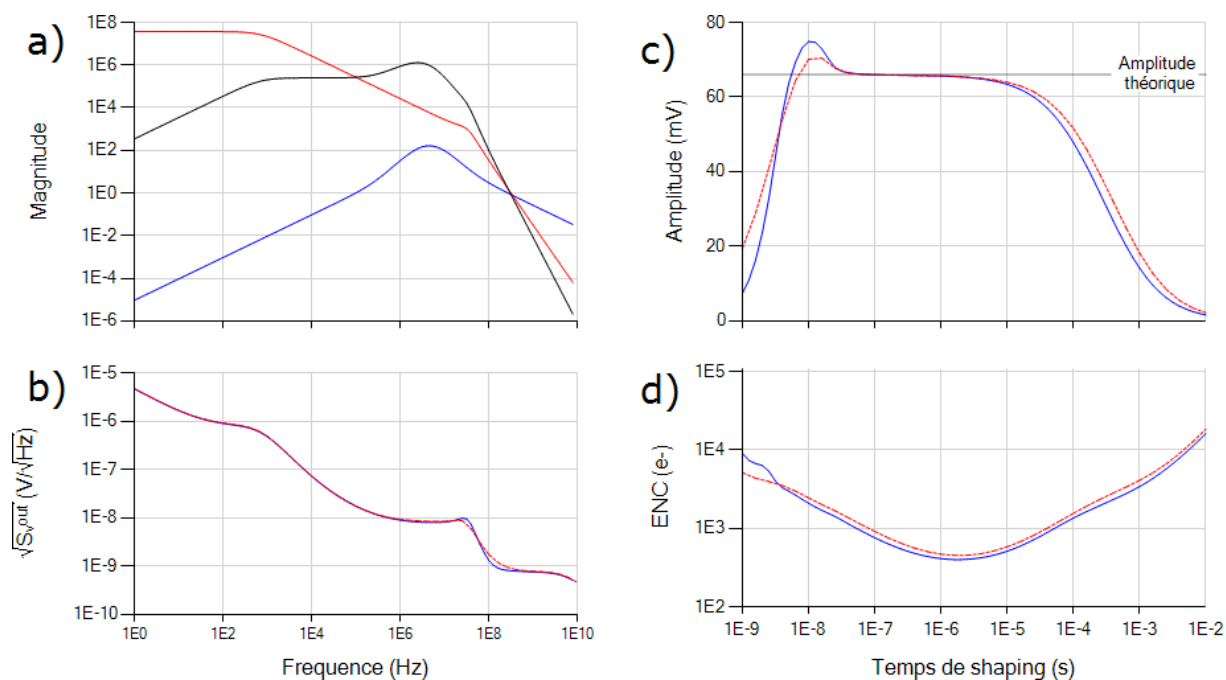


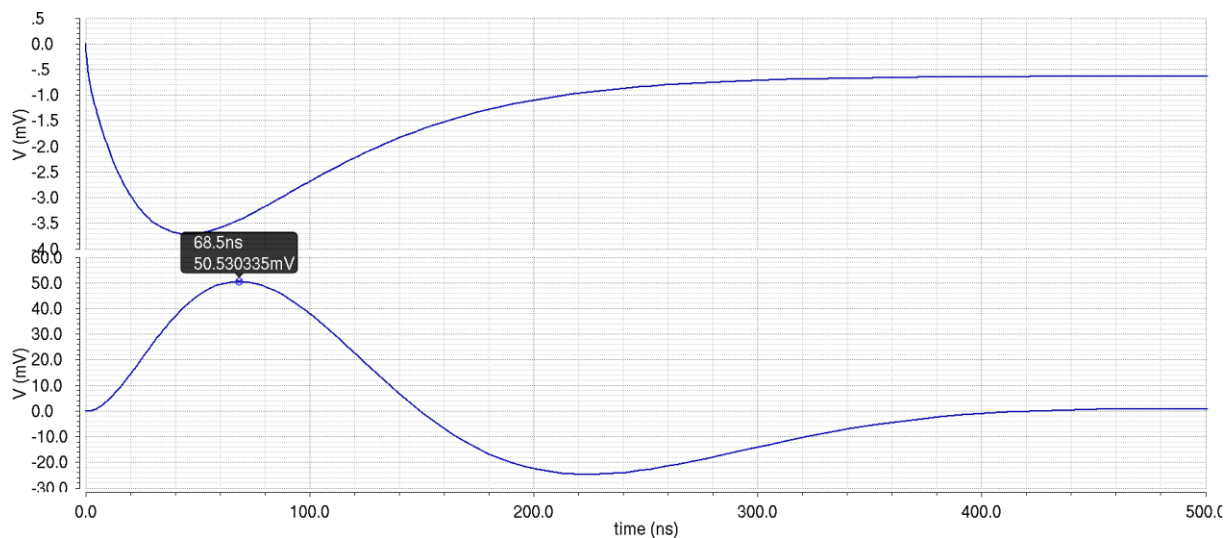
Figure 61 : signal de sortie de fast shaper avec une enveloppe de bruit de  $3\sigma$ .

Inversement, pour des raisons de bruit il peut être préférable d'avoir un temps de shaping plus lent comme le montre l'ENC tracé en sortie de fast shaper Figure 62.



**Figure 62 :** a) Module des fonctions de transfert du préamplificateur ( $v_{out}/i_{in}$ , rouge), du fast shaper de SKIROC2 ( $v_{out}/v_{in}$  avec  $\tau = 30$  ns, bleu) et de toute la chaîne (noir). b) Bruit en sortie de préamplificateur d'après simulation (pointillé rouge) et modélisation (bleu) c) Amplitude maximale du signal transitoire en fonction du temps de shaping d'après simulation (pointillé rouge) et modélisation (bleu). d) ENC d'après simulation (pointillé rouge) et ENC modélisé (bleu).

Le fast shaper utilisé a un ENC légèrement supérieur à celui d'un CRRC pour les signaux rapides. Le temps de shaping pour un rapport signal à bruit optimal dans le cas de ce type de shaper est de  $1,3 \mu\text{s}$ . Si le bruit vient à être un problème et pas le time walk, un shaping time plus lent peut être utilisé. La suite de cette étude sera concentrée sur le shaping time de 30 ns car il est le plus difficile à mettre en œuvre. Atteindre un SNR de 10 pour cette valeur de shaping time assure un SNR supérieur à 10 pour des shaping time plus lent (jusqu'à  $271 \mu\text{s}$  de temps de shaping). Pour un temps de shaping de 30 ns l'ENC est de 1264 électrons (SNR = 18,8) d'après la Figure 62 contre 1462 électrons (SNR = 16,2) dans le cas d'un CRRC.



**Figure 63 :** Réponse à un échelon idéal d'amplitude  $633 \mu\text{V}$  en sortie de filtre RC gain 10 (en haut, pointillés : signal d'entrée) et en sortie de shaper (en bas).



Sur la Figure 63 le signal de sortie du fast shaper et le signal intermédiaire en sortie de filtre RC gain 10 sont observés. Le signal de sortie a une amplitude de 50,5 mV pour un échelon d'entrée idéal d'amplitude 633  $\mu$ V. Le signal est donc 15,5 mV en dessous de son amplitude théorique. Son temps de peaking est 68,5 ns, soit 24,5 ns de plus que les 44 ns prévues. Ceci est dû aux effets de limitation de la bande passante des amplificateurs utilisés. La simulation fréquentielle en boucle fermée donne le diagramme de Bode Figure 64 montrant que la fréquence centrale du passe bande est de 3,4 MHz, ce qui correspond à 45 ns. Le gain théorique est de  $(10 \times 0,5 + 1) \times (50 \times 0,5) = 6 \times 25 = 150 = 43,5$  dB et correspond donc bien à la valeur du Bode simulé lui aussi.

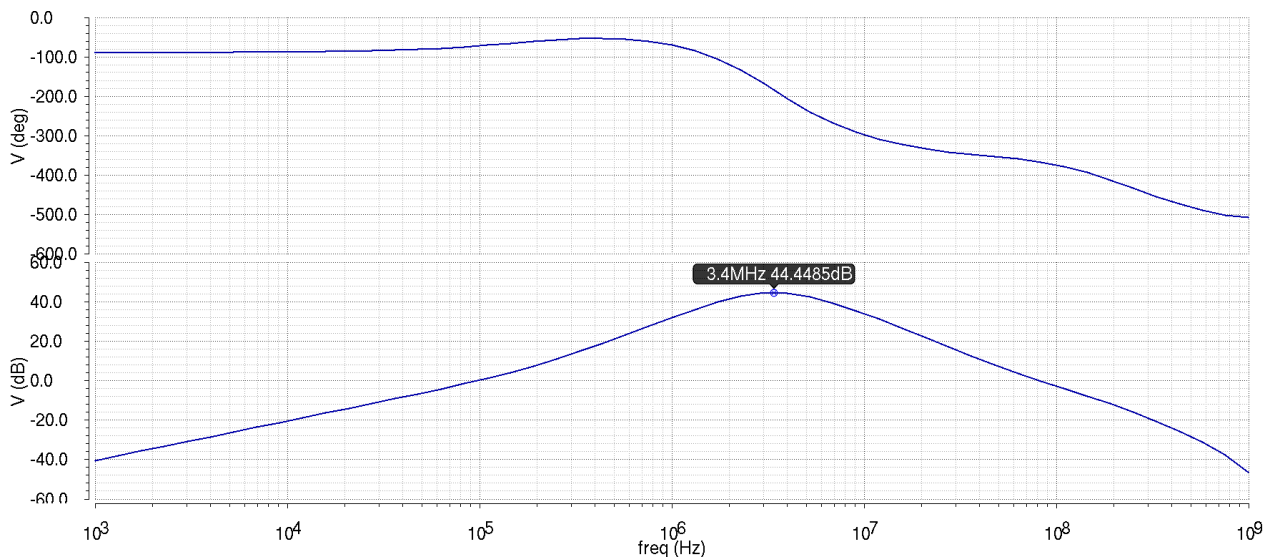


Figure 64 : Diagramme de bode du fast shaper en boucle fermée.

Le fast shaper a un gain très élevé pour deux raisons. La première raison est que plus son gain boucle fermée est élevé, plus la fraction de bruit intrinsèque ramenée par le shaper sera négligeable devant le bruit du préamplificateur. La seconde raison est due au nombre de canaux. Le seuil de base est donné par un DAC 10 bits qui est commun aux 64 canaux de SKIROC2, la dispersion des offsets sur ces canaux oblige à avoir un signal de sortie de shaper assez grand pour rendre ces offsets négligeables. Un DAC 4 bits a été ajouté localement sur chacun des canaux afin de pouvoir ajuster les seuils individuellement si besoin mais cela demande un travail de calibration supplémentaire et l'idéal serait de pouvoir s'en passer.

Le bruit RMS en sortie de fast shaper seul à  $\tau = 30$  ns est de 3,16 mV. En mesurant le bruit de la chaîne préamplificateur + fast shaper il est obtenu un bruit RMS de 4,7 mV en sortie de fast shaper pour un signal d'amplitude 52 mV. Tout cela résulte en un SNR de 11,1 pour  $\tau = 30$  ns. Le tableau suivant résume les résultats obtenus pour les différents temps de shaping à  $C_d = 20$  pF,  $C_f = 6$  pF et  $C_{comp} = 6$  pF.

Amplitude (mV)	Temps de shaping (ns)	Temps de peaking (ns)	Bruit RMS (mV)	SNR
52	30	72	4,7	11,1
53,94	60	90	4,14	13
51,8	90	102	3,6	14,4
49,4	120	112	3,2	15,4

Tableau 3 : SNR en sortie de fast shaper en fonction du temps de shaping.

Sur le Tableau 3 il est possible de constater de l'amélioration du SNR pour les temps de shaping plus longs.

### 2.1.2.2 Slow shaper bas gain

Le slow shaper bas gain est un shaper CRRC ayant un temps de shaping de 180 ns et ayant un gain  $R_2/R_1 = 2,72$ . Cette valeur de gain permet d'avoir une amplitude de signal en sortie de shaper égale à l'amplitude en entrée, l'amplitude en sortie pour un signal d'amplitude 1 étant  $R_2/R_1 \times e^{-1} \approx 1$ . L'amplificateur utilisé pour le shaper est une paire différentielle classique. L'étage de sortie est un suiveur de tension.

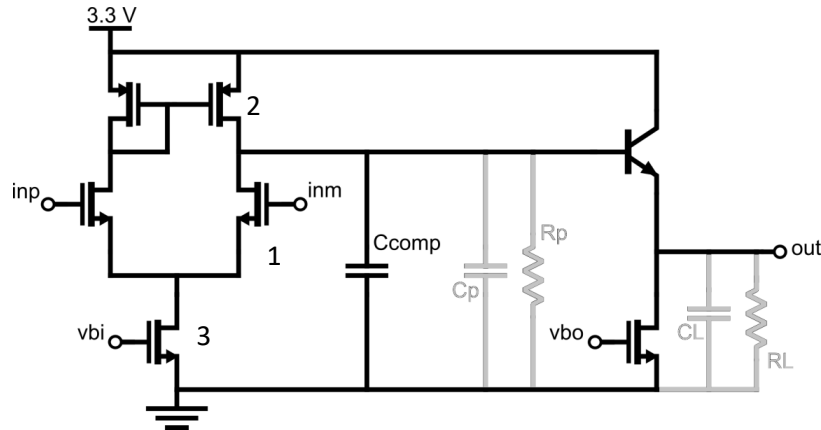


Figure 65 : Slow shaper amplifler schematic.

Le gain en boucle ouverte de ce montage est

$$A_0 = \frac{g_{m1}}{g_{ds1} || g_{ds3} + g_{ds2}} = \frac{114,9\mu}{160,36n || 809,2n + 64,76n} = 55,28 \text{ dB} \quad (82)$$

D'après les données de simulation. Son pôle dominant est donné par

$$\omega_{p1} = \frac{1}{R_P(C_{comp} + C_P)} \quad (83)$$

Avec

$$R_p = g_{ds1} || g_{ds3} + g_{ds2} = 5,06 \text{ M}\Omega$$

$C_p$  est évaluée à environ 90 fF et  $C_{comp}$  valant 142 fF, le pôle principal est calculé comme étant 135,7 kHz. Le deuxième pôle est donné par

$$\omega_{p2} = \frac{1}{R_L C_L} \quad (84)$$

La capacité  $C_{comp}$  a été ajoutée pour stabiliser le circuit. Les résultats de simulation en fréquence sont montrés Figure 66.

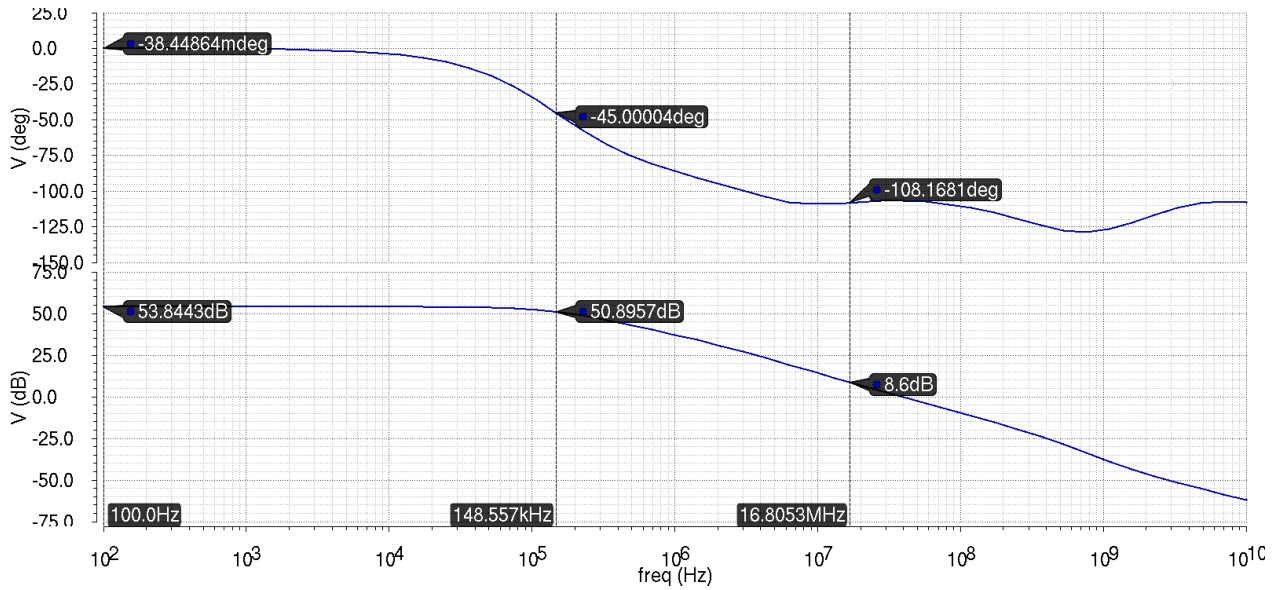


Figure 66 : Bode diagram of the slow shaper amplifier.

Son gain en boucle ouverte est de 53,84 dB après le suiveur en tension d'après la simulation. Le slow shaper bas gain a un gain 1 dans le sens où un échelon de tension entrant d'amplitude -1 donnera en sortie une courbe d'amplitude maximale 1. Le gain en boucle fermée est de 2,7 (8,6 dB), ce qui relaxe la contrainte sur la marge de phase et donne 72 degrés. Le gain à la fréquence centrale du montage en boucle fermée, se trouvant à 884 kHz et correspondant à un temps de shaper de  $1/(884\text{kHz} \times 2\pi) = 180 \text{ ns}$ , est de 38,4 dB. Le gain de boucle fermée théorique du shaper à  $\omega = 1/\tau$  est de

$$H\left(\omega = \frac{1}{\tau}\right) = \frac{R_2}{R_1} \frac{\frac{\tau j}{\tau}}{\left(1 + \frac{\tau j}{\tau}\right)\left(1 + \frac{\tau j}{\tau}\right)} \quad (85)$$

$$H(\omega = 1/\tau) = \frac{R_2}{R_1} \frac{j}{1 + 2j - 1}$$

$$H\left(\omega = \frac{1}{\tau}\right) = \frac{R_2}{2 \times R_1} = 1,36 \approx 1,17 \text{ dB} \quad (86)$$

Avec  $R_2/R_1 = 2,72$  ce qui laisse une marge de gain supérieure à 37 dB dans la bande passante. En boucle fermée est obtenu le signal transitoire Figure 67. Le signal a un temps de peaking de 188 ns pour une amplitude maximale de 640  $\mu\text{V}$  pour un échelon idéal entrant de 650  $\mu\text{V}$ . Il peut alors être conclu que les performances de l'amplificateur en boucle ouverte sont assez bonnes pour ne pas déformer le signal en sortie de shaper.

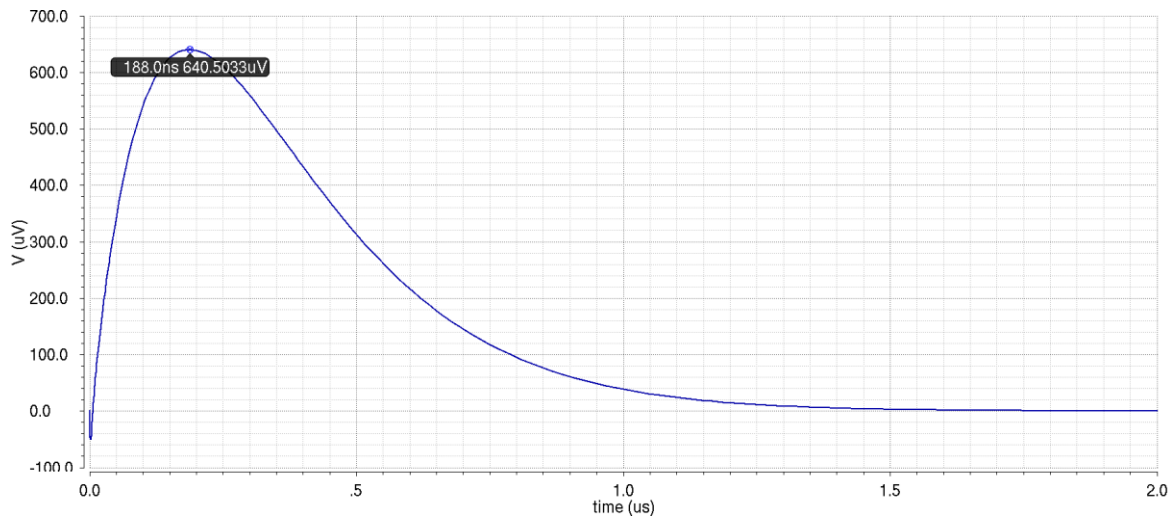


Figure 67 : Signal en sortie de slow shaper gain 1 pour un échelon d'entrée idéal de -650  $\mu\text{V}$ .

En prenant en compte les effets de non-idéalité du préamplificateur il est obtenu le signal avec un temps de peaking de 194 ns pour une amplitude maximale de 624  $\mu\text{V}$ . Il est également observé une déformation du signal sur la montée dû à l'undershoot de l'échelon du préamplificateur.

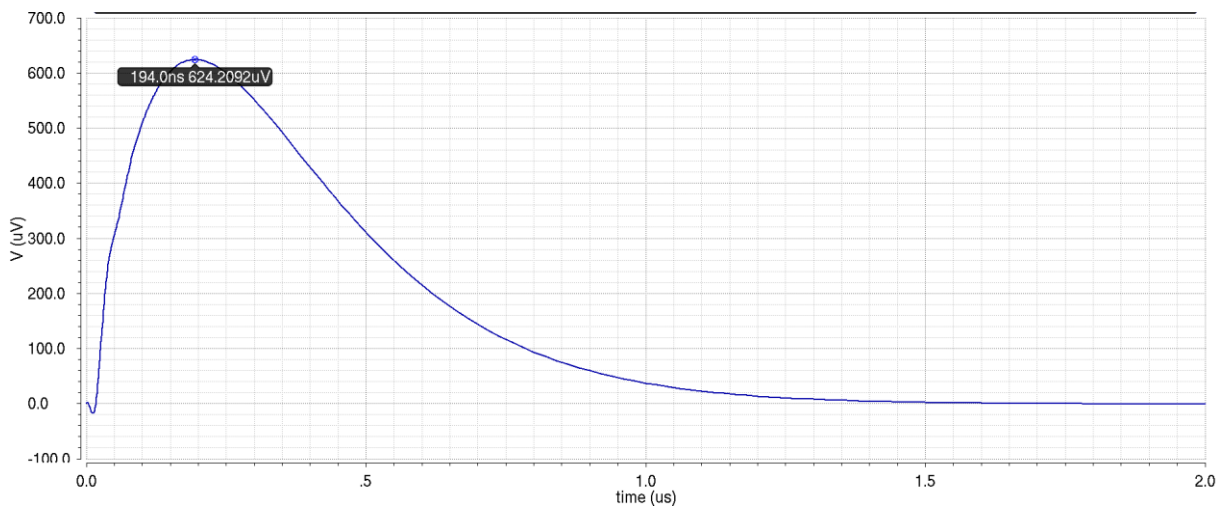


Figure 68 : Signal en sortie de slow shaper gain 1 pour un signal d'1 MIP (3,8 fC)

Idéalement le signal devrait avoir un temps de peaking de 180 ns et une amplitude de  $Q_0/C_f = 3,8 \cdot 10^{-15} / 6 \cdot 10^{-12} = 633 \mu\text{V}$  en sortie de shaper. Il y a ici un retard de 14 ns (7,7 %) sur le temps de peaking et un déficit de 9  $\mu\text{V}$  (1,44 %). Ces performances sont largement suffisantes, ces irrégularités étant linéaires sur toute la gamme dynamique elles n'auront pas de conséquence sur la mesure de la charge. Le bruit RMS en sortie de shaper est de 246,5  $\mu\text{V}$  (contre 90  $\mu\text{V}$  en sortie de préamplificateur) pour un SNR de  $624,2 / 246,5 = 2,53$  pour un MIP. Cette valeur est largement inférieure à 10 et surtout moins bonne que la valeur du SNR directement en sortie de préamplificateur. Dans l'absolu l'intérêt de ce shaper ne semble pas énorme, il serait possible d'échantillonner directement en sortie de préamplificateur. Cependant le shaper agit comme un séparateur entre le préamplificateur et l'échantillonneur et protège le préamplificateur contre l'injection de charge. De plus sa structure permet le filtrage des très basses fréquences et insensibilise la sortie aux fluctuations de piédestal. En définitive tant que le bruit est inférieur au LSB de l'ADC, il n'est pas très gênant.

La linéarité est tout d'abord tracée pour un échelon de tension idéal d'amplitude  $Q_0/C_f$  avec  $Q_0$  la charge entrante valant 3,8 fC multiplié par le nombre de MIP et  $C_f = 6$  pF. En échantillonnant à 188 ns, ce qui correspond au maximum du signal minimal simulé pour cet échelon, la linéarité Figure 69 est obtenue.

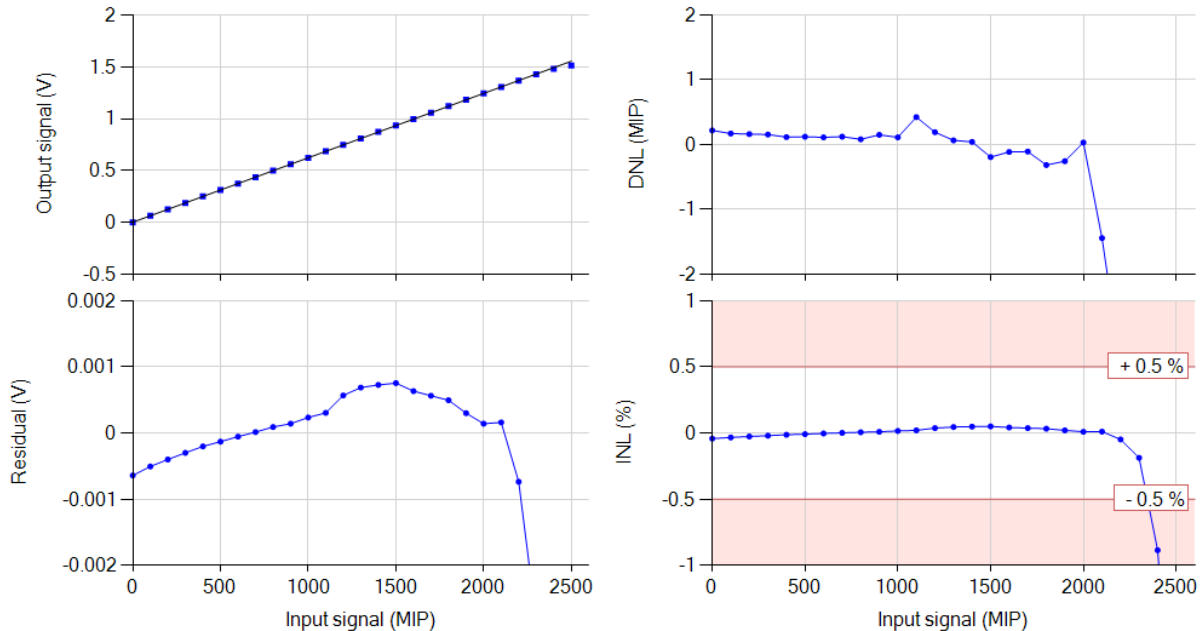


Figure 69 : Linéarité en sortie de slow shaper bas gain avec une échelon d'entrée idéal.

La simulation fournit une excellente linéarité jusqu'à 2300 MIP. En traçant la réponse du shaper normalisée pour un signal entrant allant de 0 à 2400 MIP il est observé un très bon recouvrement des signaux de sortie. Cela signifie que la forme du signal de sortie ne dépend pas de l'amplitude.

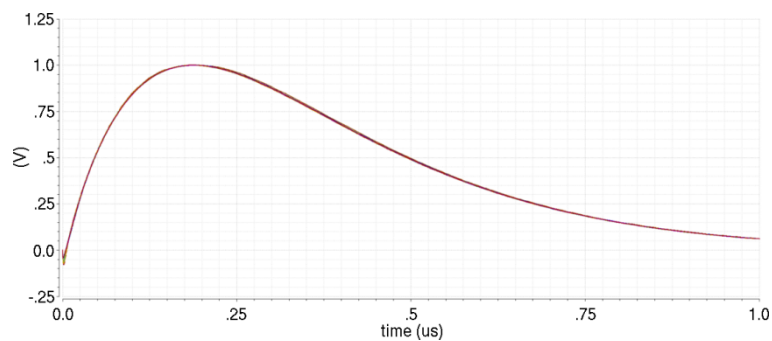
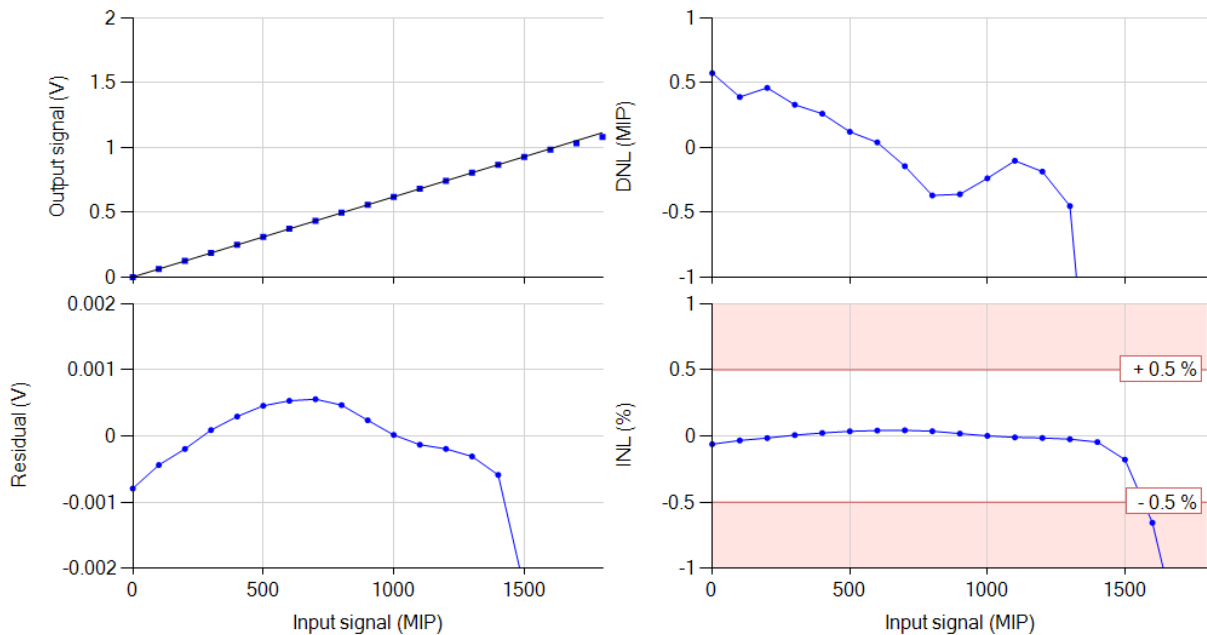


Figure 70 : Signaux de sortie de shaper normalisés à 1 pour un signal entrant idéal allant de 0 à 2400 MIP par pas de 100 MIP.

Si l'échelon venant du préamplificateur est considéré comme non-idéal, il est notable Figure 43 que le temps d'établissement est dépendant de l'amplitude pour  $C_f = 6$  pF et  $C_{comp} = 6$  pF et l'étude théorique des shapers a montré que la forme du signal de sortie du shaper était dépendante de la forme de l'échelon entrant. Pour les grands signaux, le temps d'établissement de l'échelon étant plus grand, le temps de peaking du shaper sera plus grand aussi et l'amplitude sera diminuée. L'échantillonnage se fera sur le maximum du signal pour les petits signaux et sur la montée du signal pour les grands signaux. Il y aura donc en théorie un effet de compression visible sur la linéarité dû à

cet effet d'échantillonnage. Cependant cet effet est minime, le décalage du temps de peaking étant de l'ordre de la dizaine de nanosecondes pour les signaux les plus grands la perte sur l'amplitude due à l'échantillonnage a été évaluée par le calcul à 0,16 %, ce qui est inférieur d'un ordre 10 à la perte d'amplitude du signal de sortie observée Figure 68. La linéarité du préamplificateur est bien moins bonne que celle du shaper et la linéarité de la chaîne complète est tracée Figure 71. La linéarité est simulée dans les mêmes conditions que précédemment mais en échantillonnant à 194 ns, ce qui est le maximum du signal minimal visible Figure 68.



**Figure 71 : Linéarité de la chaîne préamplificateur + slow shaper bas gain.**

La linéarité obtenue est comparable à celle en sortie de préamplificateur Figure 44. L'utilisation du shaper n'a donc pas d'influence néfaste sur les performances de la linéarité en sortie de chaîne.

### 2.1.2.3 *Slow shaper haut gain*

Le slow shaper haut gain partage le même amplificateur que le slow shaper bas gain. L'étude en boucle ouverte a donc déjà été faite.

Le signal transitoire en sortie de shaper pour un échelon idéal est tracé Figure 72. Il est important de noter qu'en sortie de slow shaper gain 10 les performances en boucle ouverte se font plus ressentir sur la sortie que pour le gain 1. En effet le gain en boucle fermée dans la bande passante est ici de 22,4 dB au lieu de 2,4 dB et surtout le gain ayant augmenté, la bande passante est réduite. Il est donc observé un retard de 40 ns sur le temps de peaking et un déficit de 0,42 mV soit presque 7 % du signal.

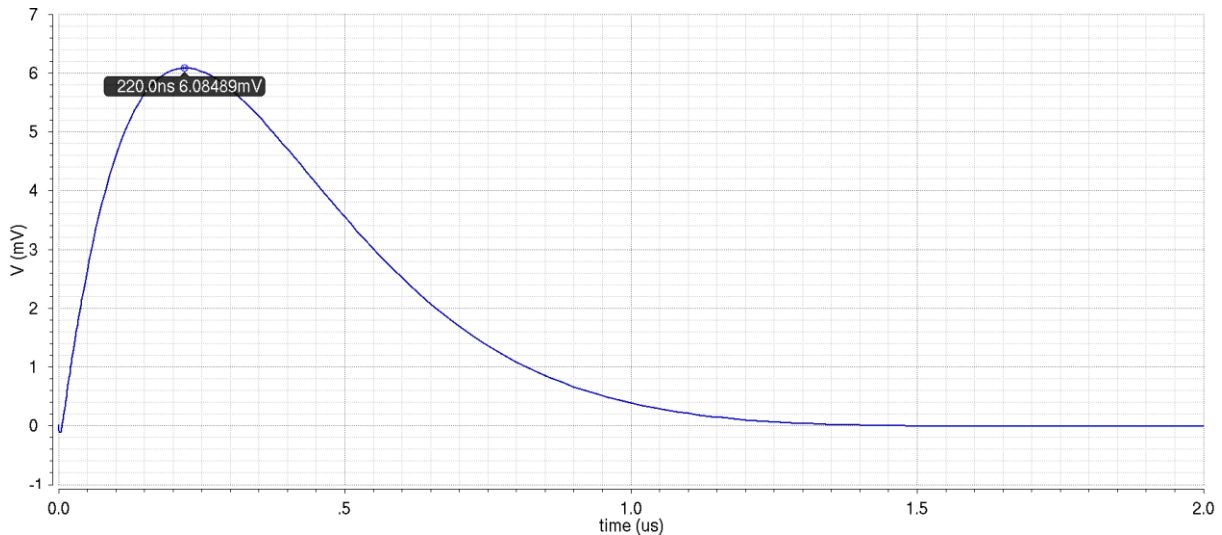


Figure 72 : Signal en sortie de slow shaper gain 10 pour un échelon d'entrée idéal de  $-650 \mu\text{V}$ .

En prenant en compte les effets de non-idéalité du préamplificateur ces performances ne se dégradent finalement pas beaucoup plus car il est obtenu un temps de peaking de 228 ns pour une amplitude de 5,94 mV. Idéalement le signal devrait avoir un temps de peaking de 180 ns pour 6,33 mV d'amplitude. Le déficit sur l'amplitude est donc de 0,41 mV (6,5 %) et le retard est de 48 ns (27 %). Un retard de 48 ns est gênant sur la précision de la mesure du fait que soit utilisé un *track & hold* pour la mémorisation du niveau analogique du signal et pas un peak detector. Il y a une différence de temps de peaking de 34 ns entre le slow shaper gain 1 et le slow shaper gain 10. Il faut donc choisir un délai de « hold » situé entre les 2 valeurs de peaking time qui fasse perdre le moins possible de signal. Le haut de courbe du shaper étant relativement plat du fait que des shaper de premier ordre soient utilisés, la précision du délai n'est pas de première importance cependant. En effet, pour une imprécision de  $\pm 10\%$  sur le délai d'échantillonnage, on retrouve une erreur sur l'amplitude de sortie inférieure à 0,54%. L'erreur étant plus grande en échantillonnant 10 % trop tôt (0,54 %) plutôt que 10 % trop tard (0,27 %). Ainsi en se plaçant à mi-chemin entre le temps de peaking du slow shaper bas gain (194 ns) et haut gain (228 ns) l'erreur sur l'amplitude sera inférieure au pourcent pour les deux shapers.

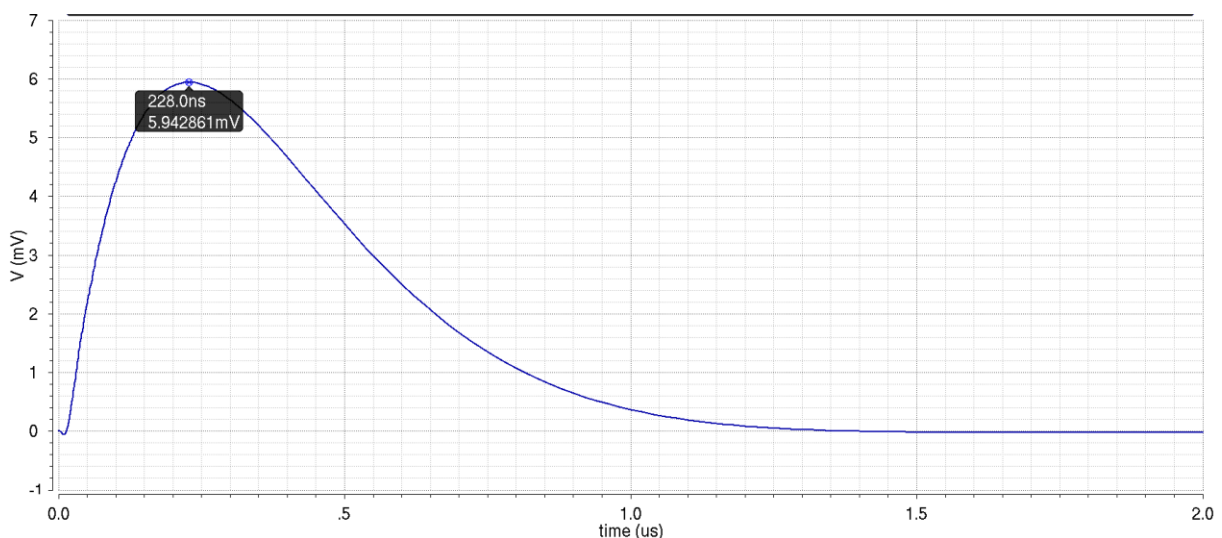


Figure 73 : Signal en sortie de slow shaper gain 10 pour un signal d'1 MIP (3,8 fC)

Le bruit RMS en sortie de slow shaper gain 10 est de  $532 \mu\text{V}$  pour un SNR de  $5,94/0,532 = 11,17$ . Le gain du shaper permet ici de se protéger du bruit intrinsèque de l'amplificateur du shaper face au bruit du préamplificateur. En effet le bruit et le signal du préamplificateur sont assez amplifiés pour que le bruit du shaper semble négligeable en comparaison et que le comportement s'approche du cas idéal d'un shaper sans bruit. De bons résultats de mesure sont donc attendus pour la mesure du MIP unique à la sortie de ce shaper.

La linéarité est tracée en sortie de shaper haut gain en échantillonnant à 228 ns, ce qui est le maximum du signal en sortie de shaper en utilisant le préamplificateur. Le shaper est linéaire à 1 % INL jusqu'à 150 MIP. D'après simulation SKIROC2 permettrait donc de mesurer avec un rapport signal sur bruit supérieur à 10 des signaux allant jusqu'à 150 MIP.

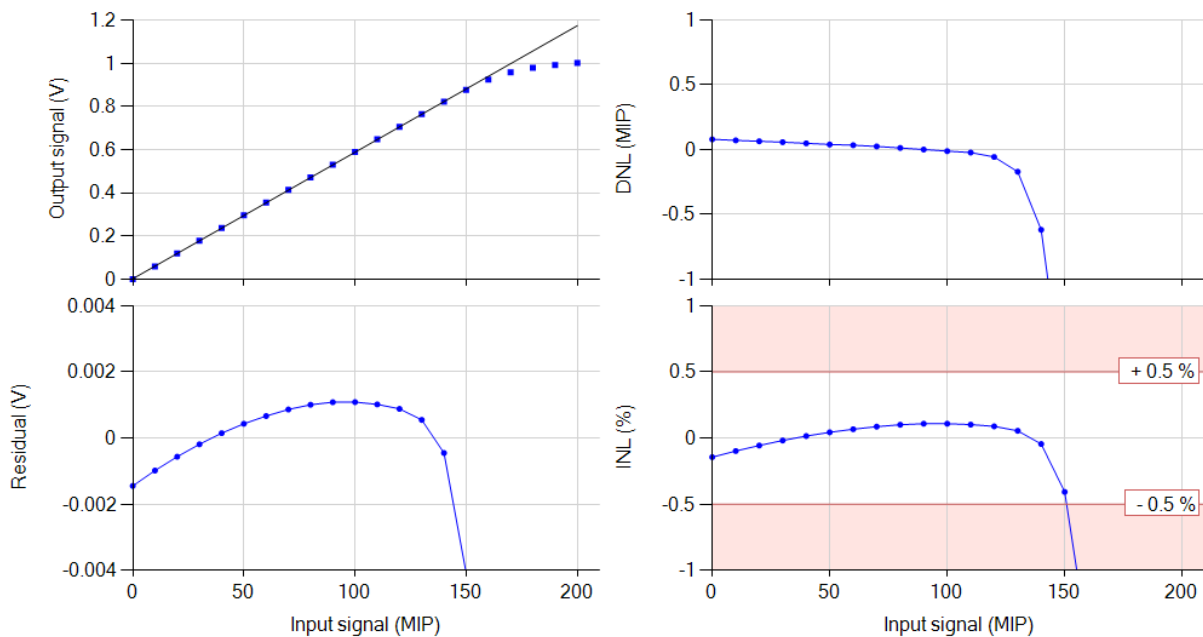


Figure 74 : Linéarité de la chaîne préamplificateur + slow shaper haut gain.

### 2.1.3 Bandgap

Le circuit de bandgap sert à créer les références internes de tension utiles aux blocs analogiques ayant besoin d'une référence. C'est un circuit qui délivre une tension continue quasi-invariante en fonction de la température et de la tension d'alimentation. Le but est d'utiliser deux composants variant en température chacun dans un sens et de les faire se compenser dans les bonnes proportions afin d'avoir un résultat invariant.

Le  $V_T = kT/q$  d'un transistor augmente théoriquement de  $0,085 \text{ mV/K}$  (PTAT, Proportional To Absolute Temperature) alors que la tension aux bornes d'une jonction PN diminue de  $2 \text{ mV/K}$  à  $300 \text{ K}$  (CTAT, Complementary To Absolute Temperature).



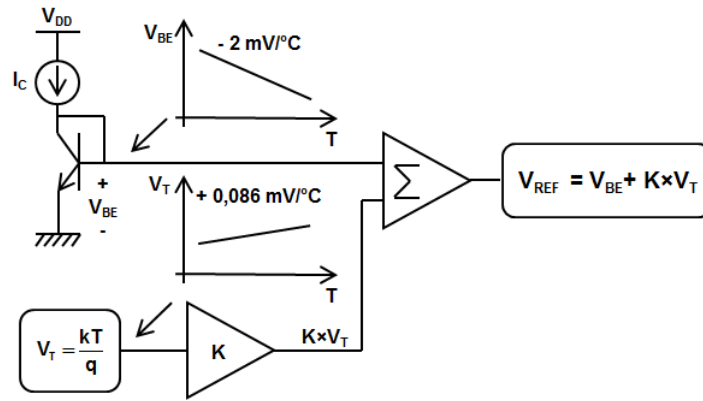


Figure 75 : Principe de fonctionnement d'un bandgap.

L'objectif est de trouver le facteur  $K$  pour lequel

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + K \frac{\partial V_T}{\partial T} = 0 \quad (87)$$

Ce qui donne  $K \approx 23$  à 300 K et  $V_{REF} = 1,25$  V avec  $V_{BE} = 650$  mV et  $V_T = 26$  mV.

La variation de  $-2\text{mV/K}$  pour la tension aux bornes de la diode n'est valable qu'à 300 K car cette variation a un comportement légèrement parabolique. C'est d'ailleurs cette parabole qui est retrouvée en sortie de bandgap.

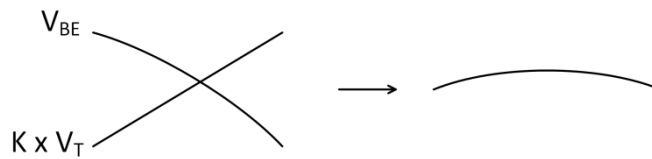


Figure 76 : Parabole résultant de la compensation de  $V_{BE}$  par  $K \times V_T$ .

Le potentiel CTAT est facile à générer car on le retrouve directement aux bornes d'une jonction PN. Pour générer la tension  $V_T$  on utilise le  $\Delta V_{BE}$  résultant de la différence de potentiels aux bornes de deux diodes traversées par des courants  $I_{C1}$  et  $I_{C2}$ .

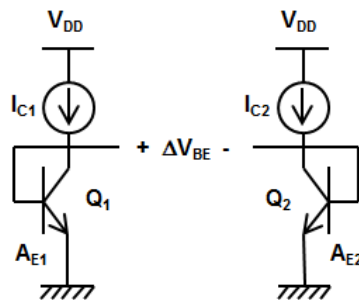


Figure 77 : Création de  $K \times V_T$ .

$$\Delta V_{BE} = V_{BE,Q1} - V_{BE,Q2} = V_T \ln \left( \frac{I_{C1}}{I_{C2}} \times \frac{A_{E1}}{A_{E2}} \right) \quad (88)$$

En posant  $I_{C1} = I_{C2}$ ,  $\Delta V_{BE}$  dépend uniquement du rapport  $A_{E1}/A_{E2}$ . Le logarithme népérien de  $A_{E1}/A_{E2}$  est donc utilisé pour définir le facteur  $K$ .

Le schéma de bandgap utilisé dans SKIROC2 est représenté Figure 78

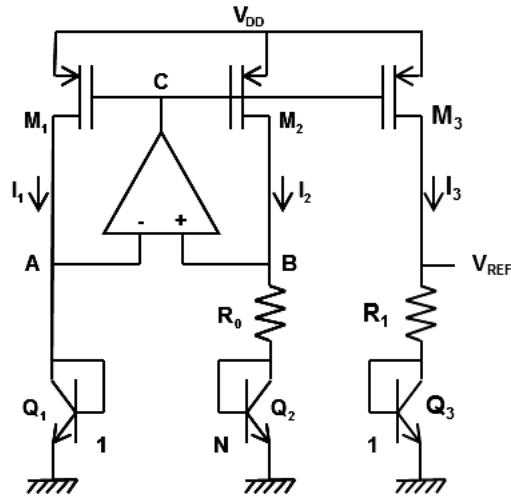


Figure 78 : Schéma du bandgap de SKIROC2.

Le potentiel CTAT est généré par  $Q_3$ . Le potentiel PTAT est généré par  $Q_1$  et  $Q_2$ . Il est finalement obtenu en sortie

$$V_{REF} = V_{BE,Q3} + R_1 I_3 \quad (89)$$

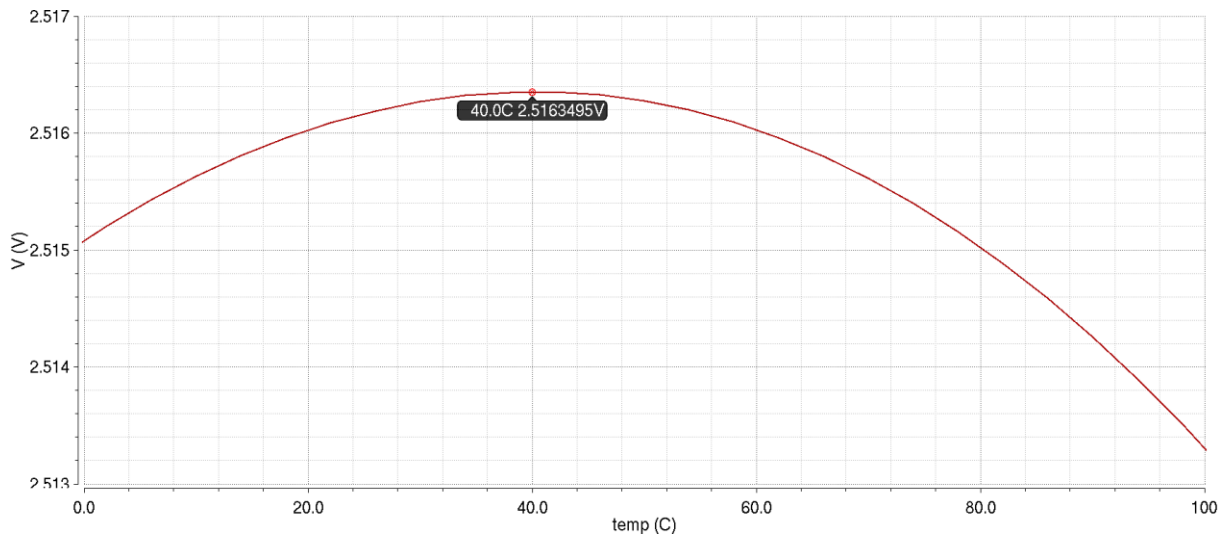
Avec

$$\begin{aligned} I_1 = I_2 = I_3 &= \Delta V_{BE}/R_0 = V_T \ln(N)/R_0 \\ \Rightarrow V_{REF} &= V_{BE,Q3} + R_1/R_0 \ln(N) V_T \\ \Rightarrow K &= \left(\frac{R_1}{R_0}\right) \ln(N) \end{aligned} \quad (90)$$

La sortie  $V_{ref}$  est envoyée sur un OTA ayant un gain de boucle fermée de 2. Cela permet 2 choses :

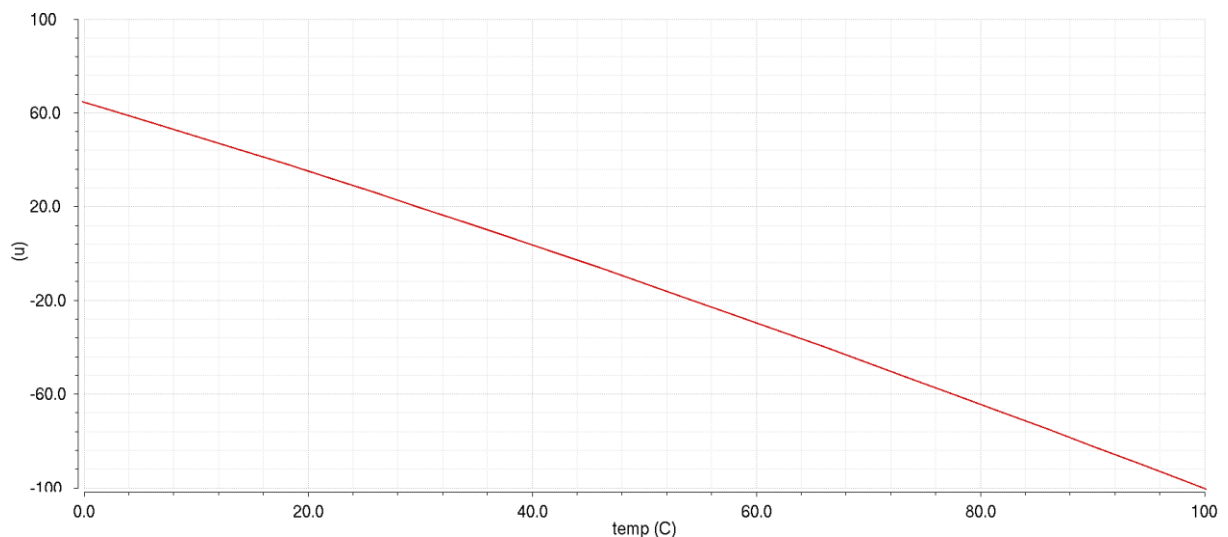
- L'OTA est dessiné pour supporter plus de charge en sortie et peut fournir et avaler le courant dans son étage de sortie.
- Le point servant à faire les références de tension grâce à des ponts de résistance se trouve plus haut du fait du gain 2. Des références peuvent ainsi être fixées au-delà des 1,25 V, jusqu'à 2,5 V.

Les résultats de simulation en température dans le fonctionnement nominal en sortie de l'OTA se trouvent Figure 79.



**Figure 79 : Simulation du bandgap de SKIROC2 en température.**

Le maximum de la parabole se trouve en  $T = 40^{\circ}\text{C}$  et vaut 2,516 V. La dérivée de cette parabole est tracée afin de rendre compte de la déviation de la tension en fonction de la température.



**Figure 80 : Dérivée de la parabole du bandgap.**

Cette déviation est inférieure à  $\pm 100 \mu\text{V}/^{\circ}\text{C}$  entre 0 et  $100^{\circ}\text{C}$ . La simulation Monte-Carlo en *process & mismatch* (Figure 81) montre une variation inférieure à 150 mV de la valeur fournie par le bandgap en sortie d'OTA gain 2. Cela ramène en sortie de bandgap sans l'OTA à une variation inférieure à 75 mV, voir même 50 mV si on se place à  $40^{\circ}\text{C}$ . Le bandgap ne servant qu'à fixer les tensions de références, cette déviation, si elle est trop importante, peut dépolariser les amplificateurs ou réduire la gamme dynamique. Cependant ces 50 mV de déviation sont largement insuffisant pour remettre en cause le bon fonctionnement des amplificateurs. Les tensions de références ont été choisies quelques centaines de millivolts au-dessus de la tension de seuil des transistors (la valeur exacte dépend de l'amplificateur mais la déviation simulée est largement insuffisante pour dépolariser les transistors), et une perte de quelques dizaines de millivolts sur la gamme dynamique n'est pas dramatique. Dans SKIROC2 cette perte serait d'environ 25 mV d'après

simulation dans le pire cas. Cela correspond à moins de 50 MIP en sortie de shaper gain 1 et moins de 5 MIP en sortie de shaper gain 10.

Le vrai problème est la variation de cette valeur au cours du temps. En effet si la valeur du piédestal change au cours du temps, cela signifie que le code ADC correspondant à chaque valeur de charge évoluerait au cours de la mesure et c'est un cas à éviter absolument. Plus grave encore, la variation en fonction de la température du piédestal du fast shaper, avec un seuil de déclenchement lui aussi dépendant de la température. La déviation en température est simulée (Figure 82) comme étant dans le pire cas inférieure à  $300 \mu\text{V}/^\circ\text{C}$  entre 0 et  $100^\circ\text{C}$ . Si l'ASIC s'élève de  $20^\circ\text{C}$  en température cela peut mener à une déviation en sortie de bandgap de  $\pm 6 \text{ mV}$ . Ramené au piédestal via le pont de résistance cela donne environ  $2,4 \text{ mV}$  soit moins d'un demi-MIP en sortie de shaper gain 10. En ce qui concerne le fast shaper, le piédestal et le seuil varient dans le même sens en fonction de la température, ce qui est arrangeant. En considérant un cas où le seuil aurait une valeur absolue fixe, une variation de  $20^\circ\text{C}$  dans le pire cas élèvera ou abaissera le piédestal de  $3 \text{ mV}$ . Cela représente  $5,7\%$  du signal, ou  $56\%$  du bruit RMS. En pratique cela obligerait à repositionner les seuils de déclenchement si la température variait trop au cours d'une expérience. Il ne faut cependant pas oublier que cette étude est très pessimiste et que le système de refroidissement développé pour le calorimètre est justement là pour éviter de grosses variations de température.

Un système de réajustement de la valeur centrale de la parabole du bandgap permettrait d'éviter le problème de dispersion des paraboles, ce qui minimiserait les variations en fonction de la température, mais une calibration serait nécessaire au préalable. Sachant que la plus grande source de dispersion dans le Monte Carlo vient des variations de *process*, il suffirait de calibrer un seul ASIC et la calibration serait la même pour tous les ASIC d'une même production.

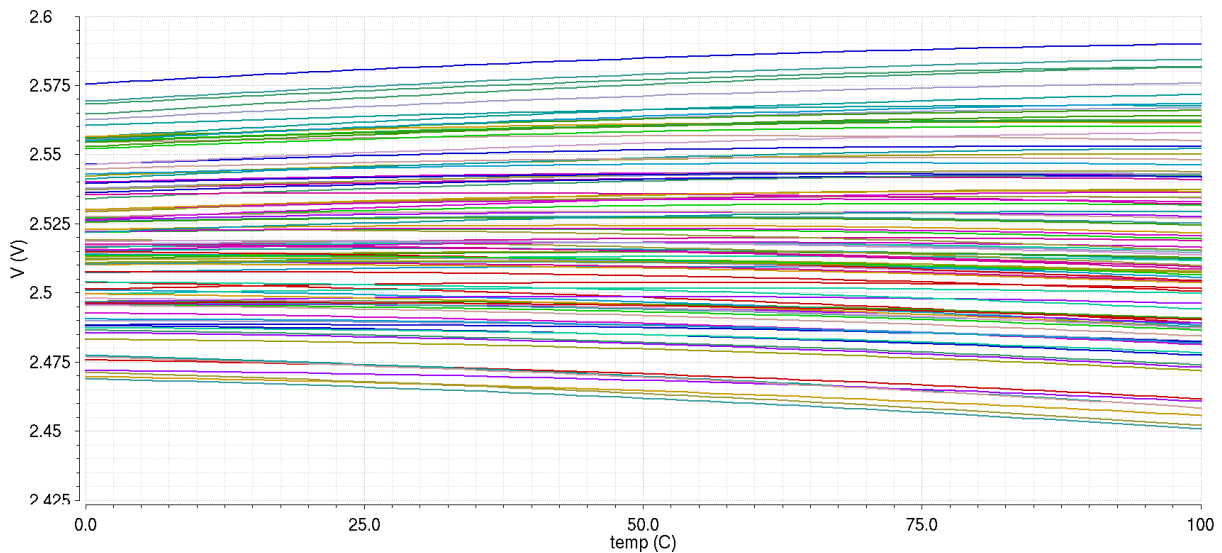


Figure 81 : Dispersion de la valeur de tension en sortie de l'OTA gain 2 en simulation Monte Carlo process + mismatch.

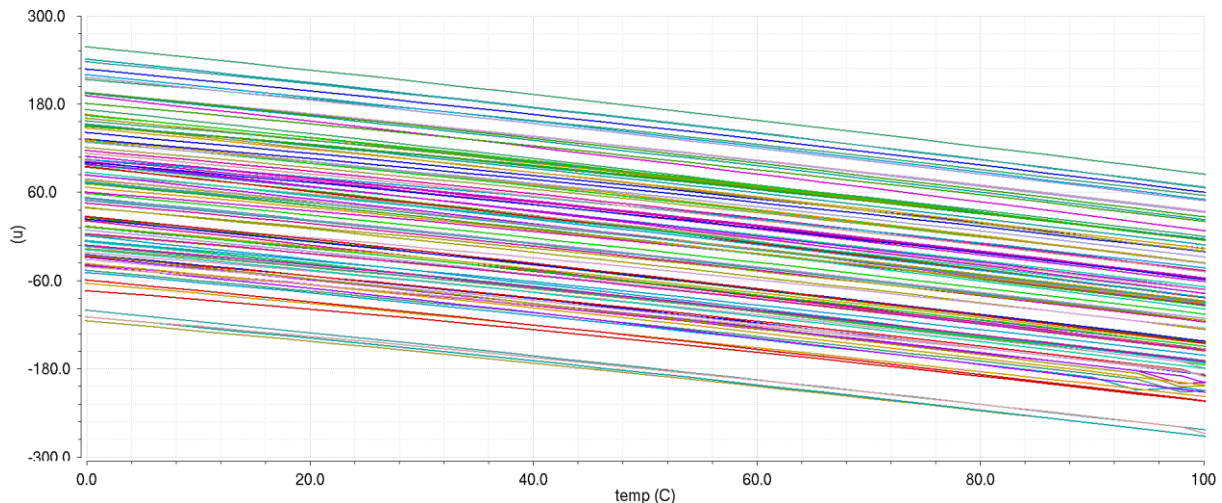


Figure 82 : Dérivé des paraboles obtenues Figure 81. La déviation en tension n'excède pas  $\pm 300 \mu\text{V}/^\circ\text{C}$  entre 0 et  $100^\circ\text{C}$ .

## 2.2 Système de mémorisation des évènements et conversion digitale

Le système de mémorisation de la valeur analogique en sortie de canal de mesure de charge est composé d'une mémoire analogique sous la forme d'un simple *track & hold* et d'une boîte à délai. Un chronogramme est présenté Figure 83 afin d'expliciter le fonctionnement du système.

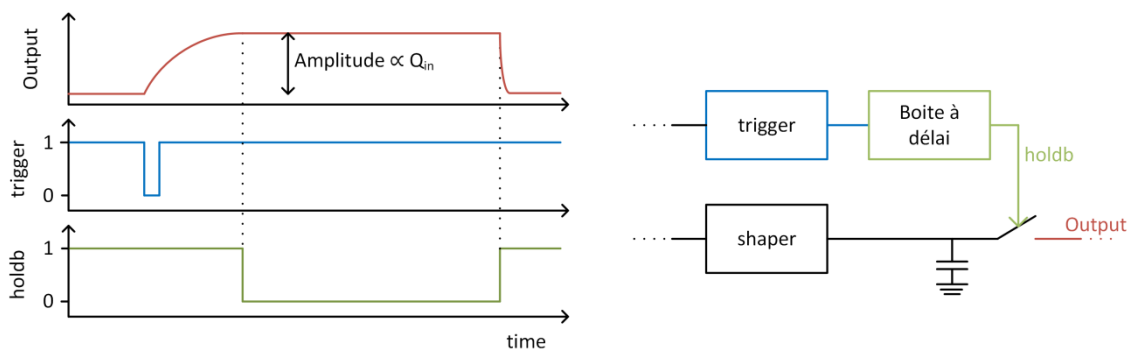


Figure 83 : Principe de fonctionnement du système de mémorisation analogique.

La boîte à délai génère le signal *holdb* un certain temps (programmable) après avoir reçu en entrée le signal de *trigger*. Le délai est choisi pour échantillonner le maximum du shaper, dont l'amplitude est proportionnelle à la charge à l'entrée. Lorsque l'ADC a fini sa conversion, le signal de *holdb* est relâché et une nouvelle mesure peut être effectuée.

### 2.2.1 Mémoire analogique

La mémoire analogique est une cellule de *track & hold* suivant le schéma Figure 84. L'interrupteur est fait de deux MOSFET complémentaires. La capacité servant à la mémorisation fait  $500 \text{ fF}$ , ce qui permet de ne pas trop charger la sortie du shaper tout en maintenant le signal analogique pendant plusieurs millisecondes sans dérive due aux courants de fuite. Un amplificateur monté en suiveur permet de conduire le signal à l'entrée de l'ADC.

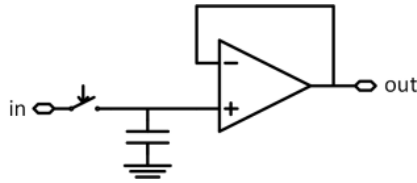


Figure 84 : Schéma de la mémoire analogique.

L'injection de charge générée par l'ouverture de l'interrupteur cause une légère perturbation à la sortie du shaper mais cette perturbation est absorbée par l'étage de sortie. Elle ne se propage donc pas et surtout ne fausse pas la mesure. De plus, l'expérience montre que cette injection est largement réduite en mesure du fait des capacités parasites.

### 2.2.2 Boite à délai

La boite à délai est programmable sur 8 bit, de 100 ns à 400 ns par pas de 1,17 ns, afin de permettre d'ajuster le temps de délai avant le déclenchement du signal *holdb* afin de s'assurer de déclencher sur le maximum de l'amplitude en sortie de shaper.

### 2.2.3 ADC Wilkinson

Un ADC Wilkinson est utilisé pour convertir les niveaux analogiques en sortie de *track & hold*. Tous les canaux sont convertis en même temps, même si un seul canal a déclenché. Cette architecture a été choisie du fait de sa facilité de mise en œuvre. Son schéma de principe est donné Figure 85

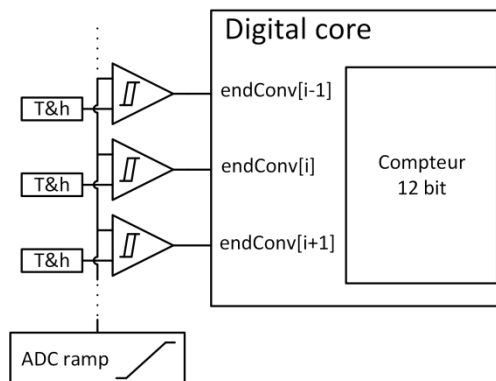


Figure 85 : Schéma de l'ADC Wilkinson.

Un signal de début de conversion est envoyé au compteur et à la rampe commune aux 64 canaux qui démarrent. Les sorties des *track & hold* sont envoyées sur des discriminateurs (1 par canal). Lorsque la rampe croise le niveau analogique mémorisé en sortie de *track & hold*, le discriminateur déclenche et envoie le signal *endConv[i]*, *i* étant le numéro du canal. La valeur du compteur est alors mise en mémoire. Le compteur 12 bit continue de compter jusqu'à ce que les valeurs de tous les canaux soient converties.

### 3 Résultats de mesures sur carte de test

#### 3.1 Carte de test

La même carte de test a été utilisée pour toutes les mesures que j'ai pu réaliser durant ce travail de thèse. Ces mesures sont décrites dans cette section. L'ASIC est testé dans un socket et n'est donc pas directement soudé sur la carte, afin de pouvoir tester plusieurs ASICs avec une seule carte. La carte a été développée par le laboratoire Omega.

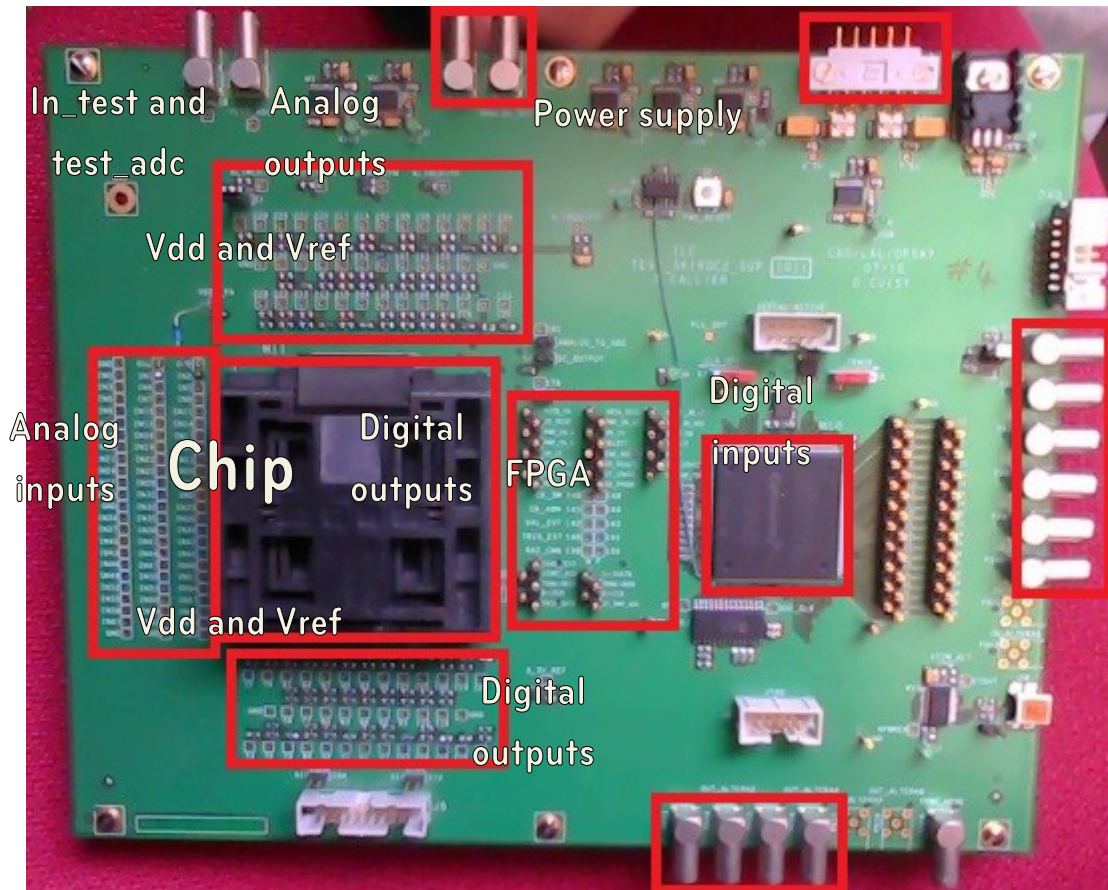


Figure 86 : Carte de test

Sur cette carte se trouvent :

- Des entrées analogiques reliées à l'ASIC pour l'injection de signal ;
- Un système de réglage et de test des tensions de références et d'alimentation ;
- Des points de test des sorties digitales de l'ASIC ;
- Un FPGA ;
- Les sorties analogiques des sondes de l'ASIC ;
- Des entrées et sorties digitales pour le FPGA ;
- Une connexion USB.

### 3.2 Signal d'entrée

Les diodes PIN en silicium qui seront utilisées dans le calorimètre électromagnétique délivrent un court pulse de courant. Afin de réaliser les mesures sur carte de test, ce pic de courant doit être injecté dans les entrées analogiques afin d'émuler le signal réel.

Afin de réaliser cela, un échelon de tension avec un front de montée très raide est envoyé à travers une capacité de 10 pF qui fera office de capacité détecteur. Cette valeur correspond à la capacité détecteur des diodes PIN utilisées.

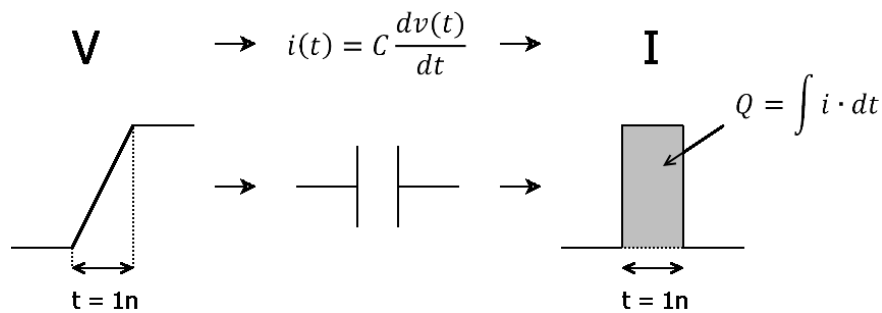


Figure 87 : Création d'un pulse de courant et valeur de la charge correspondante.

Cette capacité converti l'échelon de tension d'entrée en un pic de courant satisfaisant la relation  $i(t) = C dv/dt$ . La valeur de la charge est obtenue en intégrant ce courant.

$$Q = \int C \cdot \frac{dv}{dt} \cdot dt \quad (91)$$

$$Q = C \cdot \int dv \quad (92)$$

La charge d'entrée est donc directement proportionnelle à l'échelon de tension envoyé. Il faut faire attention au bruit injecté par le générateur de signaux. Pour diminuer ce bruit un atténuateur est utilisé. Le signal d'entrée demeure inchangé et la valeur de la charge injectée est modulée directement par l'atténuateur. L'atténuation pour le signal maximal est fixée à 20 dB pour les raisons de bruit citées précédemment. Afin d'avoir un signal maximal de 2500 MIP (10 pC), un échelon de 10 V est nécessaire comme le montre l'équation suivante :

$$Q_{inj} = \frac{step \times C_{inj}}{attenuation} = \frac{10 \times 10 \cdot 10^{-12}}{10} = 10 pC$$

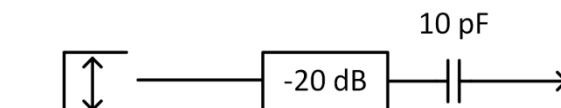


Figure 88 : Création du signal d'entrée pour les mesures.

Un échelon de 10 V est le maximum que peut délivrer le générateur de signaux à disposition. Une autre manière de réaliser les mesures est d'injecter par le biais de l'entrée *in\_test* de SKIROC2. Une capacité d'injection de 3 pF a été intégrée à l'entrée de chaque canal de lecture dans la puce. Cette capacité peut être utilisable ou non grâce à la programmation des paramètres de slow control.



L'échelon de tension peut alors être injecté directement sur cette entrée. Malheureusement l'injection par cette capacité interne est limitée car un échelon de 2V suffit à faire s'ouvrir l'interrupteur qui contrôle la capacité (ce qui correspond à un signal d'environ 1500 MIP à travers cette capacité).

Les mesures et les simulations correspondant à ces mesures ont été faites en utilisant un montage similaire (voir Figure 89).

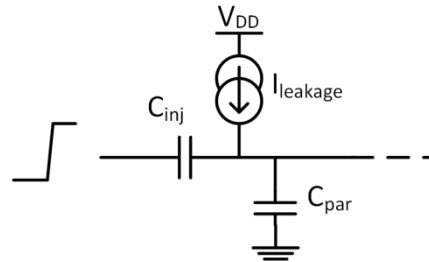


Figure 89 : Création du signal d'entrée pour les simulations.

La capacité d'injection  $C_{inj}$  est de 10 pF et correspond à la capacité de la diode PIN. Le courant de fuite et la capacité parasite d'entrée ont également été modélisés comme étant  $I_{fuite}$  et  $C_{par}$ .  $I_{fuite}$  est estimé comme valant entre 1 nA et 10 nA (cela dépend du modèle de diode PIN utilisé).  $C_{par}$  a été dans un premier temps estimée à 10 pF pour représenter les capacités parasites à l'entrée de chaque canal (pad, piste sur le PCB, etc.).

Sur la Figure 90 sont tracés les échelons injectés dans la capacité d'injection de 10 pF en mesure et en simulation pour un échelon de 40 mV. Cela permet de vérifier la bonne correspondance de ces deux échelons et de conclure sur la validité de la comparaison entre mesure et simulation. Les deux signaux sont très proches, les observations sur les signaux analogiques seront donc menées dans les mêmes conditions en mesure et simulation.

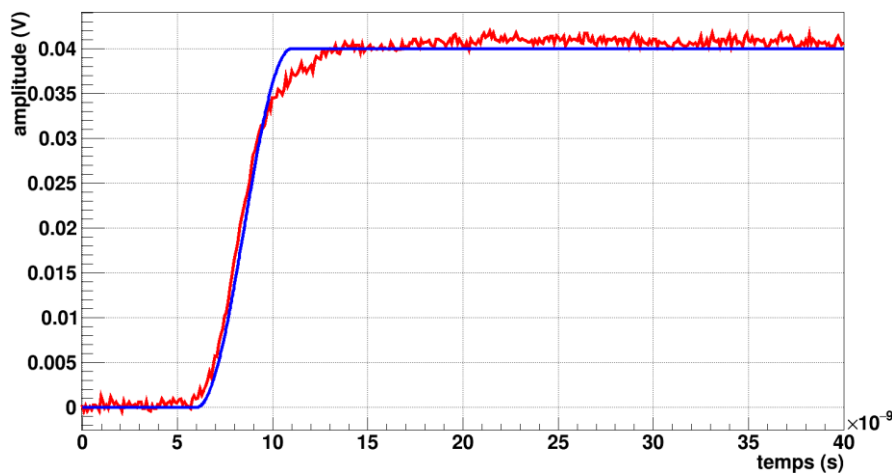


Figure 90 : Injection d'un échelon de tension de 40 mV en mesure (rouge) et simulation (bleu).

L'amplitude du signal injecté pourra varier en fonction de la mesure à effectuer. Ainsi lors des mesures en sortie de préamplificateur ou slow shaper bas gain il est intéressant d'injecter un signal

important. En revanche pour les mesures en sortie de fast shaper il est plus intéressant d’injecter des signaux faibles pour ne pas saturer le bloc car celui-ci a un gain important.

### 3.3 Signaux de sorties analogiques

Dans cette section sont présentés les résultats des mesures sur carte de test des sorties analogiques. Ces résultats de mesure sont comparés aux simulations. Toutes les mesures de cette section ont été faites avec  $C_f = 6$  pF et  $C_{comp} = 6$  pF.

#### 3.3.1 Préamplificateur

Avant de commencer toute mesure il est important de polariser correctement le préamplificateur à l’aide d’un faible courant de fuite en entrée. Une diode a été branchée en inverse entre l’alimentation et l’entrée d’un canal de la puce. Afin d’estimer la valeur du courant de fuite de cette diode, la constante de temps de la décharge de l’échelon  $\tau_{pa}$  est extraite de la mesure. Pour cela il faut déterminer l’amplitude du signal à  $t = \tau_{pa}$  qui doit être de  $V_{max} \times e^{-1}$  avec  $V_{max}$  l’amplitude maximale du signal. Cette constante de temps est d’environ 85  $\mu$ s. Par la simulation il faut 3,5 nA de courant de fuite afin d’avoir une constante de temps de 85  $\mu$ s (Figure 91), ce qui permet d’estimer le courant de fuite de la diode utilisée en mesure à 3,5 nA.

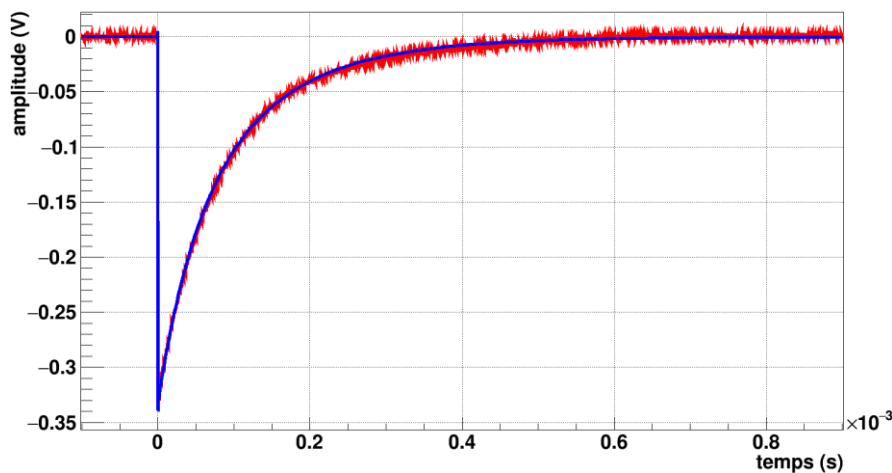


Figure 91 : Décharge de l’échelon en simulation (bleu) et mesure (rouge) pour un échelon de 100 mV à travers 10 pF.

La capacité de contre-réaction étant de 6 pF pour cette mesure, l’estimation de la résistance de contre-réaction est de 14,17 M $\Omega$  pour un bruit parallèle  $i_n = 34,2$  fA/ $\sqrt$ Hz. Comme vu dans la partie simulation, ce bruit parallèle ne sera pas suffisant pour modifier les valeurs d’ENC aux temps de shaping utilisés dans SKIROC2 où le bruit série domine largement.

Le temps de décharge et l’amplitude de l’échelon correspondent bien en simulation et en mesure. En revanche concernant la forme de l’échelon, l’undershoot dû au deuxième pôle de l’amplificateur n’est pas présent sur le signal mesuré (Figure 92).

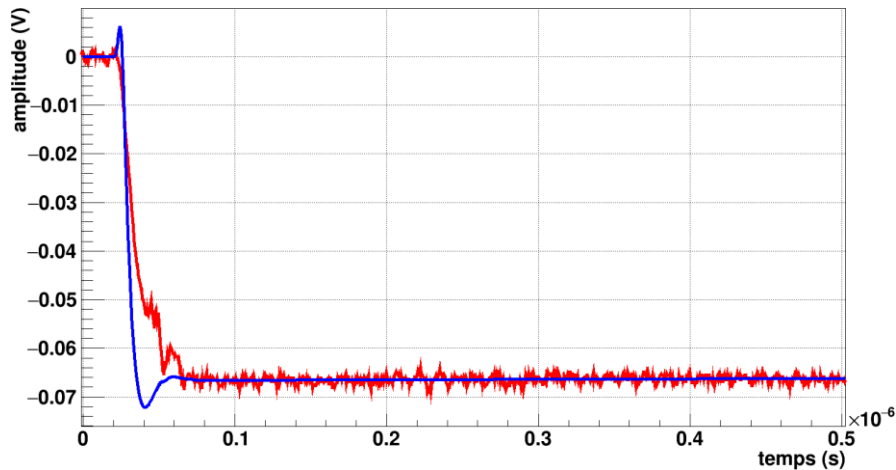


Figure 92 : Forme de l'échelon de sortie de préamplificateur en mesure (rouge) et en simulation (bleu) pour un échelon de 40 mV à travers 10 pF.

Le signal injecté ici est de 400 fC soit 105 MIP.

### 3.3.2 Slow shaper G1

Ce shaper a été conçu pour appréhender la pleine gamme dynamique. Une capacité de contre-réaction de 6 pF sur le préamplificateur doit être sélectionnée afin de pouvoir injecter jusqu'à 1600 MIP (limite de linéarité à 1 % INL d'après simulation).

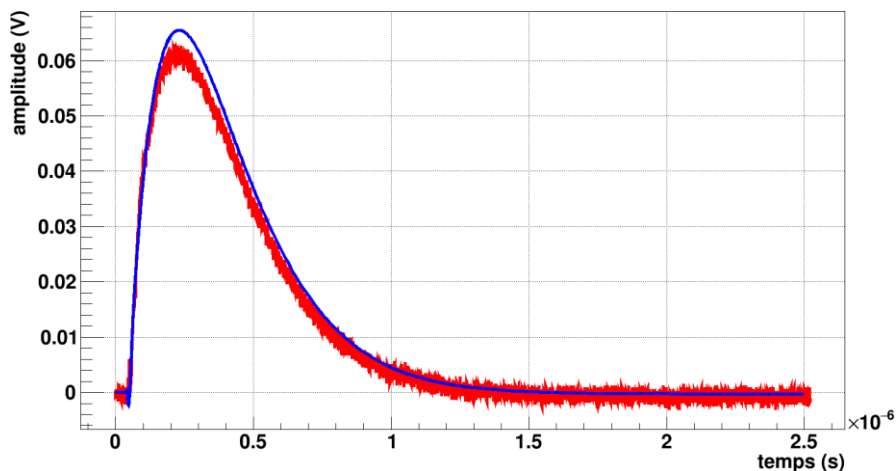


Figure 93 : Sortie de shaper bas gain en mesure (rouge) et en simulation (bleu) pour un échelon de 40 mV à travers 10 pF.

Contrairement à la mesure faite avec le préamplificateur, il y a ici une légère différence d'amplitude entre la simulation et la mesure. Le maximum de l'amplitude en mesure est de 61 mV contre 65,5 mV en simulation, soit 7 % de différence, ce qui n'est pas négligeable. Le temps de peaking est de 190 ns en mesure et 200 ns en simulation. Le gain de boucle fermée plus bas implique un rapport  $Z_2/Z_1$  diminué et le temps de peaking plus rapide implique qu'un des deux couples RC a été diminué. De ces indices peut être déduit que c'est la résistance de contre-réaction qui est réduite par rapport à la simulation.

### 3.3.3 Slow shaper G10

Ce shaper a été dessiné pour avoir un bon rapport signal sur bruit pour les signaux d'entrée minimum. Il permet d'acquérir un signal de l'ordre du MIP avec un rapport signal sur bruit supérieur

à 10 quand le gain du préamplificateur est au minimum (avec une capacité de contre-réaction réglée à 6 pF). Il ne peut pas acquérir l'intégralité de la gamme dynamique, pour des grands signaux d'entrée il faut donc utiliser le slow shaper de gain 1.

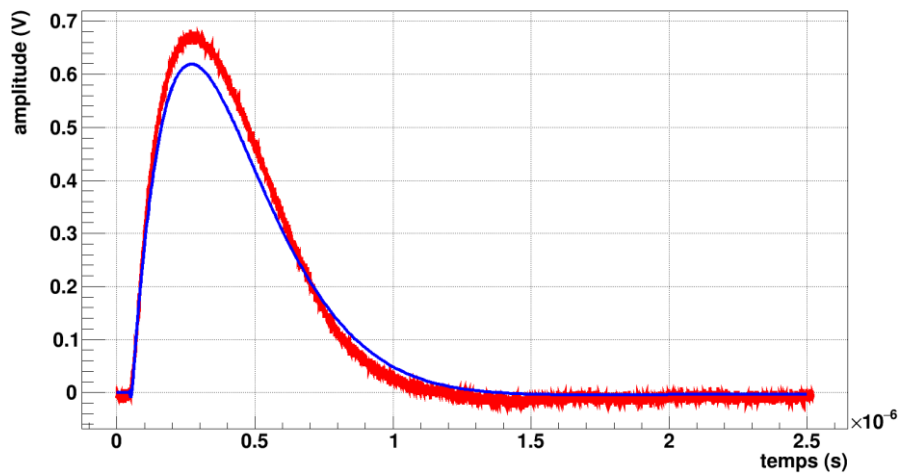


Figure 94: Sortie de shaper haut gain en mesure (rouge) et en simulation (bleu) pour un échelon de 40 mV à travers 10 pF.

Le maximum de l'amplitude en mesure est de 670 mV contre 616 mV en simulation, soit 8 % de différence. Contrairement à ce qui a été mesuré pour le shaper gain 1, le signal mesuré a une amplitude plus importante que le signal simulé. Le temps de peaking est de 232 ns en mesure et 228 ns en simulation. La décharge du shaper est plus rapide en mesure qu'en simulation. Ce comportement peut s'expliquer par une valeur de capacité de contre-réaction trop faible en mesure, ce qui augmente le gain en boucle fermée et rend la décharge plus rapide.

### 3.3.4 Fast shaper

Afin de mesurer le signal en sortie de fast shaper, un échelon de 4 fC est envoyé au lieu des 400 fC des mesures précédentes afin de ne pas saturer l'amplificateur.

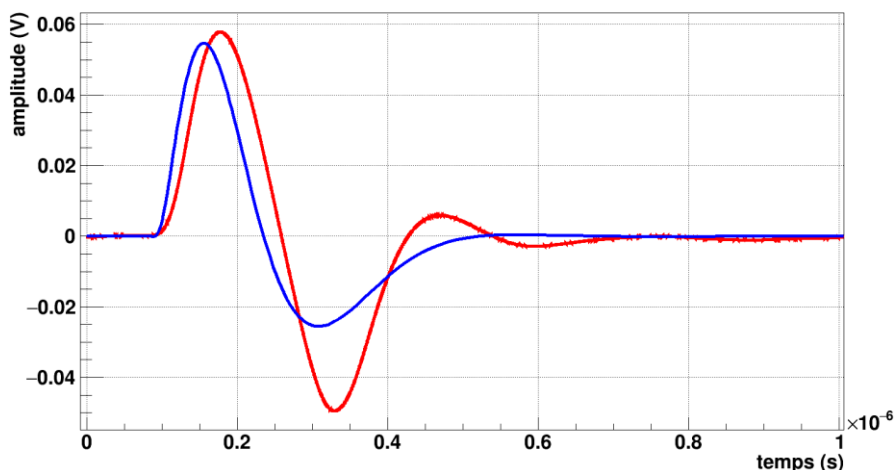


Figure 95 : Sortie de fast shaper en mesure (rouge) et en simulation (bleu) pour un échelon de 0,4 mV à travers 10 pF.

Le signal tracé en rouge n'est pas la mesure directe du fast shaper mais une moyenne du signal sur 100 acquisition afin de supprimer le bruit et de permettre une meilleure comparaison de la

mesure et de la simulation. Le temps de peaking du signal en simulation est de 75 ns alors qu'il est de 95 ns en mesure. De plus, l'amplitude en mesure est 6 % plus élevée qu'en simulation avec 58 mV contre 54,75 mV d'après la simulation. De plus la mesure montre des oscillations qui impliquent une moins bonne stabilité du montage en boucle fermée. Le temps de montée du shaper semble plus long en mesure mais le temps de descente plus rapide avec un undershoot plus important. Le temps de descente rapide, la moins bonne stabilité et l'amplitude plus importante sont symptomatique d'une capacité de contre-réaction plus faible que prévue.

### 3.4 Linéarité

La linéarité sur carte de test a été mesurée grâce à un programme Labview dédié et à l'ADC Wilkinson interne à l'ASIC, ce qui permet d'avoir des mesures précises. Cette méthode ne permet pas de faire une linéarité sur le préamplificateur ou le fast shaper car ils ne sont pas reliés directement à l'ADC. Cependant la linéarité du fast shaper n'a que peu d'importance car il est utilisé uniquement pour déclencher sur le signal d'entrée minimal. La linéarité de la chaîne analogique comprenant le préamplificateur et les slow shapers est la seule importante à mesurer.

#### 3.4.1 Slow shaper G1

Les résultats de la linéarité sont très proches en simulation et en mesure, pour une gamme dynamique allant jusqu'à 1600 MIP à 1 % INL d'après les données de simulations dans l'environnement de test décrit précédemment. La régression linéaire des données de simulation donne une droite ayant une pente de 611,5  $\mu\text{V}/\text{MIP}$ . La mesure donne une pente de 1,194 unité ADC (ADCu) par MIP avec un piédestal de 255 ADCu. Tout cela conduit à une estimation d'environ 512  $\mu\text{V}/\text{ADCu}$  pour la conversion analogique-numérique du slow shaper bas gain.

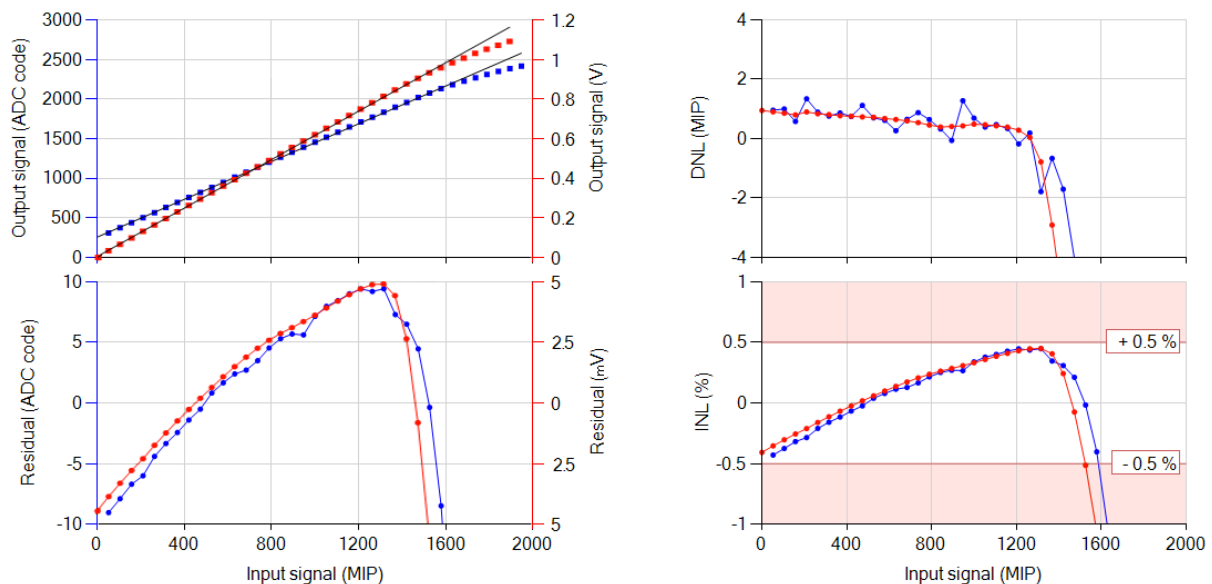


Figure 96 : Linéarité du slow shaper gain 1 en mesures (bleu) et en simulation (rouge).

La linéarité est meilleure en mesure d'environ 40 MIP, ce qui représente environ 2,5 %. Cela est cohérent avec le fait que le signal mesuré ait une amplitude plus faible qu'en simulation, permettant à l'amplificateur du shaper de saturer pour de plus grands signaux entrants, en admettant que la tension de saturation soit égale en mesure et en simulation.

### 3.4.2 Slow shaper G10

Le slow shaper gain 10 a un INL inférieur au pourcent entre 1 et 160 MIP. La pente de la régression linéaire est de 5,696 mV/MIP en simulation et 11,65 ADCu/MIP en mesure. Tout cela conduit à une estimation d'environ 489  $\mu\text{V}/\text{ADCu}$  pour la conversion analogique-numérique du slow shaper haut gain, sachant que le même ADC est utilisé pour la conversion des deux shapers.

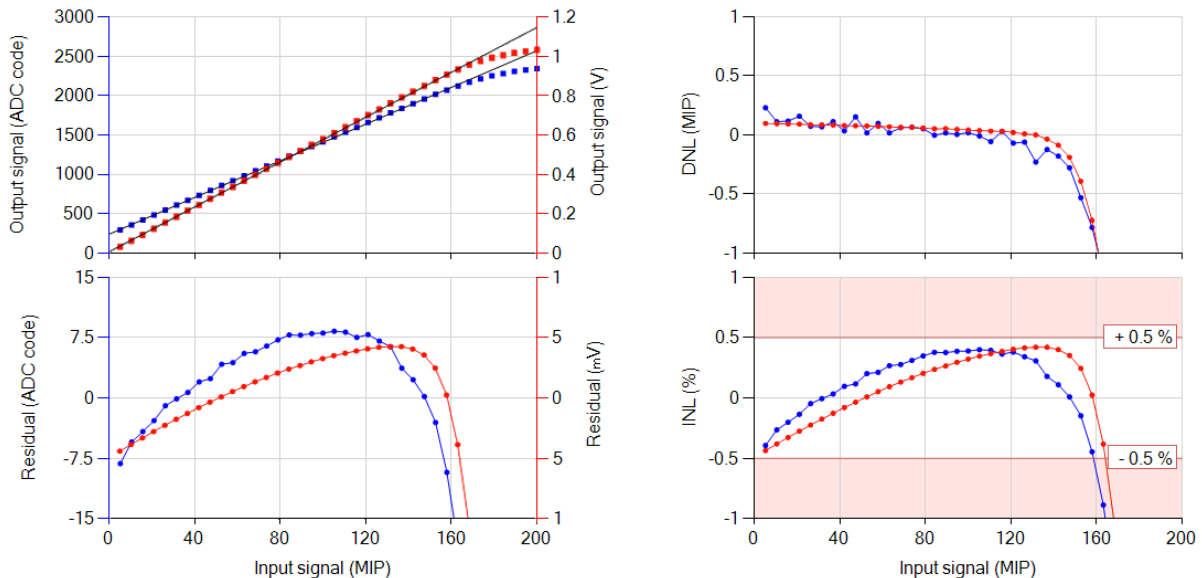


Figure 97 : Linéarité du slow shaper de gain 10 en mesures (bleu) et en simulation (rouge).

Ces mesures convergent vers une estimation de la pente de l'ADC de  $500 \pm 12 \mu\text{V}/\text{DACu}$ . La linéarité est ici meilleure en simulation. De la même manière que précédemment, cela est cohérent avec le fait que le signal mesuré ait une amplitude plus grande qu'en simulation. L'amplificateur commence donc à saturer pour des signaux entrants plus petits.

### 3.5 Estimation de la capacité parasite d'entrée

L'estimation de la capacité parasite d'entrée est prépondérante pour la mesure du bruit. En effet le bruit série est directement multiplié par  $C_t/C_f$ ,  $C_t$  étant égal à la capacité d'injection  $C_{inj}$ , qui remplace ici la capacité détecteur, à laquelle s'ajoute toutes les capacités parasites  $C_{par}$  sur les pistes, les pads, etc.

Afin d'estimer la valeur des capacités parasites, sachant que la capacité d'injection et la capacité de contre-réaction sont maîtrisées, il suffit de mesurer le bruit à la sortie du fast shaper (afin de n'avoir que le bruit série) pour plusieurs valeurs de capacités d'injection et il sera possible de remonter à la valeur de la capacité parasite à l'entrée. Sont ainsi obtenues à  $C_f = 6 \text{ pF}$  les valeurs présentées Figure 98.

$C_{inj}/C_f$	Bruit RMS (mV)
0	3,98
1,667	5,13
3,333	6,17
5	6,68
7,833	7,5
16,67	10,7

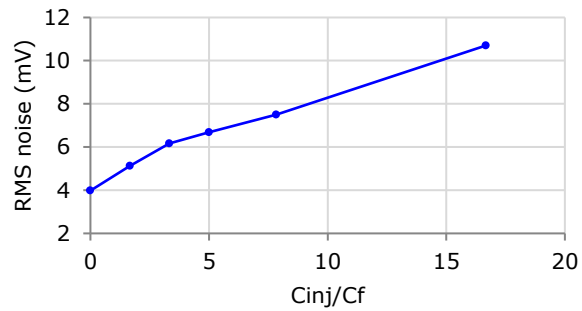


Figure 98 : Évolution du bruit RMS en sortie de préamplificateur en fonction de  $C_{inj}$  à  $C_f = 6$  pF.

A l'aide d'une régression linéaire il est obtenu l'équation  $f(x) = 0,3823x + 4,4951$ . Cela permet de déduire que la capacité parasite est d'environ 11,8 pF. D'après simulation, la capacité parasite de grille du transistor d'entrée est de 1,8 pF. Il faudra donc en simulation ajouter 10 pF de capacité parasite afin de se rapprocher des résultats de mesure.

### 3.6 Mesures de l'efficacité de déclenchement

La mesure de l'efficacité de déclenchement se fait grâce à l'acquisition des S-curves dont le principe a été introduit dans la section 5.3.4 du chapitre 2 traitant du rapport signal sur bruit (voir page 33). La manière d'acquérir ces S-curves sur carte de test est expliquée grâce à la Figure 99 extraite du guide de l'utilisateur de SKIROC2 [21].

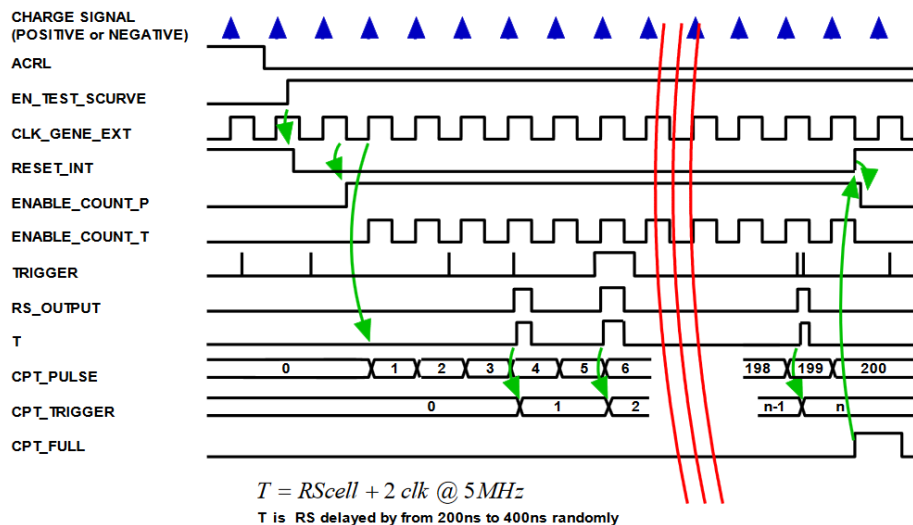


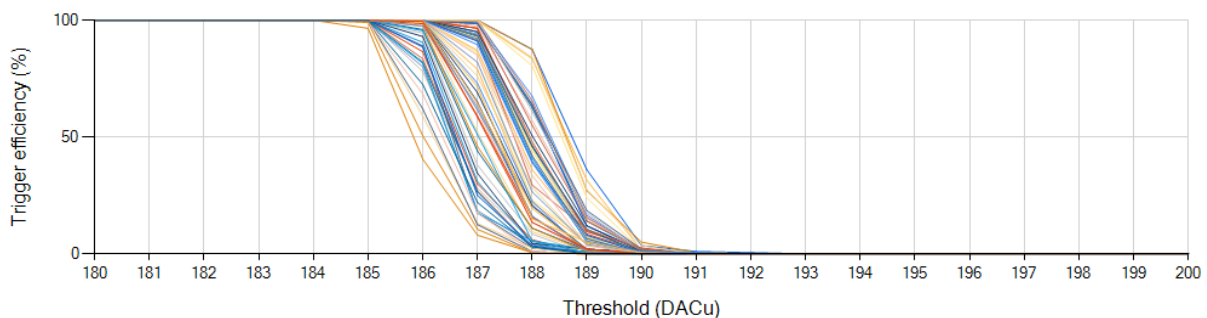
Figure 99 : Fonctionnement des S-curves dans SKIROC2.

La validation des événements est fenêtrée par une horloge appelée ici « CLK\_GENE\_EXT ». Les triggers ne sont comptés que lorsque ce signal d'horloge est à l'état haut. Lorsqu'un trigger survient il est enregistré dans une bascule RS. Ce trigger est ensuite enregistré dans « T » avec un délai. Si un autre trigger arrive avant la fin de la fenêtre de validation créée par l'horloge « CLK\_GENE\_EXT » il n'est pas compté. L'horloge compte un nombre d'acquisition déterminé (par exemple 200) et s'arrête une fois ce compte atteint grâce au signal « CPT\_FULL ». Le nombre de trigger est enregistré dans « CPT\_TRIGGER » et le résultat est comparé à « CPT\_PULSE » dans lequel

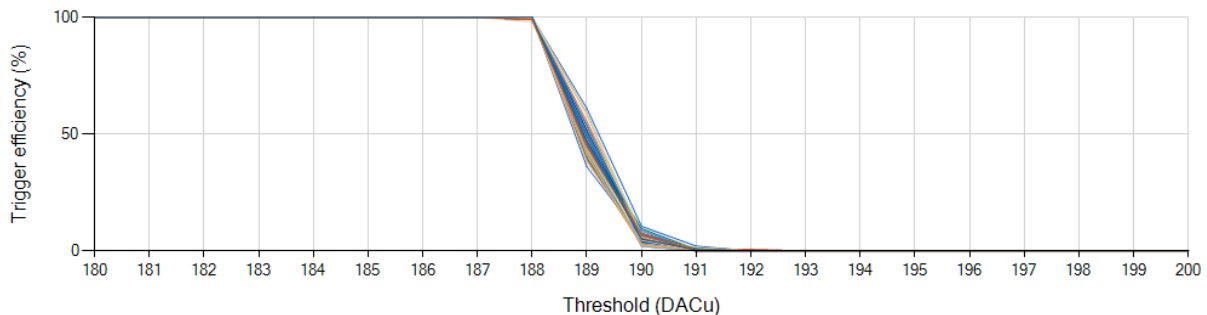
est enregistré le nombre de fenêtres d'acquisition. Le rapport de ces deux valeurs nous donne une efficacité de déclenchement en pourcent suivant la formule  $CPT\_TRIGGER / CPT\_PULSE \times 100$ .

### 3.6.1 Mesures classiques

Les mesures ont été réalisées sur les 64 canaux d'une puce SKIROC2 suivant différents cas. Concernant la Figure 100 et la Figure 101 les acquisitions ont été réalisées avec  $C_f = 6$  pF et une fenêtre d'acquisition  $t_{acq} = 1$  ms (avec  $CLK\_GENE\_EXT = 1$  kHz) pour 200 acquisitions. Cette milliseconde d'acquisition correspond à la milliseconde de collisions dans ILC. La Figure 100 est tracée en mesurant les triggers canal par canal en masquant le trigger des voies non-mesurées. Concernant la Figure 101 aucun masque n'a été utilisé, la méthodologie de mesure restant la même concernant le reste des paramètres.



**Figure 100 : Mesure de l'efficacité de déclenchement du piédestal en sortie de fast shaper pour les 64 canaux de SKIROC2 en masquant le trigger des voies non mesurées.**



**Figure 101 : Mesure de l'efficacité de déclenchement du piédestal en sortie de fast shaper pour les 64 canaux de SKIROC2 en ne masquant aucun trigger.**

L'effet du masquage des voies lors de la mesure est nettement visible. Si les voies ne sont pas masquées lors de la mesure d'une seule d'entre elle, les triggers des voies voisines peuvent faire déclencher la voie mesurée par diaphonie. Ainsi la voie déclenchant sur des valeurs seuil plus élevées est limitante car elle fait déclencher toutes les autres et ramène ainsi les probabilité de déclenchement de toutes les voies à son niveau. Cela donne une fausse impression de très bonne maîtrise de la dispersion des piédestaux du fast shaper.

La Figure 102, qui trace la position en abscisse de l'efficacité de déclenchement à 50% en fonction du canal, rend cet effet encore plus évident. Cette appellation d'« efficacité de déclenchement à 50% » étant abusive dans le cas de la mesure du piédestal.



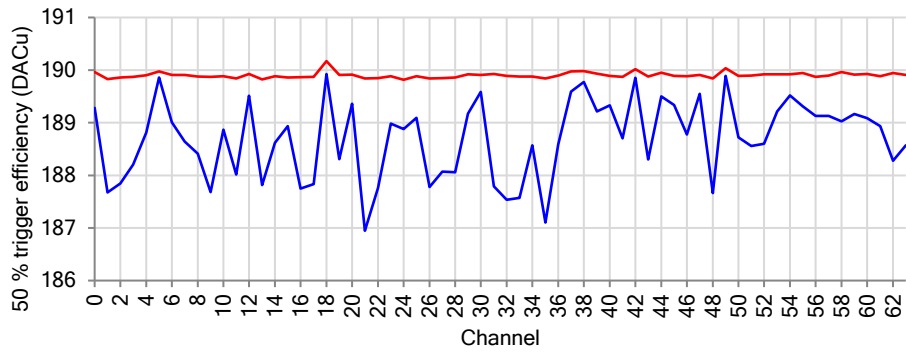


Figure 102 : Efficacité de déclenchement à 50% des mesures sur le piédestal avec masquage (bleu) et sans masquage (rouge) des voies non-mesurées.

Classiquement, pour analyser les « S-curves » une régression non linéaire est calculé en utilisant la formule introduite section 5.3.4

$$S(x) = 0,5 \times \operatorname{erfc}\left(\frac{x - \mu}{\sigma\sqrt{2}}\right) \quad (93)$$

Avec :

- $\operatorname{erfc}()$  la fonction d'erreur complémentaire ;
- $\mu$  l'espérance, qui nous donne ici la position en x de la S-curve ;
- $\sigma$  l'écart-type, qui nous donne une information sur le bruit.

Celle-ci est la description physiquement juste d'une S-curve qui serait faite sur un signal mais ne décrit pas bien les « S-curves » sur le piédestal car elles n'en sont justement pas. En effet sur le piédestal est observé le pied de la gaussienne de bruit tronquée comme le montre la Figure 103 qui est une mesure de l'efficacité de déclenchement de toutes les voies en même temps en utilisant un OR logique de toutes les voies.

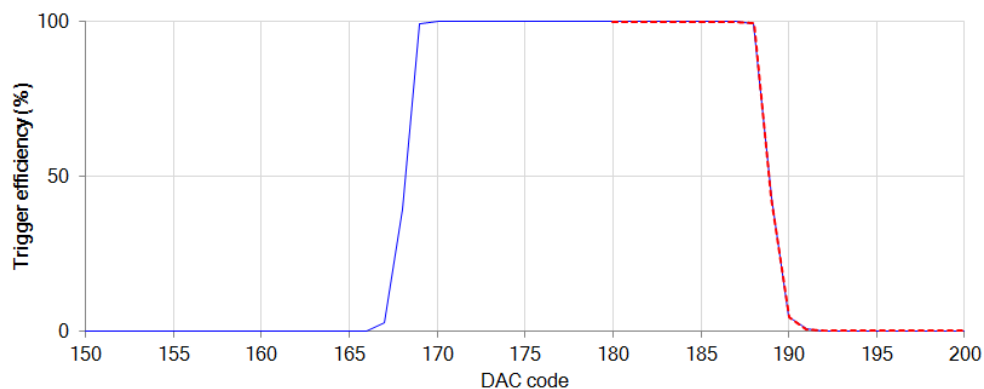


Figure 103 : Efficacité de déclenchement sur les piédestaux des fast shaper de SKIROC2 mesurée sur la sortie NOR64 avec  $C_f = 6 \text{ pF}$ .

Lorsque les mesures sur le piédestal sont faites, il est observé la partie droite de la gaussienne de bruit (entre 180 et 200 DACu par exemple, en pointillés en rouge sur la figure) qui ressemble à une S-curve classique si on l'isole. Ainsi le paramètre  $\sigma$  ne nous donne pas la valeur du

bruit sur le piédestal et le paramètre  $\mu$  ne nous donne pas la position du piédestal. Ces paramètres sont tout à fait inutiles ici.

### 3.6.2 Mesure des paramètres des piédestaux

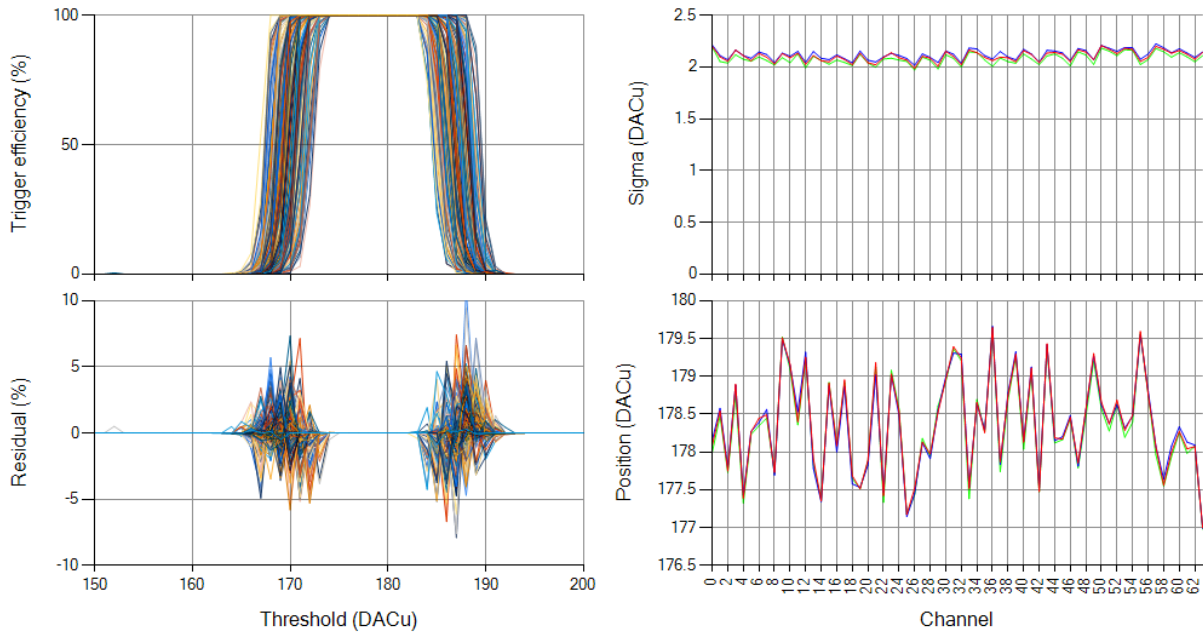
Afin de pouvoir aligner les piédestaux des fast shaper du point de vue du DAC 10-bit et estimer les niveaux de bruit de chaque canal, il faut donc procéder autrement. Il a été vu dans la section 5.3.4 que la formule décrivant le comportement de l'efficacité de déclenchement sur le piédestal s'exprimait telle que

$$P(x) = 1 - e^{-N_0 \times \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right)} \quad (94)$$

Avec :

- $N_0$  le nombre de déclenchements maximal pendant un temps donné (environ 4 millions par seconde pour le fast shaper de SKIROC2) ;
- $x$  la valeur du seuil ;
- $\mu$  la valeur de bruit moyenne ;
- $\sigma$  l'écart-type du bruit.

Les paramètres de cette régression ainsi que le résidu sont extraits grâce à l'algorithme de minimisation « Minuit » de ROOT. Sachant qu'il s'agit d'une régression non linéaire il faut passer à l'algorithme une valeur estimée des paramètres ainsi que des bornes de la régression. Les bornes pour  $\sigma$  ont été fixées telles que  $0 < \sigma < 10$  avec une estimation initiale de 2. Les bornes pour la position ont été fixées telles que  $150 < \mu < 200$  avec une estimation initiale de 175. Les courbes ont été mesurées en masquant les canaux sur lesquels la mesure ne s'effectuait pas afin de ne pas avoir de problème de diaphonie qui fausserait la mesure. Sur la Figure 104 sont tracés le résidu de la régression en fonction du seuil en unités de DAC ainsi que les paramètres de la régression en fonction du canal. Les mesures ont été faites pour  $C_f = C_{comp} = 6$  pF, sans courant de fuite ni capacité d'injection. Les mesures ont été faites pour des fenêtres d'acquisition de 100  $\mu$ s, 1 ms et 10 ms et les résultats ont été superposés les uns aux autres afin de valider la méthode de régression.



**Figure 104 : Mesure de l'efficacité de déclenchement des piédestaux pour  $C_f = 6$  pF et  $C_{comp} = 6$  pF. Bleu : fenêtre d'acquisition de 10 ms, vert : fenêtre d'acquisition d'1 ms, rouge : fenêtre d'acquisition de 100  $\mu$ s.**

Le résidu est inférieur à  $\pm 10$  % pour les trois mesures. La position moyenne du piédestal est 178,4 ADCu. Sachant que le  $\sigma$  moyen est de 2,1 DACu et que 1 DACu = 2,163 mV, la valeur de bruit RMS moyenne en est extraite et donne  $2,1 \times 2,163$  mV = 4,54 mV. En faisant la mesure à l'oscilloscope il est obtenu un RMS de 5,2 mV. Ces valeurs sont à comparer aux 4,03 mV de bruit RMS obtenus par la simulation avec

- $C_f = C_{comp} = 6$  pF ;
- $C_{par} = 10$  pF ;
- $C_{inj} = 0$  pF ;
- pas de courant de fuite ;
- un environnement idéal.

La mesure de bruit RMS à l'oscilloscope n'est pas une méthode très rigoureuse pour mesurer le bruit. Cette mesure donne des résultats différents en fonction des bases de temps et de tension choisies. De plus un effet de limitation de bande passante des buffers peut avoir tendance à minimiser le bruit quand, au contraire, des parasites sur la carte de test (ex : les horloges du FPGA) peuvent en rajouter. Cela donne cependant un ordre d'idée de la quantité de bruit en sortie de fast shaper.

Les courbes sont tracées Figure 105 pour  $C_f = 1,2$  pF et  $C_{comp} = 1$  pF.

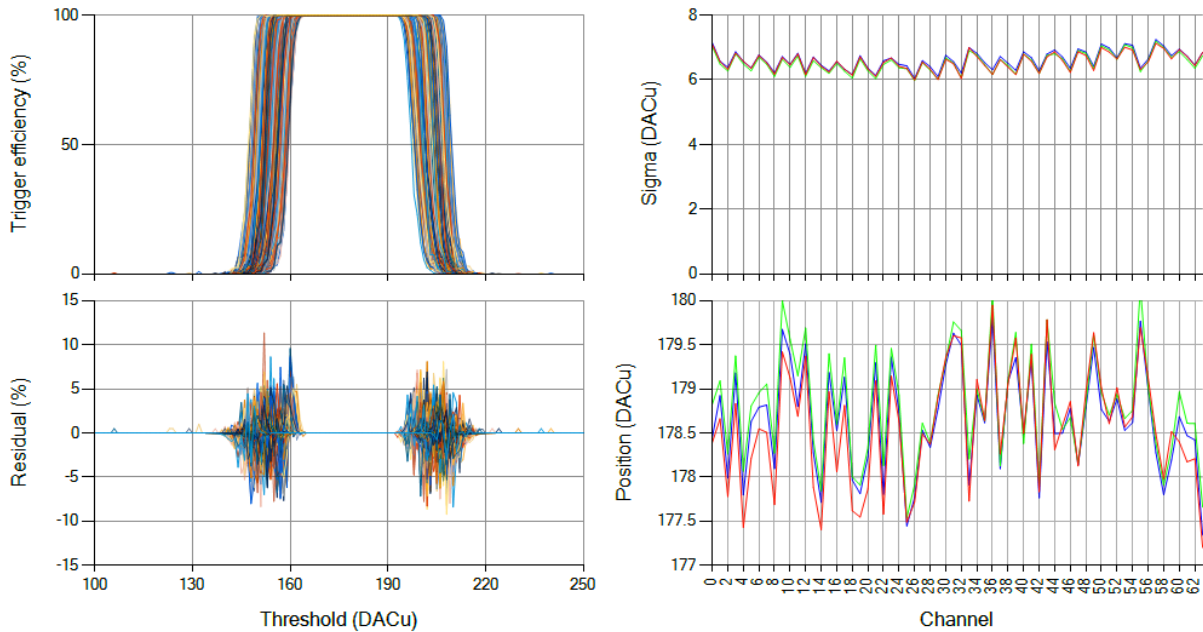


Figure 105 : Mesure de l'efficacité de déclenchement des piédestaux pour  $C_f = 1,2 \text{ pF}$  et  $C_{comp} = 1 \text{ pF}$ . Bleu : fenêtre d'acquisition de 10 ms, vert : fenêtre d'acquisition d'1 ms, rouge : fenêtre d'acquisition de 100  $\mu\text{s}$ .

La valeur du  $\sigma$  moyen est de 6,55 et la position moyenne des piédestaux est 178,7. Cela donne  $\sigma = 14 \text{ mV}$  par cette mesure contre 8 mV par la simulation. L'oscilloscope renvoie une mesure de bruit RMS de 14 mV également. L'algorithme de régression semble avoir plus de mal à trouver les valeurs des positions des piédestaux, avec cependant une estimation de  $\sigma$  toujours aussi stable quelle que soit la fenêtre d'acquisition. Le bruit est bien plus élevé en mesure qu'en simulation. Le socket dans lequel est placé le circuit n'aide certainement pas, en rajoutant de la résistance parasite et donc du bruit à l'entrée du circuit et sur les alimentations.

### 3.6.3 L'importance de l'extraction des paramètres des piédestaux sur la calibration des seuils de déclenchement.

Avant le début de cette thèse, la calibration des seuils de déclenchement était faite en alignant les efficacités de déclenchement à 1 pour mille des enveloppes de bruit. Cette manière de faire est relativement empirique. Elle requiert l'accumulation de beaucoup de données pour être précise, donc un temps d'acquisition conséquent.

Dans le cas de la mesure du piédestal du fast shaper, comme l'illustre la Figure 106, aligner les enveloppes de bruit peut conduire à un mauvais alignement de piédestaux précédemment bien alignés. Il est important de préciser que ce n'est pas vraiment un alignement des piédestaux qui est réalisé ici. Les piédestaux des fast shaper sont ce qu'ils sont et ils ne bougent pas. Le réglage est fait par des DAC 4 bits sur les références des discriminateurs de chaque canal qui permettent d'ajuster la position relative du seuil donné par le DAC commun aux 64 canaux par rapport au piédestal de chaque canal. Ainsi un seuil général est donné par le DAC 10 bits commun et la correction canal par canal est faite par les DAC 4 bits de chaque canal pour que ce seuil ait la même position relative au piédestal dans tous les canaux de l'ASIC. C'est cette correction par les DAC 4 bits qui est appelé ici « calibration des seuils de déclenchement ».

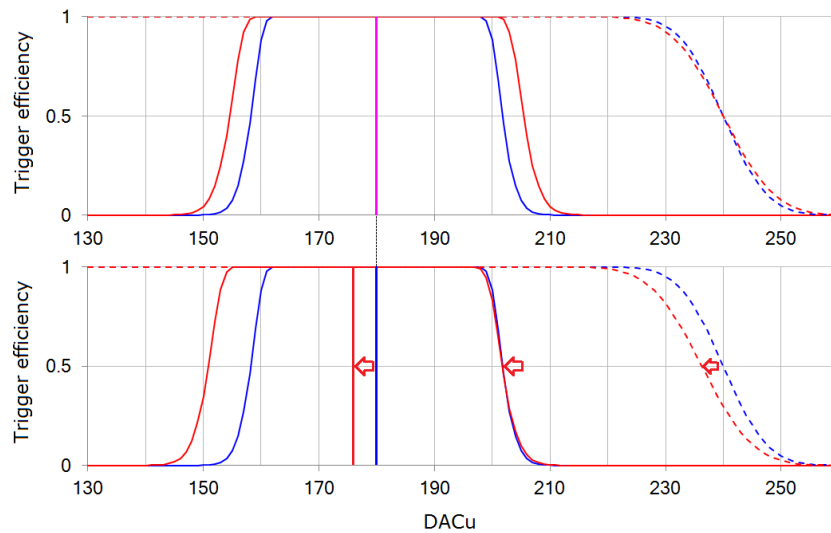


Figure 106 : Effet de l'alignement des niveaux de bruit des piédestaux sur l'alignement des piédestaux.

Grâce aux paramètres de la régression non linéaire, outre l'acquisition des positions des piédestaux des fast shaper correcte permettant la calibration des seuils de déclenchement sans avoir à injecter, l'information sur le bruit est également disponible. Il est aisé d'en déduire le niveau du seuil de déclenchement requis pour une probabilité de déclenchement sur le bruit du piédestal donnée. De manière simple : pour pouvoir placer le seuil de déclenchement à  $5\sigma$  par exemple, il faut connaître  $\sigma$ . C'est pour cela que la régression non-linéaire sur les courbes des efficacités de déclenchement des piédestaux du fast shaper tel qu'elle a été présentée ici est important.

Il faut noter que même si ce qui intéresse les utilisateurs au final est l'alignement du niveau de bruit donnant une efficacité de déclenchement de 1 pour mille, cela sera toujours plus simple à faire grâce à une régression physiquement juste que de manière empirique.

### 3.7 Discrimination du MIP unique

Les mesures ont été menées avec  $C_f = C_{comp} = 6$  pF. Le MIP en sortie de shaper haut gain est clairement isolé du piédestal mais son signal semble bien plus bruité que celui du piédestal. Cet effet est dû à la difficulté de déclencher proprement sur le signal minimal avec  $C_f = 6$  pF. Les signaux à 2 et 3 MIP ont quant à eux un bruit équivalent à celui du piédestal.

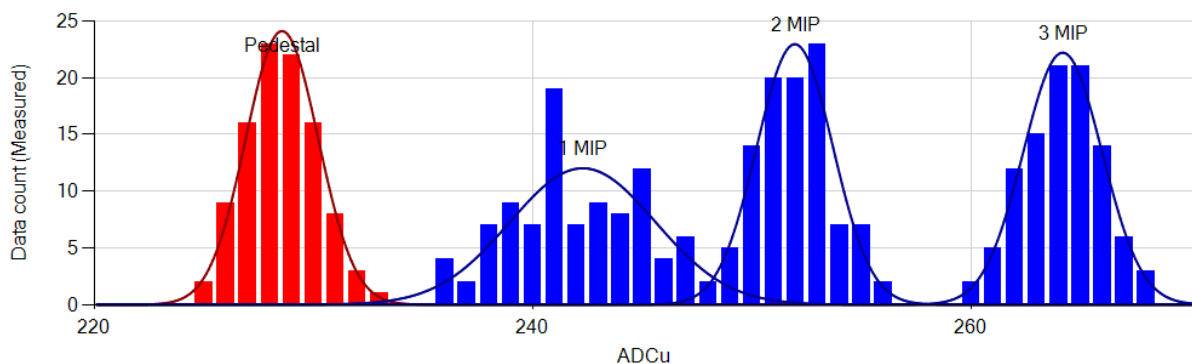


Figure 107 : Discrimination du MIP unique en sortie de shaper haut gain.

Le tableau suivant donne les paramètres des gaussiennes tracées sur la Figure 107. Ces gaussiennes n'ont pas été obtenues par régression. Leur espérance est donnée par la moyenne des valeurs et le  $\sigma$  est déduit en calculant l'écart-type de la distribution. Toutes les valeurs sont données en ADCu (= unités ADC, 1 ADCu = 415  $\mu$ V).

<b>Moyenne</b>	228,55	242,27	251,95	264,17
<b>Ecart-type</b>	1,65	3,32	1,74	1,79

Tableau 4 : Paramètres des gaussiennes de la Figure 107.

De ces valeurs sont déduits les SNR suivants

<b>Nb MIP</b>	1	2	3
<b>SNR</b>	4,14	13,47	19,93
<b>SNR/Nb MIP</b>	4,14	6,74	6,64

Tableau 5 : SNR en sortie d'ADC en fonction du signal injecté.

Ainsi le SNR en sortie de slow shaper haut gain est aux alentours de 6,7, ce qui est suffisant pour identifier les MIP un à un. Pour des gains plus élevés cette séparation devient bien meilleure. D'après simulation le SNR était de 11,17, soit entre 60 % et 70 % meilleur.

### 3.8 Mesure de l'ENC

L'ENC a été mesuré en envoyant, grâce au système de sondes, la sortie du préamplificateur sur un shaper CRRC<sup>2</sup> externe. Le préamplificateur a été réglé avec une capacité de contre-réaction de 1,2 pF et une capacité de compensation de 1 pF. L'ENC a été calculé par la mesure grâce à la formule

$$ENC = \frac{rms \times Q_{in}}{q \times amp} \quad (95)$$

Avec :

- *rms* la mesure du bruit RMS à l'oscilloscope ;
- $Q_{in}$  la charge injectée correspondant à 1 MIP (3,8 fC) ;
- *q* la charge d'un électron ( $1,6 \cdot 10^{-19}$ ) ;
- *amp* l'amplitude mesurée en sortie de fast shaper.

La Figure 108 présente les résultats de cette mesure.

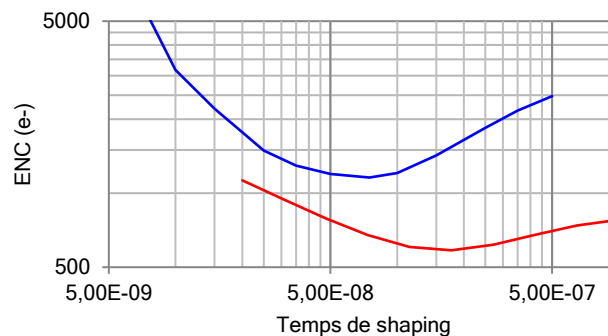


Figure 108 : Mesure (bleu) et simulation (rouge) de l'ENC en utilisant un shaper CRRC<sup>2</sup>.

Cette mesure reste cependant très approximative concernant l'estimation des bruits séries et parallèles du préamplificateur. En effet, plusieurs sources de bruit parasites s'ajoutent au bruit du préamplificateur, notamment le bruit thermique venant des résistances parasite à l'entrée du préamplificateur, le bruit sur l'alimentation et les bruits par diaphonie sur la carte de test (dû aux horloges notamment).

Les résistances parasites sur la sortie du préamplificateur n'ont en revanche qu'un effet négligeable car elles ne sont pas amplifiées. Le temps de shaping optimal d'après la mesure est très différent de la simulation, il est beaucoup plus bas. Par la mesure le temps de shaping optimal se trouve aux alentours de 75 ns contre 180 ns par la mesure. L'ENC est beaucoup plus important en mesure, ce qui est normal considérant que la simulation a été faite dans un environnement idéal avec un préamplificateur isolé de toute perturbation extérieure.

### 3.9 Diaphonie analogique

La diaphonie analogique a été mesurée en injectant un grand signal dans un canal et en vérifiant l'état des sorties des shapers des canaux voisins.

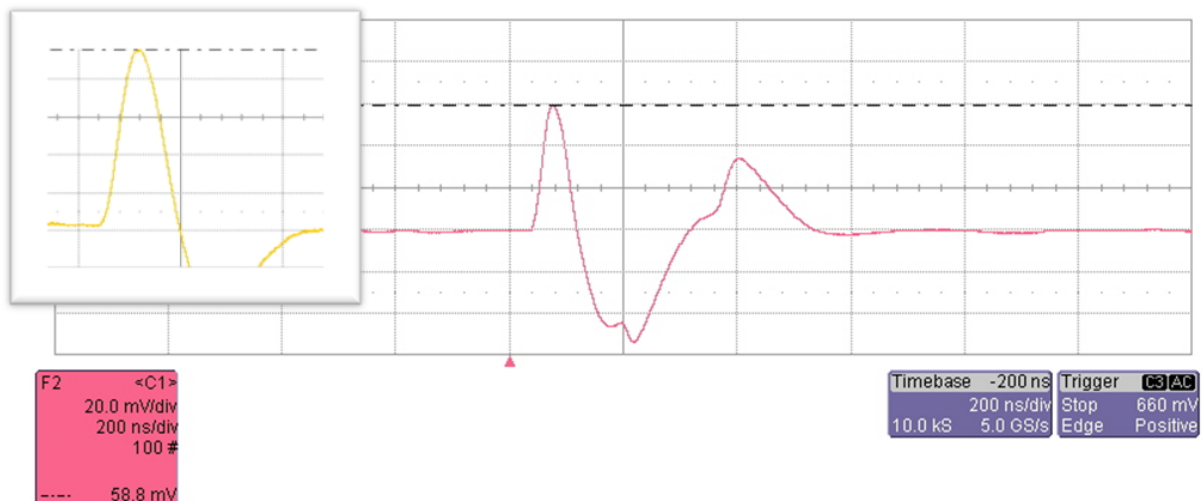


Figure 109 : Forme du signal issue de la diaphonie analogique des premiers voisins. Jaune : Signal d'un MIP (3,8 fC) en sortie de fast shaper ; rouge : Signal dû à la diaphonie sur la sortie du fast shaper.

Le tableau suivant donne le nombre de MIP entrant dans un canal nécessaires pour faire déclencher les canaux voisins avec un seuil à  $\frac{1}{2}$  MIP. La valeur maximale de signal entrant avec laquelle la mesure a été faite est de 2500 MIP. Il s'agit ici de caractériser la diaphonie en sortie de fast shaper

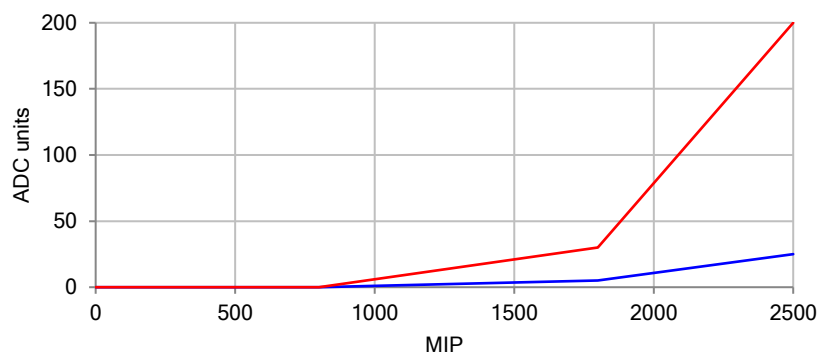
Nombre de MIP	Voisin déclenchant
92	1er
934	2ème
1319	3ème

Tableau 6 : Effet de la diaphonie en sortie de fast shaper sur le déclenchement des canaux voisins.

Comme le montre le tableau précédent, un signal de seulement 92 MIP est suffisant pour faire déclencher le premier voisin (92 MIP = 352 fC). Cette valeur dépend beaucoup du niveau de bruit et de la valeur du seuil de déclenchement. Ici le seuil a été fixé à  $\frac{1}{2}$  MIP, la diaphonie au premier

voisin est donc estimée comme étant 0,54 %. Un signal 10 fois plus grand permet de faire déclencher le second voisin, pour une diaphonie estimée à 0,052%. Un signal de plus de 1319 MIP est nécessaire pour faire déclencher le troisième voisin (0,038 %). Jusqu'à 2500 MIP aucun autre canal n'a déclenché, la diaphonie longue distance seule n'étant pas suffisante.

La diaphonie peut également être mesurée en sortie d'ADC. C'est la diaphonie en sortie de slow shaper, dans le cas de la mesure de charge, qui est caractérisée maintenant. Pour des charges injectées plus petites que 800 MIP, aucun effet de la diaphonie n'est visible en sortie d'ADC. Pour des signaux supérieurs à 800 MIP la diaphonie peut être mesurée en sortie d'ADC. Avec une charge de 2500 MIP injectée dans un canal, un signal de 25 unités ADC en sortie de shaper bas gain et 200 unités ADC en sortie de shaper haut gain est acquis dans le canal voisin.



**Figure 110: Mesure de la diaphonie des premiers voisins à la sortie de l'ADC. Bleu : Sortie du shaper bas gain ; rouge : sortie du shaper haut gain.**

Comme montré Figure 110 la diaphonie n'est pas linéaire. Pour un signal de 2500 MIP la diaphonie au deuxième voisin ne cause qu'un RMS plus important sur le piédestal et ne peut vraiment être isolé comme étant un signal distinct. Pour une injection de 2500 MIP l'équivalent d'un signal de 13 MIP est observé en sortie de shaper haut gain et d'un signal de 17 MIP en sortie de shaper bas gain.

### 3.10 Diaphonie digitale

La diaphonie digitale est estimée en mesurant l'effet du déclenchement d'un canal sur les voisins et la capacité de ce signal parasite à faire déclencher les voisins. Un signal d'un MIP est injecté sur tous les canaux de la puce sauf un (le canal 48 dans ce cas-là). Le signal injecté est petit afin de ne pas être perturbé par les effets de diaphonie analogique. Le seuil de déclenchement est réglé pour déclencher sur  $\frac{1}{2}$  MIP.

Les mesures montrent que la diaphonie digitale vue en sortie de canal 48 est principalement due au système utilisé pour faire la mesure (voir Figure 111). Cette diaphonie n'est pas suffisante pour faire déclencher un canal voisin avec un seuil au  $\frac{1}{2}$  MIP.



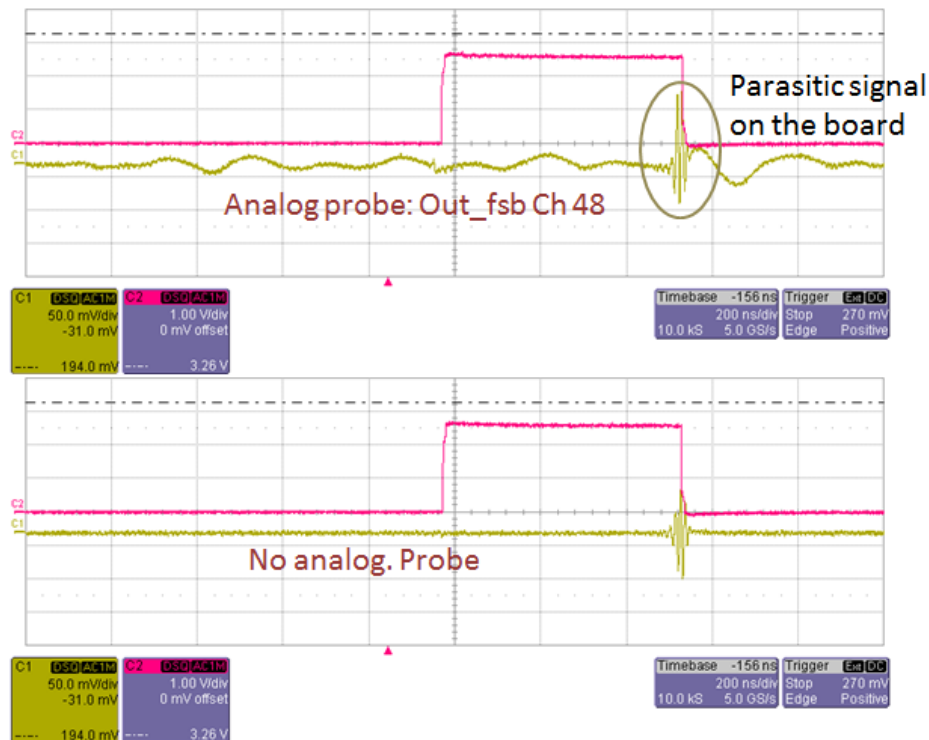


Figure 111 : Diaphonie numérique.

Cependant et comme il a été vu au moment de tracer les S-curves, cette diaphonie digitale a un impact visible sur les piédestaux. Pour rappel la Figure 112.

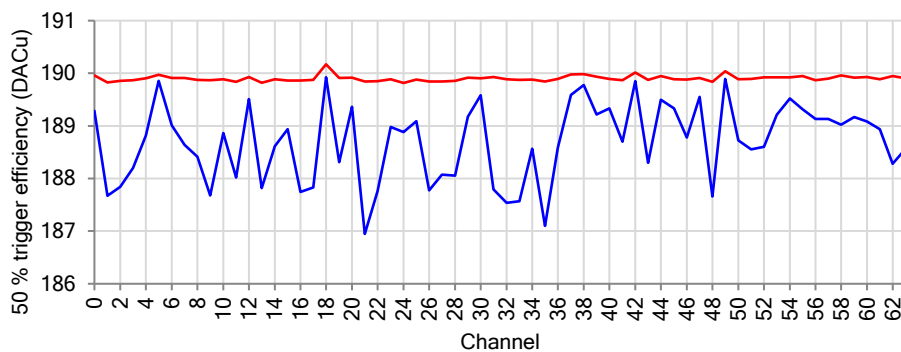


Figure 112 : Position de l'efficacité de déclenchement à 50 % sur le piédestal en fonction du canal avec les canaux masqués (bleu) ou non masqués (rouge).

Ainsi en plaçant le seuil assez loin du bruit des piédestaux, la diaphonie numérique n'a pas de conséquence sur le fonctionnement général du circuit. En revanche cette diaphonie a tout de même un effet bien visible sur les piédestaux qui empêche de mesurer et calibrer toutes les S-curves d'un coup. Il faut donc les mesurer canal par canal en masquant les autres canaux. Cela implique une calibration 64 fois plus lente.

### 3.11 Stabilité du piédestal des slow shapers

La dérive du piédestal en fonction du nombre de canaux touchés est tracé Figure 113 pour le slow shaper haut gain. La déviation maximale est de 1,2 unité ADC en sortie de slow shaper haut gain et est négligeable devant le signal d'un MIP qui est d'environ 15 à 20 unités ADC.

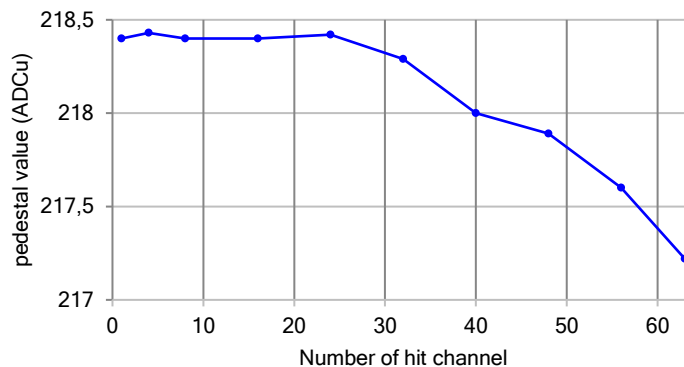


Figure 113 : Valeur du piédestal en sortie d'ADC du slow shaper haut gain en fonction du nombre de canaux déclenchant.

Cette légère « dérive » du piédestal est due à la diaphonie analogique. Quand un canal déclenche tous les autres canaux de la puce sont digitisés et la diaphonie est donc enregistrée au temps correspondant au *peaking time* des shapers. Cette dérive a une incidence négligeable sur les mesures.

## 4 Intégration dans le détecteur

Les puces ont été intégrées dans leur environnement d'utilisation sur une carte de front-end. Les cartes de front end sur lesquels sont soudés les circuits de SKIROC2 pouvaient auparavant contenir 4 circuits de SKIROC2, et dorénavant 16 circuits de SKIROC2 grâce aux packages BGA. Le fait de relier tous ces circuits ensemble pose de nouveaux problèmes en terme de diaphonie car il peut désormais y avoir de la diaphonie de puce à puce. Les cartes de front end sont appelées des slabs et ils ont pu être testé sous faisceau au fil des différentes versions [22] et un prototype technologique de calorimètre a pu être présenté [23] [24].

### 4.1 Power Pulsing

Afin de minimiser la consommation de l'ASIC, ce dernier a été dessiné afin de pouvoir être désactivé entre deux spills. Le chip sera donc allumé pendant le temps d'un spill et éteint le reste du temps. Ce comportement est appelé « power pulsing ».

Une des difficultés dans la gestion du power pulsing est la capacité de la puce à se polariser rapidement après un redémarrage. Les capacités de découplage externes sur les références en tension et sur les bias doivent être supprimées ou réduites afin d'assurer un temps de démarrage le plus court possible pour optimiser la consommation moyenne de la puce. Cette réduction des capacités de découplage ne doit pas dégrader les performances en bruit, la stabilité ou les performances en diaphonie de la puce.

Les mesures ont été faites sur carte de test et sur la carte de front-end du détecteur. Les capacités de découplage sur les références de tension ( $V_{ref}$ ) ont été optimisées. Le temps de

démarrage a été mesuré avec différentes valeurs de capacité sur les  $V_{ref}$ . Le temps de stabilisation à 1 % des références a été mesuré sans capacité de découplage, avec 1 nF de découplage sur toutes les références, et a ensuite été optimisé pour avoir un temps de démarrage d'environ 100  $\mu$ s. Ce temps correspond au temps de stabilisation de la référence la plus lente sans capacité de découplage (la référence limitante est vref1\_fs).

Position FEV8_CIP	Name	$V_{sim}$	$V_{meas}$	PP stabilization time 0 F	PP stabilization time 1 nF	Decoupling capacitor for 100 us power-on time
1 pin72	vg_pa	1.2	1.17	40 us	80 us	1 nF
2 pin74	va_pa	1.25	1.21	40 us	80 us	1 nF
3 pin77	v_bg	2.516	2.51	30 us	30 us	10 nF
4 pin81	vref_ss1	1.006	0.98	40 us	100us	1 nF
5 pin82	vref1_ss10	1.006	0.98	40 us	100/120 us	1 nF
6 pin83	vref2_ss10	1.006	0.98	40 us	100/120 us	1 nF
7 pin84	iref_dac	1.887	1.86	40 us	700 us	100 pF
8 pin86	vref_dac	0.838	0.83	40 us	700 us	100 pF
9 pin87	vref1_fs	1.256	1.22	90 us	120/140 us	680 pF
10 pin88	vref2_fs	1.005	0.98	40 us	160/180 us	680 pF
13 pin104	VTH0	var	var	40 us	160 us	680 pF
16 pin112	VTH1	var	var	50 us	700 us	100 pF

Tableau 7 : Optimisation des capacités de découplage sur les références de tension.

Les références VTH0 et VTH1 sont variables comme précisé dans le tableau. Sur les cartes de front-end actuelles il n'y a aucune capacité de découplages sur les références pour limiter l'occupation de l'espace par celles-ci. De plus il a été montré que les capacités de découplages sur les références n'amélioreraient au final pas les performances en bruit des circuits.

## 4.2 Plane events

Durant les phases de test faisceau utilisant les cartes de front-end contenant 4 puces de SKIROC2, des évènements étranges baptisés « *plane events* » ont été observés. Il arrivait que tous les canaux de toutes les puces de SKIROC2 déclenchent en même temps, parfois plusieurs fois de suite, sans aucune raison apparente.

Cet effet est dû au grand nombre de canaux dans chaque puce et à toute l'activité numérique de tous les circuits réunis, qui polluent l'alimentation analogique  $V_{DDA}$  du préamplificateur. Du fait de l'architecture en source commune PMOS du préamplificateur, l'alimentation  $V_{DDA}$  est vue comme une entrée positive et tout signal parasite sur cette alimentation est vu comme un signal entrant. Ce type d'architecture a été utilisé pendant de nombreuses années dans les préamplificateurs de charge et a été largement éprouvé au fil des années, mais du fait de la complexité du détecteur final, avec des millions de canaux et une alimentation non idéale, ce genre d'architecture montre ses limites. Le problème des *plane events* peut être résolu en ajoutant de grandes capacités de découplage sur l'alimentation  $V_{DDA}$  dédiée à l'alimentation du premier étage du préamplificateur mais cette solution n'est pas acceptable en tant que solution définitive.

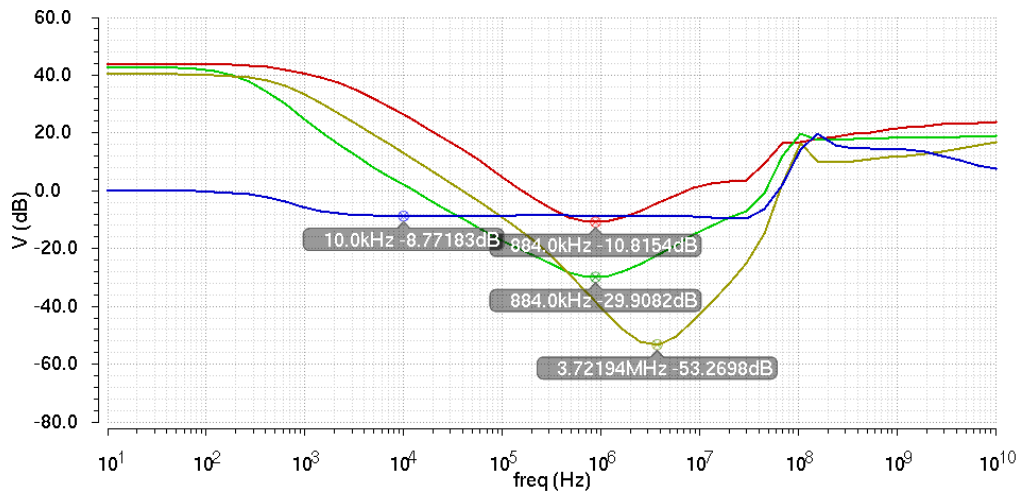


Figure 114 : Diagrammes de Bode de la réjection d'alimentation vue en sortie des différents blocs analogiques de SKIROC2 d'après simulation. Bleu : Préalimentateur, rouge : slow shaper gain 1, vert : slow shaper gain 10, jaune : fast shaper.

La Figure 114 donne les résultats de simulation de gain du bruit venant de l'alimentation  $V_{DDA}$  au niveau du préamplificateur, des deux slow shapers et du fast shaper. Pour un signal parasite d'une fréquence de 3,7 MHz sur l'alimentation ce signal sera amplifié par 460 en sortie de fast shaper. L'analyse en fréquence du circuit en injectant sur l'alimentation donne les mêmes résultats que l'analyse en fréquence du circuit en boucle fermée, ce qui prouve bien que l'alimentation est vue comme une entrée.

La solution à long terme pour éviter ces problèmes de *plane events* sur SKIROC2 doit être réalisée au niveau de la carte front end. Elle consiste à remplacer les plans de masse par des plans de  $V_{DDA}$ , le signal entrant est ainsi couplé à  $V_{DDA}$  au lieu d'être couplé à la masse. Le comportement différentiel à l'entrée du chip est alors favorable à l'annulation du bruit sur  $V_{DDA}$  (voir Figure 115).

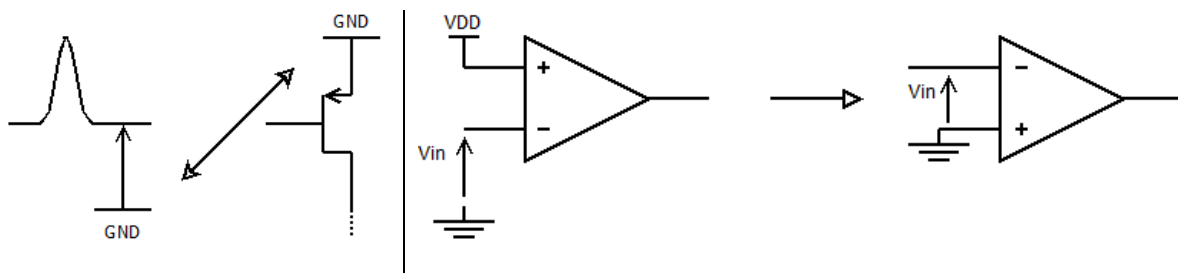


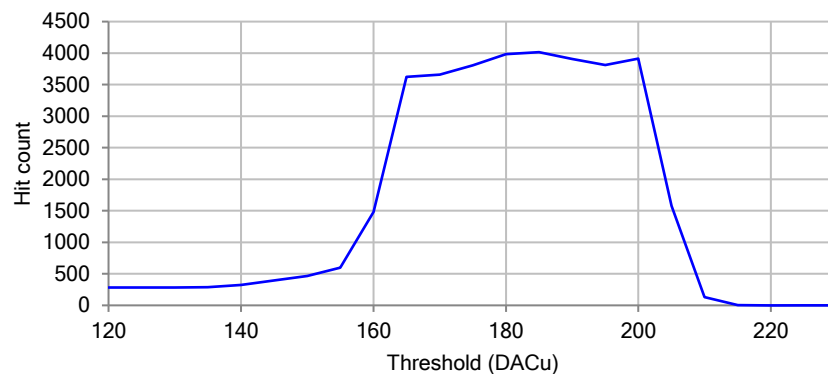
Figure 115 : Résoudre le problème de *plane events* au niveau système.

### 4.3 Efficacité de déclenchement sur carte front-end

Les efficacités de déclenchement sur la carte de front end développée pour le détecteur sont bien plus longues à faire que sur carte de test. Sur carte de test la lecture du trigger se faisait grâce au OR des triggers, relu directement en entrée de FPGA. Dans le cas de la carte de front end, il faut relire les données numériques des 16 ASIC et lire le bit de « hit », qui donne l'information du trigger. Un bit à 1 signifie que le canal a déclenché, un bit à 0 signifie que la conversion a été déclenchée par un autre canal. Ainsi sur carte de test il était possible de mesurer les efficacités de déclenchement avec une fréquence de mesure allant jusqu'à 10 kHz (10000 mesures pas seconde) avec des fenêtres d'acquisition de 100  $\mu$ s et un temps de repos de 100  $\mu$ s. Sur carte de front end la lecture des données

des 16 ASIC peut mettre plusieurs centaines de millisecondes pour se faire. Ainsi, même avec des fenêtres d'acquisition de  $100 \mu\text{s}$  il n'est pas possible de faire plus de 4 acquisitions par seconde car le temps de repos doit être suffisant pour faire la lecture des données. Les courbes sont donc plus lente à tracer d'un facteur 1000 environ.

SKIROC2 a une profondeur de mémoire de 15 événements, ce qui veut dire que lors de l'ouverture d'une fenêtre d'acquisition, il n'est possible de mémoriser que jusqu'à 15 événements. La Figure 116 a été tracée grâce aux données de mesure avec  $C_f = 1,2 \text{ pF}$  et 283 fenêtres d'acquisition de  $700 \mu\text{s}$  chacune. La valeur maximale de hits mémorisables est donc  $283 \times 15 = 4245$ . Les résultats sont tracés canal par canal en masquant tous les canaux non-lus.

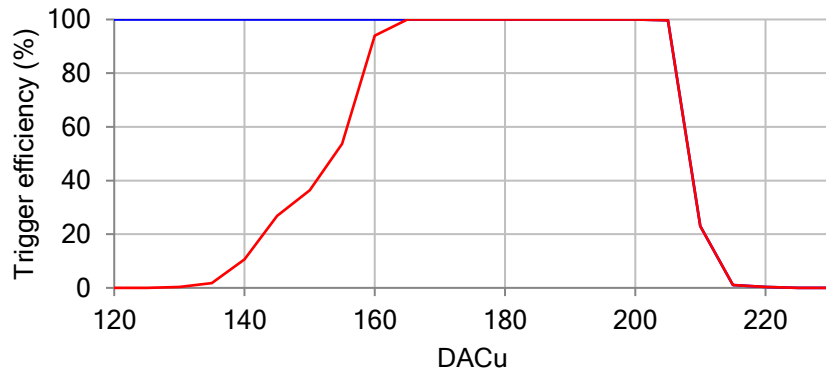


**Figure 116 : Mesure de l'efficacité de déclenchement du piédestal du canal 0 faite sur carte front end. En abscisse se trouve comme habituellement la valeur du seuil de déclenchement en unité de DAC. En ordonnée se trouve la somme des hits lus lors des 283 acquisitions par valeur de seuil.**

La mesure pour les valeurs de seuil inférieures au piédestal ne redescend jamais à 0 car lors de l'ouverture de la fenêtre d'acquisition, au moins 1 hit est compté, le piédestal du fast shaper étant par défaut au-dessus du seuil de déclenchement. Ainsi le niveau de base pour les valeurs de seuil basses est égal au nombre de fenêtres d'acquisitions, ici 283.

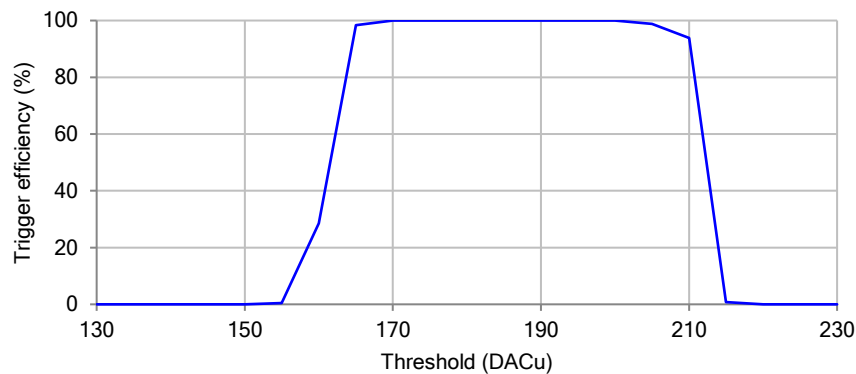
La Figure 117 reprend les données de la Figure 116 en les mettant en forme de la même manière que lors de l'utilisation de SKIROC2 sur carte de test. S'il y a au moins un hit par fenêtre d'acquisition on compte 1. Cette façon de faire réalise en quelque sorte un « zoom » sur la base de la gaussienne tronquée visible Figure 116. Les mesures ont été traitées de 2 manières :

- En relisant tous les hits ;
- En supprimant le premier hit pour les valeurs de seuil sous le piédestal afin de s'affranchir du trigger par défaut à l'ouverture de la fenêtre.



**Figure 117 : Mesures de l'efficacité de déclenchement du piédestal réalisées sur la carte de front-end du détecteur en relisant tous les hits (bleu) et en supprimant les hits factices pour les seuils inférieurs au piédestal (rouge).**

Une trainée de hits est visible pour les valeurs de seuil en dessous du piédestal même en supprimant les hits factices. Cet effet est dû au power-pulsing. Lorsque la puce est réalimentée après coupure, il faut un certain temps pour que les niveaux de polarisation reviennent. Ce temps avait été mesuré comme étant de 100  $\mu$ s pour un temps d'établissement au pourcent. Il y a cependant un effet de charge très lent après cet établissement et c'est cela qui crée la trainée sur les mesures. Le temps d'attente entre la réalimentation et le début des mesures est de 1,4 ms pour les mesures faites ici. En traçant la même courbe dans le cas d'une alimentation continue, l'effet disparaît comme le montre la Figure 118.



**Figure 118 : Mesures de l'efficacité de déclenchement du piédestal sur carte front-end dans le cas d'une alimentation continue.**

Cette façon de faire place les mesures sur carte de front end dans la même configuration que les mesures sur carte de test. Malheureusement l'alimentation continue n'est pas viable pour tracer les courbes car le détecteur chauffe trop.

Les mesures sur carte de test montrent qu'il n'y a pas de diaphonie entre puces. En effet la récupération des données pour des mesures faites sur toutes les puces en même temps ne montre aucune différence avec les mesures faites sur une seule puce en masquant les autres. Le problème de sensibilité à l'alimentation a été maîtrisé grâce à des capacités de découplage sur les alimentations. En ce qui concerne l'effet du masquage des voies au sein d'une puce, le fait de ne pas masquer crée un rebond sur la redescente des courbes comme visible Figure 119. C'est cet effet qui, traité à la « manière Omega », a tendance à montrer toutes les courbes bien alignées.

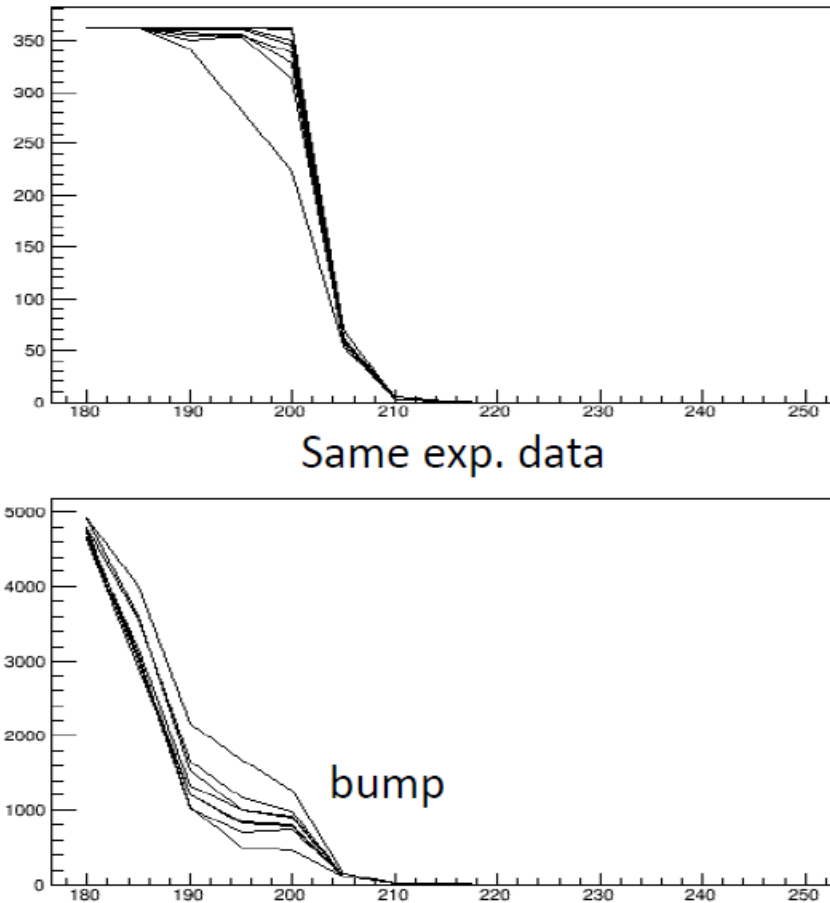


Figure 119 : Données de mesures des S-curves traitées à la manière Omega (haut) ou à la manière LLR (bas).

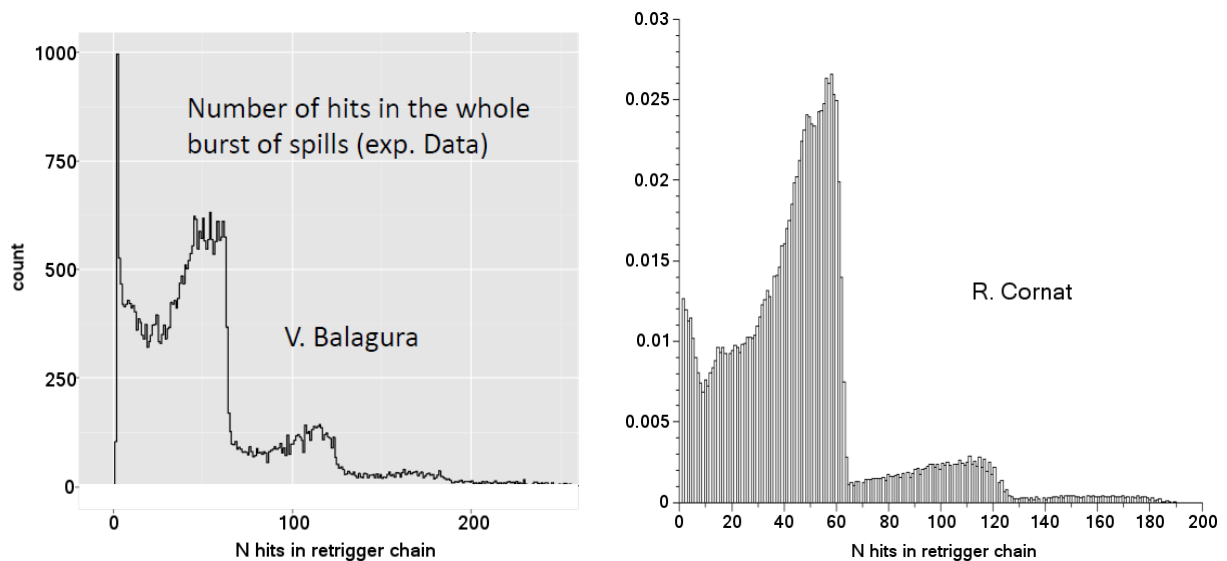
Ainsi pour avoir une régression pertinente, il reste important de masquer les canaux et de tracer les efficacités de déclenchement unes à unes.

#### 4.4 Diaphonies et re-déclenchement

Dans SKIROC2, les évènements sont enregistrés sur toutes les voies en même temps lorsqu'une seule d'entre elle déclenche. La mémoire analogique a une capacité de 15 évènements. Il peut arriver qu'un seul déclenchement conduise à deux mémorisations analogiques. Ce comportement est bien connu et maîtrisé et est dû à la manière de mémoriser. Cet évènement de double mémorisation est appelé BCID+1. Le BCID pour *Bunch Crossing IDentification* sert à classer les évènements. Ainsi tous les évènements enregistrés dans la colonne 0 de la mémoire sont identifiés comme des BCID0. Les évènements de la colonne 1 sont identifiés BCID1, etc. Ainsi un évènement de BCID+1 enregistrera un évènement dans la colonne n et un autre la colonne n+1 de la mémoire, les deux étant dus à un déclenchement unique, la cause à un problème de synchronisation entre une horloge appelée *slow clock*, servant à marquer les BCID, et le trigger. Si le déclenchement se fait juste avant le front l'horloge de la slow clock, le hit sera enregistré dans le BCIDn mais la valeur de la charge correspondant à ce hit sera enregistrée dans le BCIDn+1.

Les BCID+n sont plus compliqués à appréhender. Il arrive lors d'un déclenchement que le canal redéclenche sur du bruit causé par lui-même et s'auto-alimente un certain temps. Les effets de

ces redéclenchements ont été mesurés et modélisés en même temps que les effets de la diaphonie entre canaux. Il est ainsi obtenu les graphiques Figure 120.



**Figure 120 : effet de la diaphonie et du redéclenchement d'après la mesure (gauche) et la modélisation (droite).**

Un comportement idéal montrerait une décroissance exponentielle du nombre de hits lors d'un spill. En effet la probabilité de déclencher sur le bruit une et une seule fois est supérieure à la probabilité de déclencher deux fois. Ainsi de suite pour 3, 4, 5 etc. déclenchements dans un spill. Cependant en prenant en compte la diaphonie, plus le nombre de canaux déclenchant est grand, plus les chances de déclencher sur du bruit de diaphonie est grand. Ainsi passé un certain seuil, le nombre de hits augmente jusqu'à atteindre 64, le nombre de canaux dans la puce. La modélisation est faite en partant des hypothèses suivantes :

- Le point de départ est une distribution normale de hits ;
- Tous les canaux sont indépendants ;
- Chaque canal a une forte chance de déclencher si ce n'est pas déjà fait ;
- Un canal ayant déjà déclenché a une chance plus faible de déclencher une seconde fois ;
- Le déclenchement s'arrête une fois proche du maximum.

Ces hypothèses assument que la puce a un « effet mémoire » : le comportement d'un canal face au déclenchement est différent s'il a déjà déclenché. Cet effet s'observe également en sortie de mesure de charge. Un exemple avec la Figure 121.



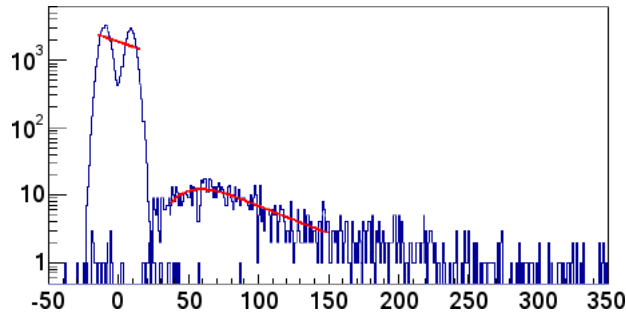


Figure 121 : dédoublement du piédestal en fonction de l'état du canal (déjà déclenché ou non) et mesure d'un MIP.

Il est observé deux piédestaux. Celui de droite est le piédestal mesuré lorsque le canal n'a encore jamais déclenché lors du spill. Celui de gauche au contraire est mesuré lorsque le canal a déjà déclenché. Cet effet mémoire n'est pas encore compris au moment où sont écrites ces lignes et est l'objet d'investigations, notamment par Vladik Balagura au LLR. Après power pulsing cet effet est réinitialisé.

## 5 Conclusion

Les performances de SKIROC2 sont comparables à celles obtenues en simulation, il n'y a pas de mauvaises surprises relatives à la fonderie. La partie la plus critique est la résolution des plane events, dus à la diaphonie par l'alimentation. Ce problème de sensibilité à l'alimentation était connu dès la phase de design, la structure du préamplificateur est bien connue et largement utilisée dans les circuits de lecture de détecteurs pour la physique des particules. L'idée était de protéger l'alimentation du préamplificateur au maximum dans l'environnement de détecteur mais l'expérience montre que cela passe par des capacités de découplage de dimensions déraisonnables quand l'objectif est d'avoir une résolution transversale la plus grande possible et donc des couches de détection les plus fines possibles.

Une solution serait, dans un futur design, de changer l'architecture de l'étage d'entrée afin de le rendre moins sensible au  $V_{DD}$ . Un blindage de la partie analogique pure vis-à-vis des parties mixtes et numériques serait également une bonne chose pour éviter toute diaphonie qui viendrait perturber le comportement des déclenchements sur le piédestal et du niveau de bruit en sortie des shaper en présence d'activité digitale d'une manière générale.

# III. Développement des buildings blocks dans la technologie XT018

---

Bien qu'ayant réalisé seul tous les développements présentés dans ce chapitre, je tiens à remercier les ingénieurs du laboratoire Omega ainsi que Salleh Ahmad, ingénieur à Weeroc, qui m'ont aidé pour le routage au pad de la puce et qui ont réalisé le cœur digital et les amplificateurs des sondes analogiques ainsi que le receveur et le transmetteur des signaux LVDS.

## 1 Choix de la technologie

Une nouvelle technologie a été considérée pour le design d'une puce susceptible de succéder à SKIROC2. En effet la technologie d'AMS 0,35 est vieillissante (sortie en open-foundry début 2000) et la plupart des micro-électroniciens de l'IN2P3 cherchent à la remplacer.

Plusieurs éléments ont été pris en compte lors du choix de cette technologie :

- Le prix ;
- La pérennité ;
- La finesse de gravure ;
- Le nombre de couches de métaux ;
- Le SOI (Silicon On Insulator).

Le prix et la pérennité de la technologie sont des considérations qui se font au niveau du laboratoire et de l'entreprise mais qui n'ont pas d'impact direct au niveau R&D. La finesse de gravure, le nombre de couches de métaux et le fait que la technologie soit SOI ou non ont en revanche leur importance.

Dans la technologie d'AMS utilisée pour SKIROC2 la finesse de gravure était de 350 nm contre 180 nm dans cette technologie. Cela signifie que la surface occupée par les blocs sera en théorie 4 fois plus faible, ce qui a une influence sur le prix, mais cela signifie aussi et surtout que la tension d'alimentation maximale sera réduite pour ne pas griller les transistors, plus fins donc plus fragiles. Concrètement la tension d'alimentation passe de 3,3 V à 1,8 V nominal. A noter que cette réduction d'un facteur 4 ne s'applique qu'aux transistors mais pas nécessairement aux résistances et surtout aux capacités. Les capacités représentant la majorité de la surface de silicium utilisé et ces dernières ne subissant que très peu la réduction d'échelle, le gain de place n'est pas aussi important qu'un facteur quatre. Le gain sur la partie numérique, composée quasi-exclusivement de transistors, est bien réel cependant.

Un autre gros avantage de cette technologie pour la partie numérique est le nombre de couches de métaux. Cela permet une meilleure intégration, plus compacte, et un routage des signaux simplifié au sein du cœur numérique. Dans la technologie d'AMS seulement 4 couches de métaux étaient disponibles, ce qui posait certaines contraintes au niveau du développement digital. Dans un circuit réalisé par Weeroc en utilisant cette technologie, appelé TRIROC, le cœur digital a dû être

scindé en 4 cœurs plus petits. La puce était un circuit 64 voies mais le cœur digital ne pouvait que gérer 16 voies sinon il devenait trop complexe. La partie numérique comporte donc un « top manager » et 4 cœurs de 16 voies.

La technologie AMS est une technologie sur substrat classique. La technologie xt018 d'X-FAB est une technologie SOI, ce qui signifie que les substrats des différents blocs peuvent être isolés les uns des autres. Ceci permet d'éviter les couplages par le substrat, notamment les couplages numérique vers analogique.

Tous les arguments en faveur de la technologie d'X-FAB s'adressent surtout à la partie numérique de la puce. C'est dans l'ordre des choses, l'évolution des circuits de lecture faisant que le numérique occupe une place de plus en plus importante au sein de ceux-ci. Pour cela une technologie SOI avec les substrats isolés est vraiment intéressante pour ne pas que les performances de la partie analogique, particulièrement critique, ne soit complètement perturbées par une partie numérique injectant trop de bruit dans le substrat.

Les ingénieurs m'entourant n'ayant pas l'habitude de travailler avec des technologies SOI, je me suis aidé durant le développement d'un ouvrage traitant du sujet nommé « *SOI Design : Analog, Memory and Digital Techniques* » [25].

## 2 Présentation du circuit

Comme précisé dans le titre du chapitre il n'a pas été question ici de créer un circuit complet et final, prêt à être utilisé sur détecteur. Des building blocks ont été réalisés et assemblés en tant que canal de lecture complet. Le circuit final comporte 3 types de canaux de lecture, de 8 voies chacun. La seule différence entre les 3 types de canaux est le type design du préamplificateur de charge. L'architecture d'un canal de lecture est la même que pour SKIROC2 (voir Figure 122). Pour rappel, une charge entrante est convertie en échelon de tension à travers le préamplificateur de charge. Cet échelon de tension est filtré à travers 3 filtres passe-bande en parallèle à la sortie du préamplificateur. Un de ces filtres, appelé fast shaper, aura une fréquence centrale plus élevée que les deux autres. Ce fast shaper est utilisé pour déclencher sur le signal entrant : il est rapide et a un gain élevé. Ici le gain est dit de 100, en réalité il est de  $100 \times e^1$ , pour qu'un échelon d'amplitude 1 donne un signal en sortie de fast shaper d'amplitude 100. Un discriminateur en sortie de fast shaper sert au déclenchement. Les shapers « lents » sont utilisés pour la mesure de charge. Ils ont la même fréquence centrale mais ont des gains différents. L'un, bas gain, sera utilisé pour la mesure de charge de la pleine gamme dynamique, l'autre, haut gain, servira à avoir une meilleure résolution de la mesure de charge pour les faibles signaux. Des cellules de track & hold servent de mémoire analogique en attendant que le signal de conversion de l'analogique vers le numérique soit donné. Ce signal n'est pas généré en interne, il vient de l'extérieur et démarre la rampe de l'ADC wilkinson. Le cœur numérique n'est qu'en fait une série de compteurs pour l'ADC Wilkinson et de mémoires digitales pour le stockage des données converties. Tous les signaux de contrôle, les horloges, les remises à zéro, sont fournies par l'extérieur.

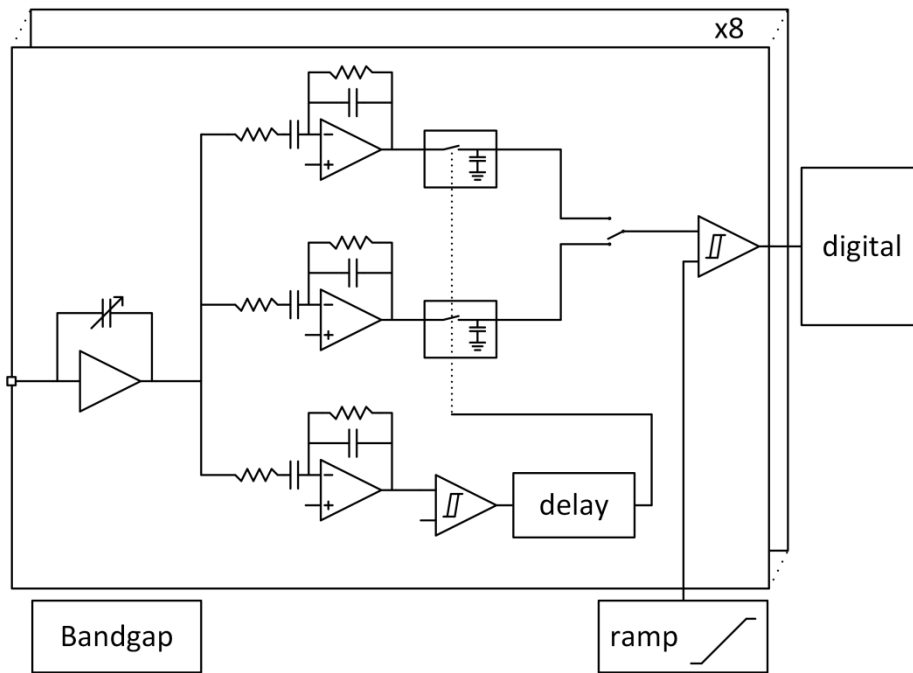


Figure 122 : architecture du circuit dessiné en technologie xt018. Il y a 3x8 canaux de lectures dans la puce.

### 3 Préamplificateur

3 différentes architectures de préamplificateur ont été étudiées pendant cette phase de développement. La technologie étant nouvelle, ceci permettra de comparer les performances de chacun vis-à-vis des autres, notamment pour ce qui concerne la réjection du bruit d'alimentation, et comparer les résultats de mesure avec ceux de la simulation. Ce travail aidera à mieux comprendre et utiliser cette technologie. 3 différentes architectures de contre-réaction seront également étudiées, notamment la contre-réaction résistive.

#### 3.1 PACSP

PACSP est l'acronyme pour *PreAmplifier Common Source Pmos* (Schéma Figure 123). Il est basé sur la structure classique d'amplificateur utilisée pour les préamplificateurs de charge introduite par Radeka [26] et utilisée dans SKIROC2. L'architecture en source commune est largement utilisée dans les circuits de lecture [27] [28] [29] [30]. Le principal inconvénient de cette structure est sa réjection du bruit d'alimentation.

En effet sur un montage source commune comme celui du préamplificateur de SKIROC2, le bruit sur la source du transistor est vu comme un signal sur une entrée positive (voir Figure 124). Pour cela une attention particulière doit être portée sur cette alimentation. Elle doit être séparée de toutes les autres alimentations jusqu'à la sortie de la puce, avoir une patte dédiée sur le packaging et être bien découplée une fois soudée sur le PCB. Il faut également faire bien attention au routage de cette alimentation sur le PCB et ne pas la faire passer à proximité de signaux digitaux pour éviter au maximum tout risque de diaphonie.

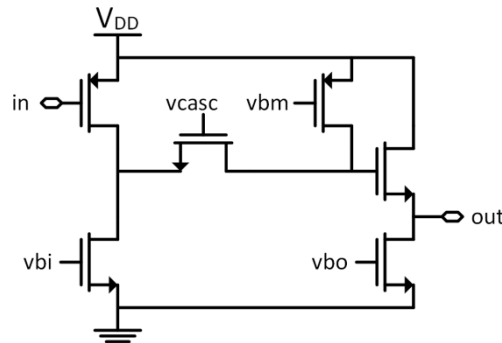


Figure 123: Schéma de l'amplificateur du PACSP.

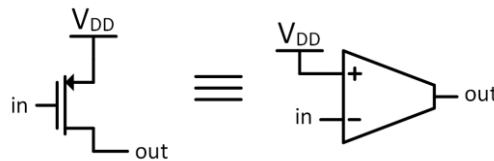


Figure 124 : Effet du bruit d'alimentation dans le cas d'un montage source commune Pmos.

Le transistor utilisé comme suiveur de tension en sortie de la source commune est un transistor « natif », ayant une tension de seuil proche de 0 V, afin d'éviter de perdre sur la gamme dynamique. La tension d'alimentation de cette technologie étant de 1,8 V, perdre l'équivalent de la tension de seuil d'un transistor standard sur l'étage de sortie (environ 600 mV) fait perdre un tiers de l'excursion en tension maximale sur la sortie.

Un montage cascode replié est utilisé pour augmenter le gain de boucle ouverte de cet amplificateur. Le montage cascode replié est utilisé plutôt qu'un montage cascode standard car utiliser un cascode standard placerait trop bas le point de polarisation en sortie du premier étage de gain. Le montage en boucle fermée est indiqué Figure 125, La capacité de contre-réaction  $C_f$  est réglable de 0,5 à 7,5 pF et  $R_f$  vaut 2 M $\Omega$ .

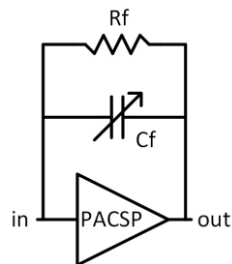


Figure 125 : Schéma en boucle fermée du PACSP.

Ici la contre-réaction résistive est la plus simple possible. La résistance de contre-réaction est relativement faible afin de pouvoir accepter un courant de fuite de quelques dizaines de nano-ampères sans trop de perte sur la gamme dynamique. Contrairement à SKIROC2 le montage ne nécessite aucun courant de fuite pour polariser la sortie.

### 3.2 PACSN

PACSN est l'acronyme pour *PreAmplifier Common Source Nmos*. Le principe est similaire à celui de l'amplificateur en PMOS mais l'avantage du NMOS est que sa source est reliée à la masse

plutôt qu'au  $V_{DD}$ . La masse est généralement bien moins bruyante que le  $V_{DD}$  du fait que ce soit le potentiel de référence de tout le circuit. Cela permet d'être non pas moins sensible à l'alimentation mais dans un cas plus favorable vis-à-vis de cette source de bruit potentielle. Cette structure n'est pas exploitable si l'on utilise une technologie sur substrat car tout le bruit du substrat est injecté dans le transistor à travers le substrat et les performances en bruit sont donc potentiellement mauvaises. Dans le cas de l'utilisation d'une technologie SOI, les bulks des transistors sont isolés les uns des autres et le problème est donc résolu. Ce genre d'architecture est utilisable dans les technologies non-SOI si la technologie permet le triple-well, ce qui permet d'isoler le bulk du transistor d'entrée également.

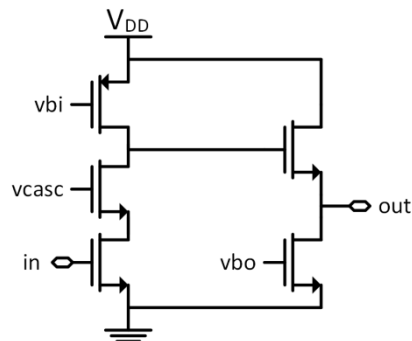


Figure 126 : Schéma de l'amplificateur du PACSN.

Le montage en boucle fermée est indiqué Figure 127

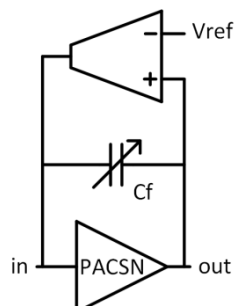


Figure 127 : Schéma en boucle fermée du PACSN.

La capacité de contre-réaction est réglable de 0,5 pF à 7,5 pF. Ici la résistance de contre-réaction est remplacée par un OTA ayant une bande passante très faible. Seuls les signaux de très basse fréquence sont transmis et le comportement se rapproche donc de celui d'une grande résistance. Un OTA est utilisé dans ce cas plutôt qu'une simple résistance afin de polariser correctement la sortie du préamplificateur. En effet le signal de sortie étant négatif, un point de polarisation de sortie le plus haut possible est nécessaire, mais la tension continue à l'entrée doit être suffisamment basse pour pouvoir polariser correctement l'étage d'entrée. Le point de sortie est donc fixé grâce à la tension de référence de l'OTA et en rajoutant un *voltage shifter* (un suiveur de tension qui sert à créer un décalage de tension DC entre l'entrée et la sortie) à l'entrée de l'OTA, ce qui permet à l'entrée du préamplificateur de se polariser à la bonne tension. L'OTA permet aussi et surtout d'avaloir de très grands courants de fuite sans dépoler la sortie. Le courant de fuite coule dans le transistor servant de source de courant de sortie. L'inconvénient de ce montage est le fort

bruit ramené par l'OTA, bruit qui est cependant situé dans les très basses fréquences du fait de la faible bande passante du montage et qui sera donc largement filtré par les shapers.

### 3.3 PADIF

PADIF est l'acronyme de *PreAmplifier DIFFerential*. Ce préamplificateur a été réalisé afin d'avoir le meilleur PSRR possible, que le bruit vienne du  $V_{DD}$  ou de la masse. Le problème de l'amplificateur différentiel est qu'il y a deux transistors d'entrée et donc deux sources de bruit qui s'additionnent quadratiquement au lieu d'une seule. Les deux transistors ayant un bruit équivalent de par la symétrie de la structure, la contribution au bruit série des deux transistors est  $\sqrt{2}$  fois plus élevé que celui d'un montage à un seul transistor de même transconductance. L'objectif est de voir si le compromis fait sur le bruit vaut le gain sur la réjection du bruit d'alimentation, sachant qu'il sera difficile d'avoir une alimentation propre dans un détecteur à plusieurs millions de canaux de lecture.

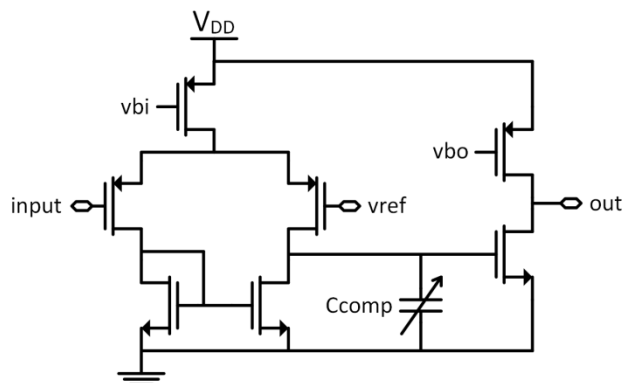


Figure 128 : Schéma de l'amplificateur du PADIF.

La paire différentielle a été choisie en PMOS afin de limiter le bruit de flicker. L'étage de sortie permet de polariser haut le point de sortie et d'avoir une excursion en tension très grande. En effet la sortie est quasiment rail-to-rail. La capacité  $C_{comp}$  réglable permet de stabiliser le montage en fonction de la capacité de contre-réaction choisie.

Le schéma en boucle fermée se trouve Figure 129.

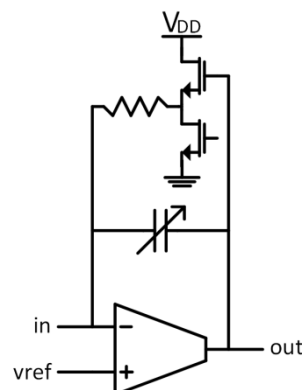


Figure 129 : Schéma du PADIF en boucle fermée.

En boucle fermée le système de capacité de contre-réaction est le même que pour le PACSN mais plutôt que d'avoir un OTA de contre-réaction, une simple résistance précédée par un suiveur en

tension sont utilisés ici. Le suiveur en tension ne sert qu'à déplacer le point de polarisation afin d'être relativement haut en sortie sans dépolariser l'entrée. La résistance utilisée fait 1 MΩ et le suiveur n'a que peu de courant afin de filtrer les hautes et moyennes fréquences. La résistance équivalente de la contre-réaction est de 2,67 MΩ et la capacité de contre réaction est réglable de 0,5 à 7,5 pF.

### 3.4 Etude en boucle ouverte

#### 3.4.1 PACSP

La simulation en fréquence de l'amplificateur en boucle ouverte avec  $C_f = 7,5$  pF donne le résultat Figure 130. Le gain est de 55,6 dB d'après simulation contre 64,2 dB pour SKIROC2, avec un pôle principal à 103 kHz contre 82,9 kHz.

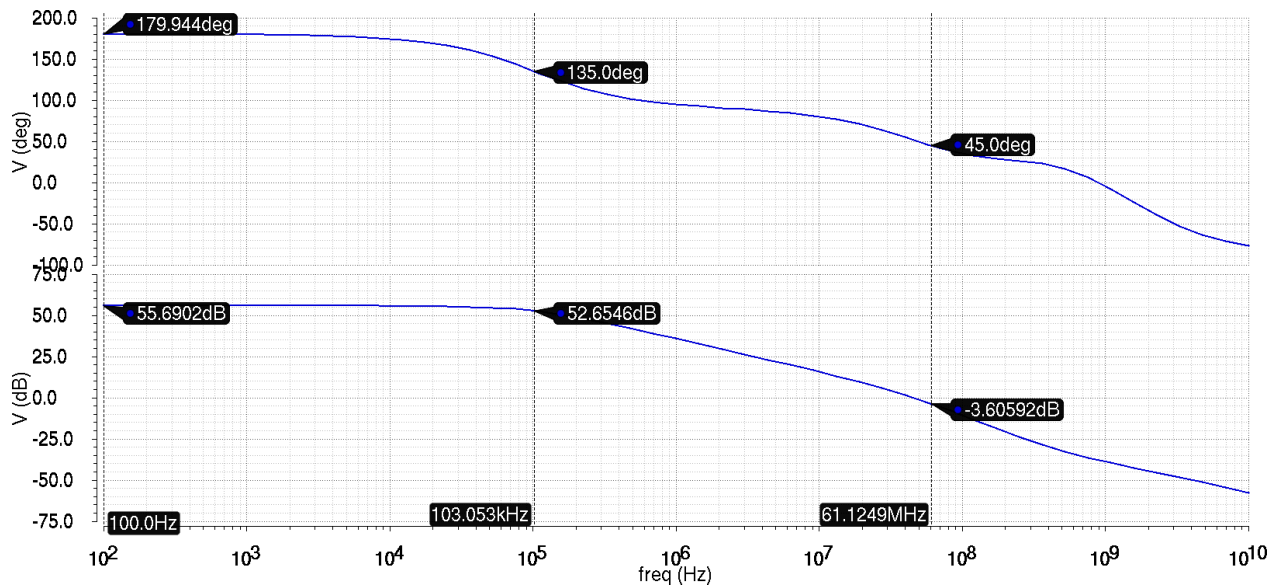


Figure 130 : Simulation de l'amplificateur du PACSP en boucle ouverte.

Le schéma Figure 131 permet de mener l'étude analytique de la boucle ouverte.

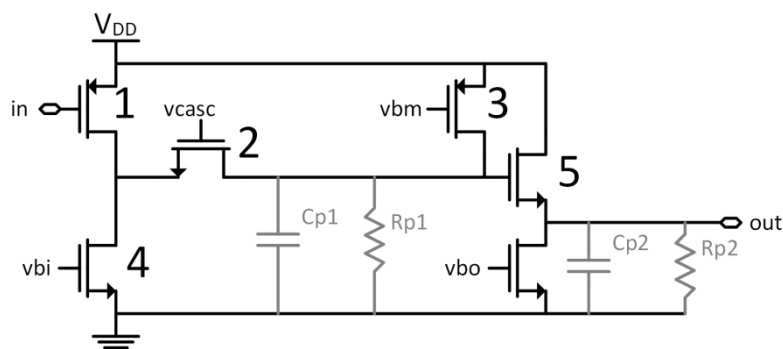


Figure 131 : Schéma de l'amplificateur du PACSP avec les résistances et capacités équivalentes de pôles.

Le pôle principal se situe à la fréquence de 103 kHz sur le diagramme de Bode. Sa position est donnée par la relation

$$\omega_{p1} = \frac{1}{R_{p1}C_{p1}} \quad (96)$$



La contre-réaction se faisant avant le suiveur en tension, la résistance équivalente  $R_{p1}$  vaut

$$R_{p1} = r_{o3} \parallel \frac{1 + \frac{g_{m2}}{(g_{ds1} + g_{ds4})}}{g_{ds2}} = 165,2 \text{ k}\Omega \quad (97)$$

De même pour  $C_{p1}$

$$C_{p1} = C_f + c_{gg5} + c_{dd3} + c_{dd2} = 9,35 \text{ pF} \quad (98)$$

Ce qui donne un pôle calculé à 103 kHz. Pour rappel, le pôle principal de SKIROC2 était situé à 94 kHz. La résistance  $R_{p1}$  étant calculée de la même manière et la capacité  $C_f$ , vue à la place de  $C_{comp}$ , étant du même ordre de grandeur dans cette étude, il n'est pas surprenant d'obtenir des valeurs très proches. Il y a également un pôle secondaire à 61 MHz qui suit la relation

$$\omega_{p2} = \frac{1}{R_{p2}C_{p2}} \quad (99)$$

Le gain en boucle ouverte est donné par

$$\frac{g_{m2}}{\left(g_{ds2} + g_{ds3} + \frac{1}{R_f}\right)} \times \frac{g_{m1}}{g_{ds1} + g_{ds4}} = 55,35 \text{ dB}$$

Le gain minimal avec une capacité de contre-réaction de 7,5 pF équivaut à un gain en tension qui dépend de la capacité détecteur en entrée suivant la relation

$$\beta = \frac{C_d}{C_f} \quad (100)$$

Ce qui, en prenant 20 pF de capacité détecteur estimée, donne un gain de 8,52 dB. En se plaçant à un gain de 8,52 dB sur le diagramme de Bode Figure 130 une marge de phase d'environ 69° est obtenue. La marge de phase dépendant du gain en boucle fermée et la fréquence de coupure dépendant de la capacité de contre-réaction utilisée, la Figure 132 montre l'évolution de la marge de phase pour 0 dB et pour le gain  $\beta$  avec  $C_d = 20$  pF. Plus le gain est élevé, plus la marge de phase est grande et plus l'amplificateur est stable.

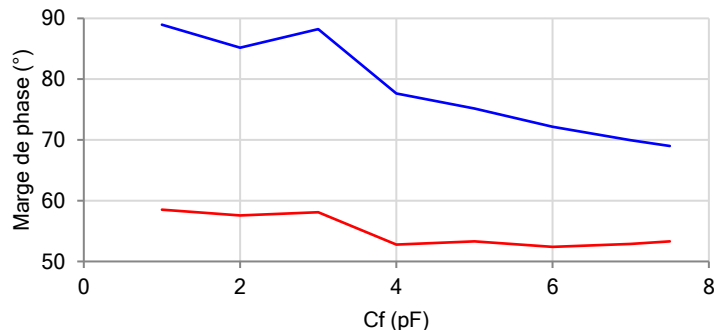


Figure 132 : Marge de phase à 0 dB (en rouge) et au gain correspondant (en bleu) de l'amplificateur du PACSP en fonction de la capacité de contre-réaction.

La courbe représentant la marge de phase à 0dB en fonction de la capacité de contre-réaction questionne car en théorie, pour des capacités de contre-réaction plus petites, le pôle principal devrait être plus grand et donc se rapprocher du pôle secondaire. La marge de phase à 0 dB devrait donc diminuer en allant vers des capacités de contre-réaction plus faibles. En ce qui concerne la courbe au gain  $\beta$ , un gain plus élevé plaçant l'amplificateur dans un cas de stabilité plus favorable et un effet en compensant un autre une variation moins importante des résultats était attendue.

Pour comprendre ce comportement il faut étudier la façon dont la capacité de contre-réaction réglable a été dessinée (Figure 133). Le principe est simple : il s'agit de capacités que l'on peut utiliser ou non pour contribuer à la contre-réaction grâce à plusieurs interrupteurs. Cependant, dans le cas de l'utilisation du PACSP, le point entre la capacité et l'interrupteur doit être à la masse quand ce dernier est ouvert car sans cela le point serait flottant et l'interrupteur pourrait se dépolariser pour des grands signaux en sortie d'amplificateur, ce qui le ferait se fermer et altérerait le bon fonctionnement du préamplificateur. La somme des capacités de contre-réaction est donc vue dans tous les cas en sortie de préamplificateur (voir Figure 133) et le pôle principal reste à la même fréquence quelle que soit la capacité de contre-réaction choisie.

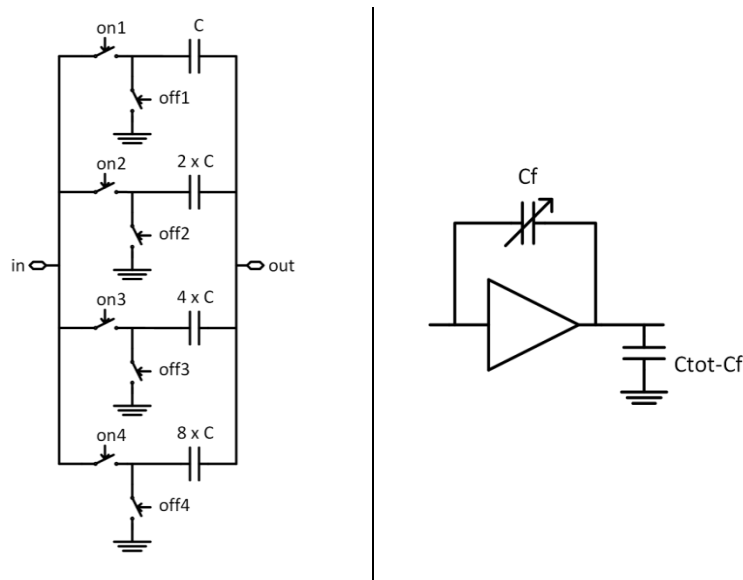


Figure 133 : Gauche – Schéma du circuit utilisé pour la capacité de contre-réaction réglable avec  $C = 500$  fF. Droite - schéma équivalent du PACSP avec capacité de contre-réaction réglable.

En utilisant une capacité de contre-réaction sans utiliser le système avec interrupteurs, le comportement attendu en changeant la valeur de  $C_f$  est retrouvé. En effet pour une capacité de contre-réaction de 0,5 pF, la fréquence de coupure est plus élevée que pour 7,5 pF. En revanche lorsque l'on utilise le système avec interrupteurs la capacité de charge équivalente est  $C_f + (C_{tot} - C_f) = C_{tot}$  et donc quelle que soit la valeur de  $C_f$  choisie, la fréquence de coupure ne bouge pas (voir Figure 134). Une augmentation du gain en boucle fermée cause donc une diminution directe de la bande passante (le Bode de la boucle ouverte restant inchangé quel que soit le gain) et le temps d'établissement de l'échelon de tension en sortie du préamplificateur est donc plus grand. La stabilité n'est cependant jamais remise en cause car les positions des pôles ne dépendent pas de la valeur de  $C_f$ .

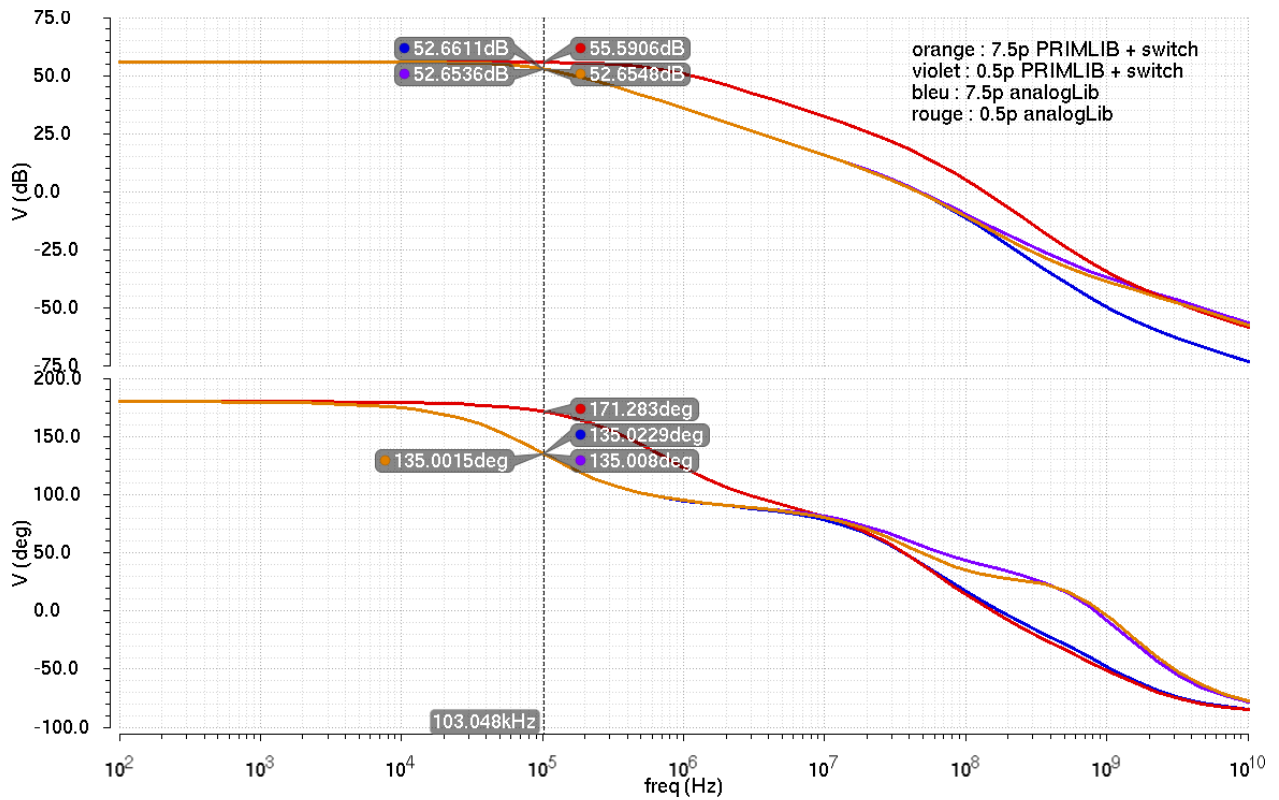


Figure 134 : Diagramme de Bode de l'ampli du pacsp en boucle ouverte avec différentes configurations de capacités de contre-réaction.

### 3.4.2 PACSN

La simulation en fréquence de l'amplificateur en boucle ouverte du PACSN pour  $C_f = 7,5$  pF donne le résultat Figure 135, avec un gain en boucle ouverte de 47 dB pour une bande passante de 451 kHz.

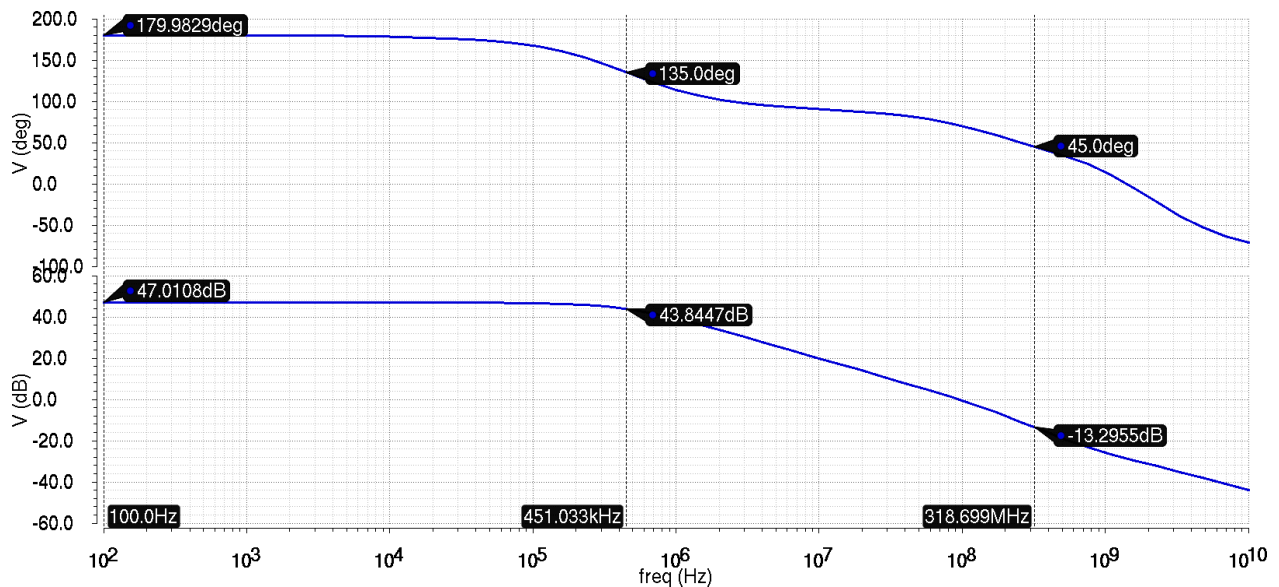


Figure 135 : Simulation de l'amplificateur du PACSN en boucle ouverte.

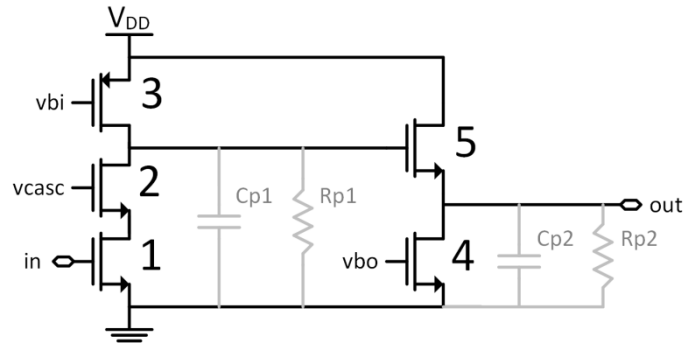


Figure 136 : Schéma de l'amplificateur du PACSN avec les résistances et capacités équivalentes de pôles.

Le pôle principal vaut

$$\omega_{p1} = \frac{1}{R_{p1}C_{p1}}$$

Avec

$$R_{p1} = [(r_{o1} + r_{o2})(1 + g_{m2}(r_{o1}||r_{o2}))]||r_{o3}||R_f = 36,8 \text{ k}\Omega$$

Et

$$C_{p1} = C_f + c_{gg5} + c_{dd2} + c_{dd3} = 10,26 \text{ pF}$$

Cela donne par le calcul une valeur de 421,5 kHz pour le pôle principal contre 451 kHz par la simulation. Il y a également un pôle secondaire à 319 MHz.

$$\omega_{p2} = \frac{1}{R_{p2}C_{p2}}$$

La marge de phase au gain de 8,5 dB ( $C_d/C_f = 20\text{pF}/7,5\text{pF}$ ) est de 84°.

Le gain en boucle ouverte est égal à la transconductance du transistor d'entrée multipliée par  $R_{p1} = 36,8\text{k}$ , ce qui donne le gain en boucle ouverte  $A_0 = 6,264\text{m} \times 36,8\text{k} = 47,25 \text{ dB}$ . La valeur de  $R_{p1}$  plus faible que dans SKIROC2 ou dans le PACSP cause donc une perte de gain et donne une plus grande bande passante en boucle ouverte.

Il est important de noter que le montage cascode sur le transistor d'entrée, même s'il permet de gagner en gain de boucle ouverte de manière à être confortable en boucle fermée, fait perdre en gamme dynamique l'équivalent de son  $V_{DS}$ .

Dans le cas du PACSN le système de capacité de contre-réaction est légèrement différent car les capacités ne sont pas tirées à la masse lorsque les interrupteurs sont fermés. Le pôle principal varie donc en fonction de  $C_f$ . Cela permet d'avoir un amplificateur plus rapide pour les grands gains. Il faut cependant vérifier que l'amplificateur reste stable quelle que soit la valeur de la capacité  $C_f$ .

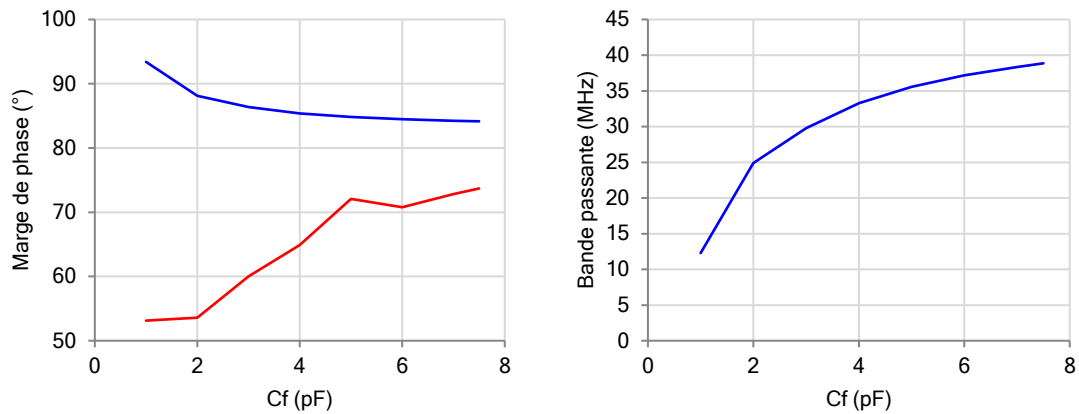


Figure 137 : Gauche : Marge de phase en fonction de  $C_f$  au gain  $C_d/C_f$  (bleu) et à 0 dB (rouge). Droite : bande passante en boucle fermée de l'amplificateur en fonction de  $C_f$ .

Sur la Figure 137 sont tracés la marge de phase à 0 dB et au gain  $C_d/C_f$  en fonction de  $C_f$ , ainsi que la bande passante de l'amplificateur en boucle fermée. La marge de phase n'est pas un problème, elle ne descend jamais en dessous de 84°. En effet l'effet de la perte de marge de phase due à la position du premier pôle est compensé par la valeur du gain en boucle fermée. La bande passante est supérieure à 12 MHz pour  $C_f$  supérieur à 1 pF et augmente même jusqu'à atteindre 38,86 Mhz pour  $C_f = 7,5$  pF.

### 3.4.3 PADIF

La simulation en fréquence de l'amplificateur en boucle ouverte pour le PADIF donne le résultat Figure 138 pour  $C_f = 7,5$  pF et  $C_{comp} = 7,5$  pF.

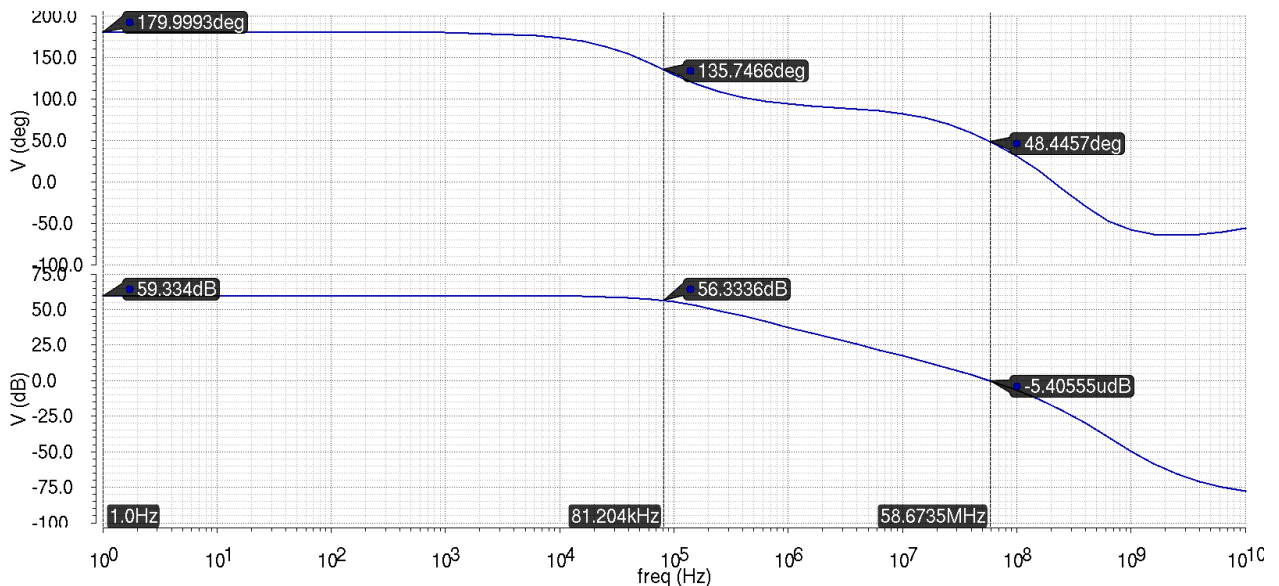


Figure 138 : Simulation de l'amplificateur du PADIF en boucle ouverte.

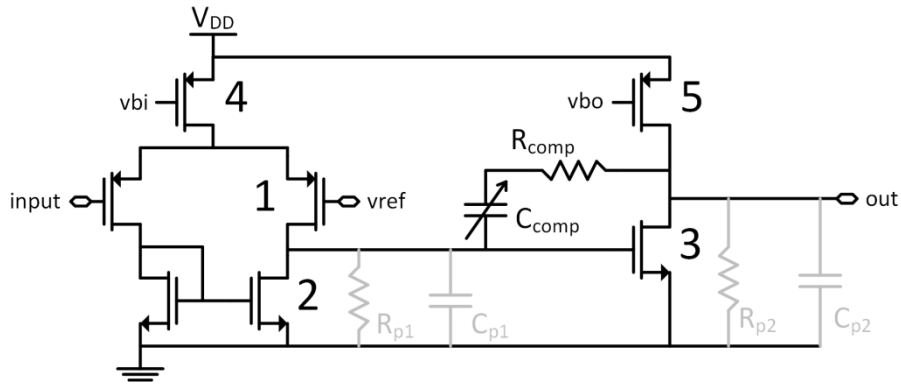


Figure 139 : Schéma de l'amplificateur du PADIF avec les résistances et capacités équivalentes de pôles.

Le pôle principal est calculé pour une valeur de  $C_{comp} = 7,5 \text{ pF}$

$$\omega_{p1} = \frac{1}{R_{p1}(C_{p1} + g_{m3}R_{p2}C_{comp})} = \frac{1}{27,38k(2p + 3,44m \times 2,76k \times 7,5p)} = 498,9 \text{ krad/s}$$

$$f_{p1} = \frac{\omega_{p1}}{2\pi} = 79,4 \text{ kHz}$$

Il y a également un pôle secondaire à 57,63 MHz.

$$\omega_{p2} = \frac{g_{m3}}{C_{p1} + C_{p2}} = \frac{3,44m}{2p + 7,5p} = 362,1 \text{ Mrad/s}$$

$$f_{p2} = \frac{\omega_{p2}}{2\pi} = 57,63 \text{ MHz}$$

Le gain en boucle ouverte est calculé à 60,9 dB contre 59,3 dB en simulation.

$$A_0 = g_{m1}R_{p1}g_{m3}R_{p2} = 4,25m \times 27,38k \times 3,44m \times 2,76k = 1105 = 60,9 \text{ dB}$$

En simulant l'amplificateur dans son environnement complet un pôle-zéro aux alentours de  $10^3 \text{ Hz}$  est observé, ce qui entraîne une perte de 20 dB sur le gain de boucle ouverte dans les moyennes fréquences.

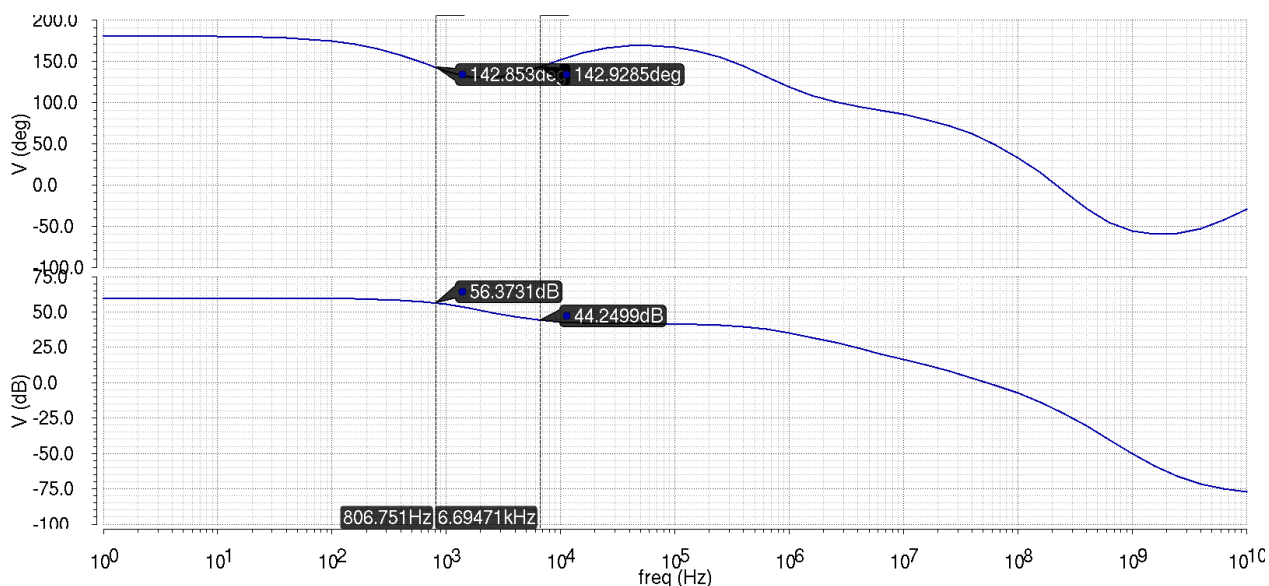


Figure 140 : Simulation de l'amplificateur du PADIF en boucle ouverte dans son environnement.

Ce pôle-zéro est amené par le filtre RC présent sur l'entrée *vref* de l'amplificateur. Ce filtre sert à couper le bruit venant de la référence de tension. En effet, comme dans le cas du bruit d'alimentation pour les montages source commune, le bruit sur la référence de tension de l'amplificateur est vu comme un signal d'entrée et doit absolument être minimisé. Le filtrage du bruit venant de la référence de tension est donc un impératif.

Cette perte de gain n'est pas si gênante car le gain de boucle ouverte reste bien supérieur au gain de boucle fermée. Le gain en tension maximal en boucle fermée est de 32 dB pour  $C_d = 20$  pF et  $C_f = 0,5$  pF mais n'a pas vocation à être utilisé.

Afin d'assurer la stabilité de l'amplificateur quelle que soit la capacité de contre-réaction, la capacité de compensation  $C_{comp}$  a été choisi comme étant égale à  $C_f$  quel que soit  $C_f$ . En traçant la marge de phase et la bande passante en boucle fermée du montage en fonction de  $C_f$  on obtient la Figure 141.

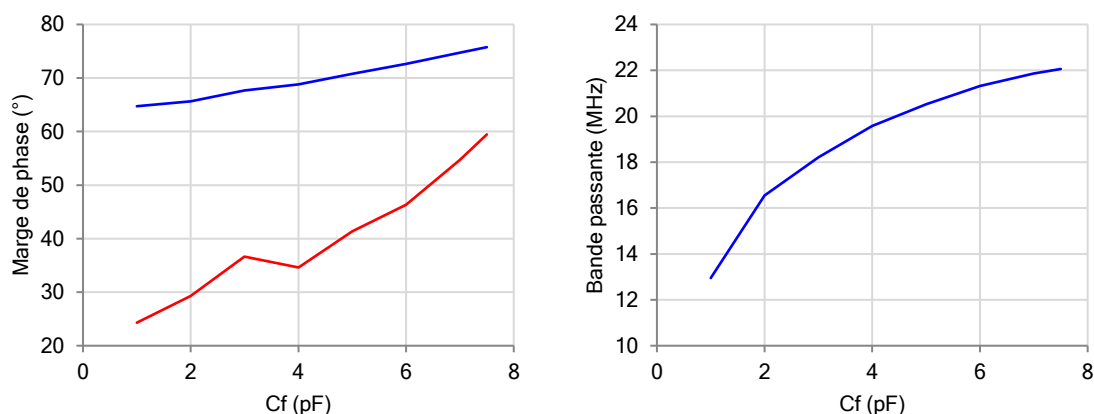


Figure 141 : Gauche : Marge de phase en fonction de  $C_f$  au gain  $C_d/C_f$  (bleu) et à 0dB (rouge). Droite : bande passante en boucle fermée de l'amplificateur en fonction de  $C_f$ .

La marge de phase est supérieure à  $65^\circ$  et la bande passante est supérieure à 13 MHz pour  $C_f$  supérieur ou égal à 1 pF.

### 3.5 Etude en boucle fermée

#### 3.5.1 PACSP

Les figures suivantes donnent les résultats de linéarité en simulation avec  $C_f = 7,5$  pF, qui donne la gamme dynamique la plus importante. Il est visible Figure 142 que le préamplificateur est linéaire à 1% jusqu'à 2200 MIP. La mesure est effectuée à 180 ns après injection du signal entrant (équivalent au temps de shaping des slow shapers). Le résidu est inférieur à  $\pm 2$  mV sur cette gamme dynamique. L'excursion de sortie est de 1,13 V, avec le point de sortie polarisé à 1,267 V. Afin de gagner en gamme dynamique il faudrait forcer plus haut la polarisation du point de sortie, mais cela dépolariserait le point d'entrée.

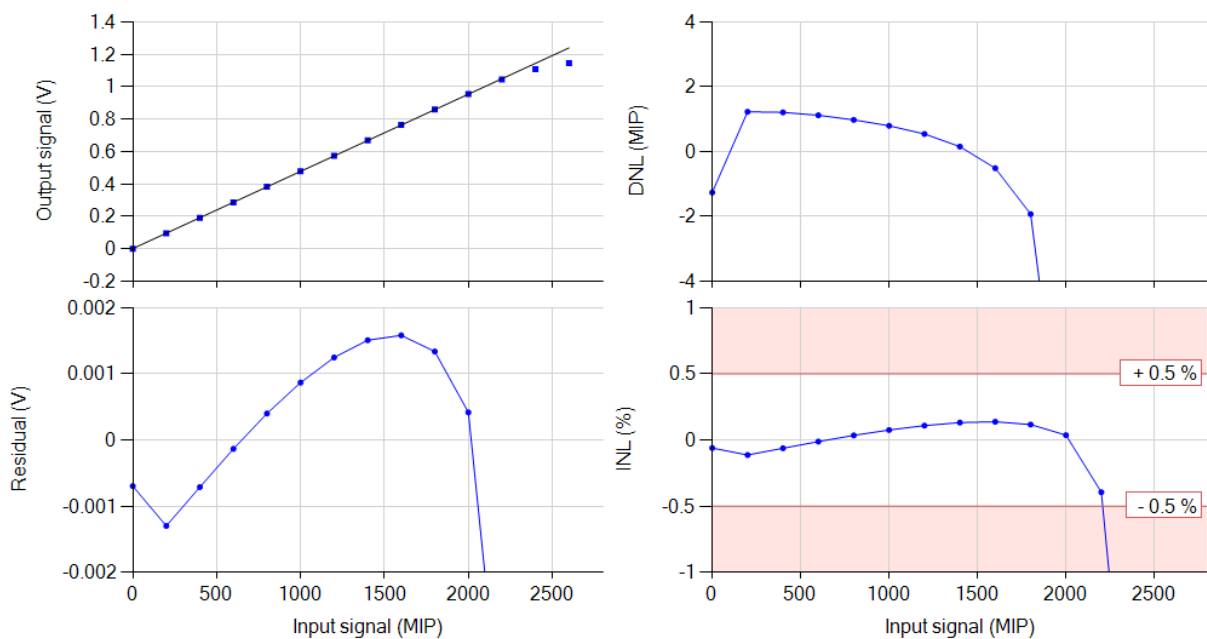


Figure 142 : Linéarité du PACSP.

La Figure 143 montre la décharge de l'échelon de tension créé en sortie de préamplificateur. La constante de temps  $\tau = RC$  associée à cette décharge vaut  $R_f \times C_f = 2M \times 7,5p = 15 \mu s$  comme indiqué sur la Figure 143.



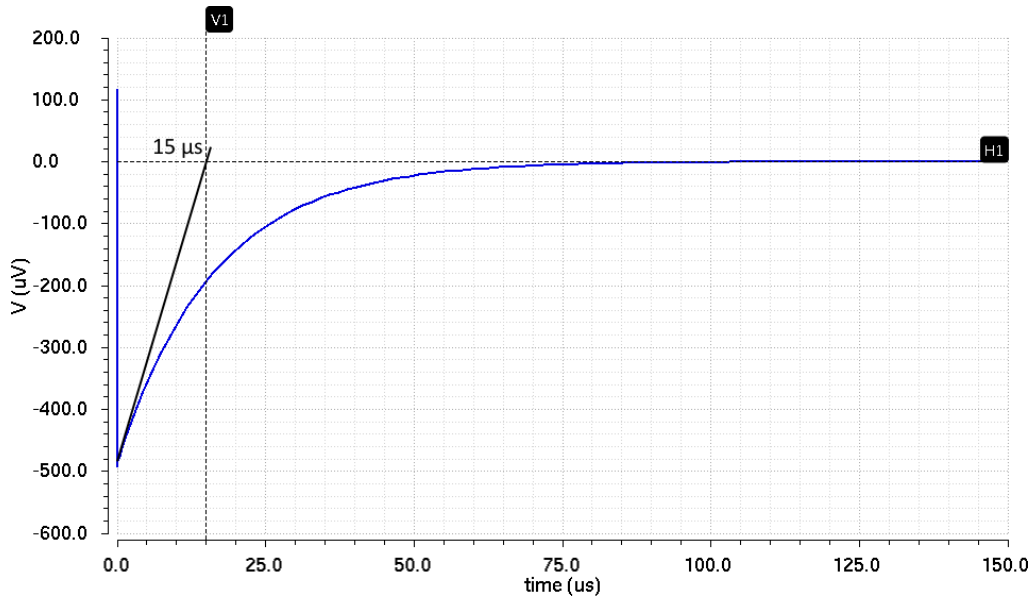


Figure 143 : Signal de sortie du préamplificateur, décharge de l'échelon de tension.

La décharge de l'échelon dépend du facteur  $R_f C_f$ , lorsque  $C_f$  diminue la décharge est plus rapide. C'est un effet connu et accepté. En revanche la fréquence de coupure de l'amplificateur ne peut pas être modifiée et la vitesse diminue lorsque le gain augmente.

Dans SKIROC2 le pôle principal était donné par la capacité de compensation et c'était le pôle secondaire qui dépendait de  $C_f$ . Ainsi lorsque  $C_f$  était diminué, le gain augmentait et la bande passante diminuait mais la contrainte sur la position du pôle principale était relâchée.  $C_{comp}$  pouvait donc être diminué afin d'accélérer l'amplificateur. Ici il n'y a aucun moyen de modifier la position du pôle principal car comme il a été expliqué Figure 133, la capacité ne dépend pas de la valeur de  $C_f$ . Le temps d'établissement de l'échelon est donc plus grand lorsque  $C_f$  diminue comme le montre la Figure 144.

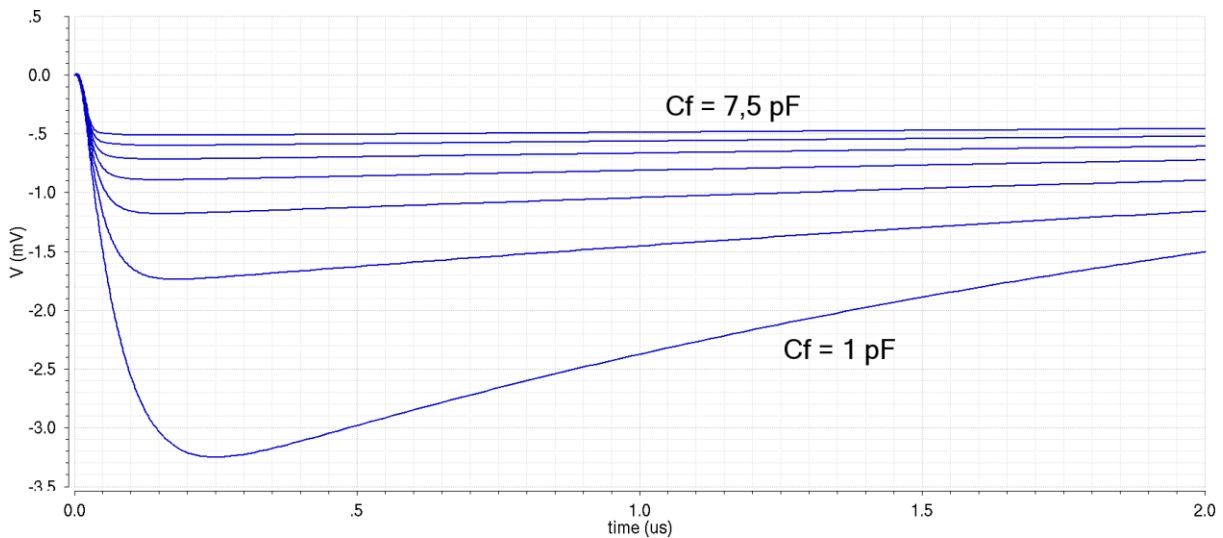


Figure 144 : Effet de la capacité de compensation sur le signal de sortie en boucle fermée.

Le temps d'établissement est de 250 ns pour  $C_f = 1$  pf, ce qui rend l'utilisation de cet amplificateur aux grands gains compromise. La fréquence centrale des slow shapers est 884 kHz, celle du fast shaper est 5,3 MHz et la bande passante du préamplificateur pour  $C_f = 1$  pF est 3 MHz. La bande passante du préamplificateur reste supérieure à la fréquence de travail des slow shapers mais le temps de peaking de ceux-ci sera bien plus grand que désiré. Le fast shaper en revanche est presque deux fois plus rapide que le préamplificateur. Le temps de peaking du slow shaper gain 1 monte à 260 ns et celui du fast shaper à 100 ns contre 180 ns et 30 ns respectivement dans le cas idéal. Un déficit sur l'amplitude de sortie de 53 % sur le fast shaper est obtenu par simulation. Le déficit est de 5 % sur le slow shaper gain 1.

### 3.5.2 PACSN

Le préamplificateur est linéaire à 1% jusqu'à 2600 MIP (Figure 145) et le résidu est inférieur à  $\pm 1,5$  mV sur cette gamme dynamique. L'excursion à la sortie du préamplificateur est d'environ 1,4 V avec une tension d'alimentation de 1,8 V.

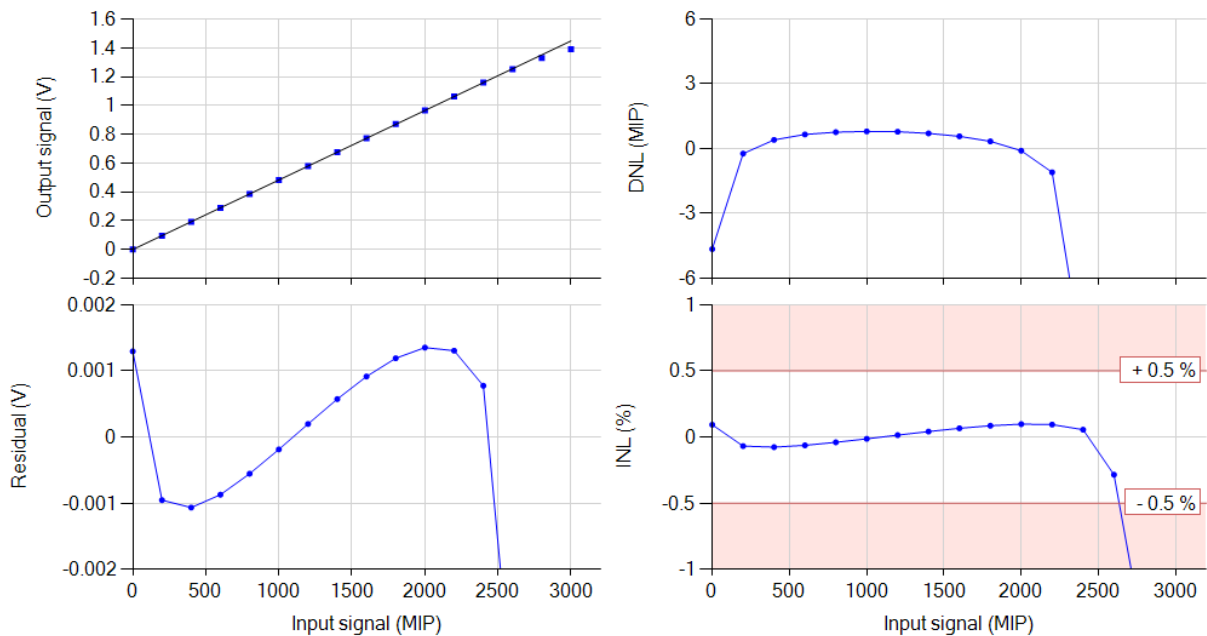


Figure 145 : linéarité du PACSN.

La constante de temps de la décharge de l'échelon de tension  $\tau$  a été estimée à 50  $\mu$ s (Figure 146) avec  $C_f = 7,5$  pF.  $R_f$  est estimée à environ 6,67 M $\Omega$ .

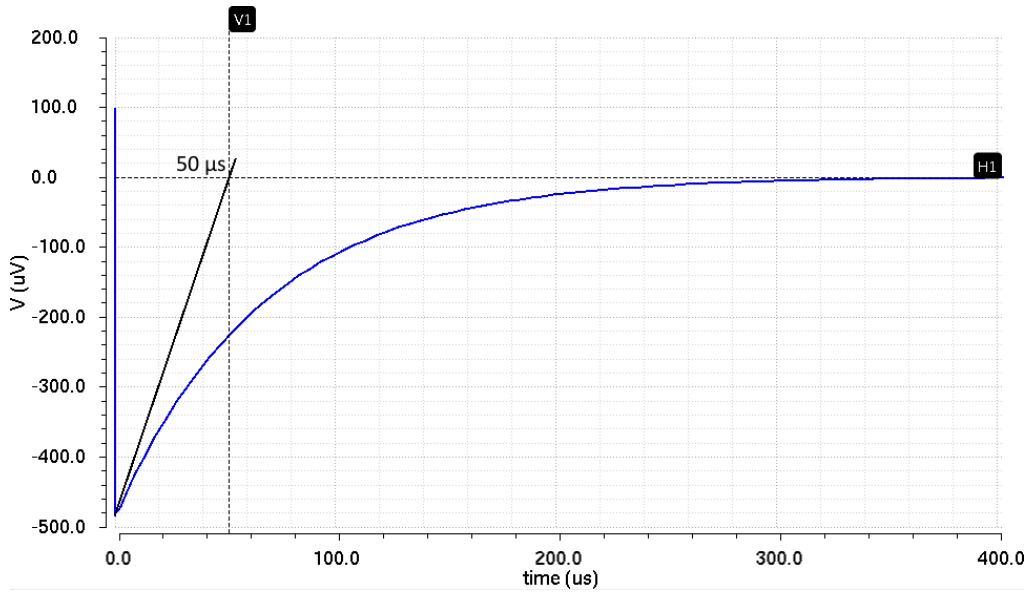


Figure 146 : Signal de sortie du préamplificateur, décharge de l'échelon de tension.

### 3.5.3 PADIF

Le préamplificateur est linéaire à 1% jusqu'à plus de 3000 MIP (Figure 147) et le résidu est inférieur à  $\pm 1$  mV sur cette gamme dynamique. C'est le montage qui offre la meilleure gamme dynamique de sortie.

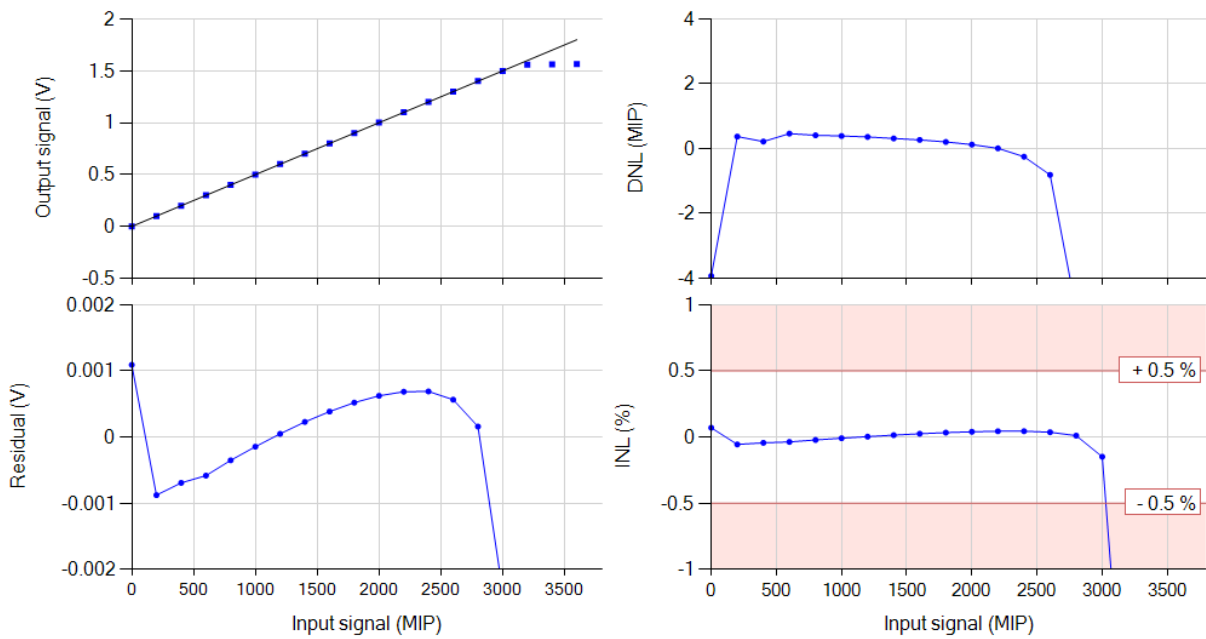


Figure 147 : Linéarité du PADIF

L'excursion de sortie est de 1,564 V pour 1,8 V d'alimentation. Le point de sortie est polarisé à 1,566 V, ce qui signifie que toute l'excursion en tension disponible en sortie est utilisée.

La constante de temps de la décharge de l'échelon de tension  $\tau$  est de 20  $\mu$ s (Figure 148) avec  $C_f = 7,5$  pF.  $R_f$  est égale à  $1/g_{m,suiv} + 1M = 2,67$  M $\Omega$ .

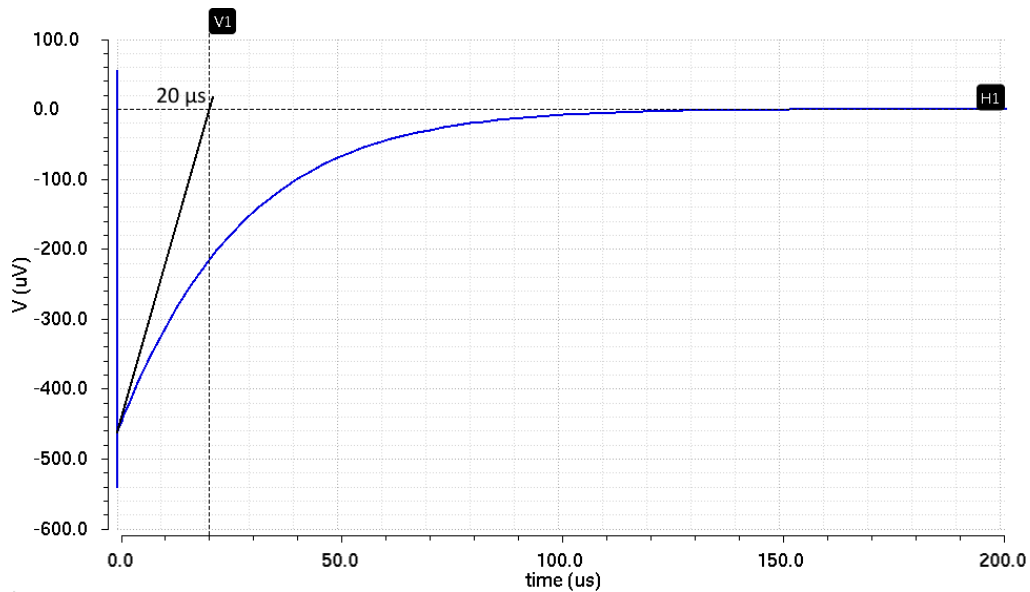


Figure 148 : Signal de sortie du préamplificateur, décharge de l'échelon de tension.

## 3.6 Bruit

### 3.6.1 PACSP

Le même modèle de bruit que pour SKIROC2 a été utilisé, en calculant le bruit série, le bruit parallèle et en utilisant les valeurs de capacité et résistance de contre-réaction, ainsi que la valeur de bruit flicker simulée à 1 Hz. Ces valeurs sont calculées au point où est fait la contre-réaction, c'est-à-dire avant le suiveur en tension de sortie.

Le bruit série est de 3 nV/√Hz avec une contribution du transistor d'entrée de 1,536 nV/√Hz ( $g_m = 6,683 \text{ mS}$ ) soit 51 % du bruit série. Le bruit parallèle est dû entièrement à la résistance de contre-réaction  $R_f = 2 \text{ M}\Omega$  et est de 91 fA/√Hz.

Le bruit parallèle est beaucoup plus élevé que celui de SKIROC2 (21,22 fA/√Hz) du fait que la résistance de contre-réaction soit plus faible d'un facteur presque 20. Le bruit parallèle étant négligeable aux fréquences de travail visées, cela permet au préamplificateur de travailler plus rapidement en évitant l'empilement car la capacité de contre-réaction se décharge plus vite.

La capacité du détecteur  $C_d$  vaut 20 pF et la capacité de contre-réaction  $C_f$  vaut 7,5 pF. La courbe de bruit Figure 149 est obtenue. Elle est comparée à la courbe de bruit simulée.

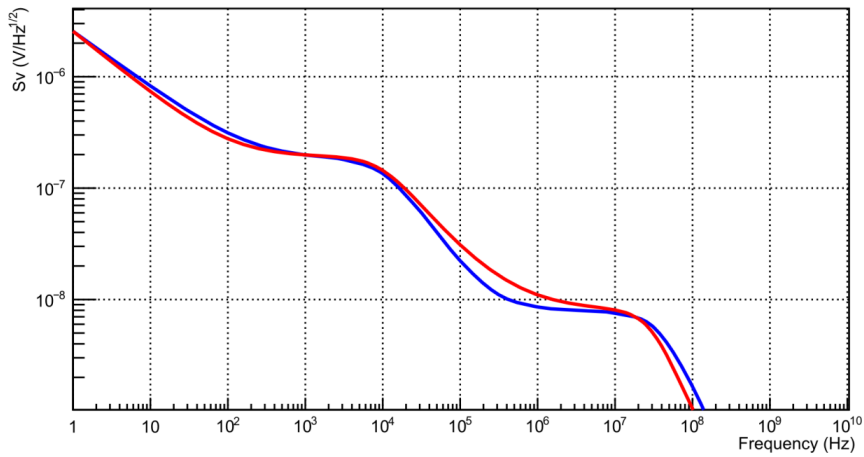


Figure 149 : Bruit en sortie de PACSP d'après simulation (rouge) et par le calcul (bleu).

Le modèle n'est ici pas satisfaisant, notamment entre  $10^4$  et  $10^7$  Hz. Le souci vient du comportement du bruit de flicker, qui est non-linéaire comme le montre la Figure 150 qui représente le bruit de flicker extrait de la simulation.

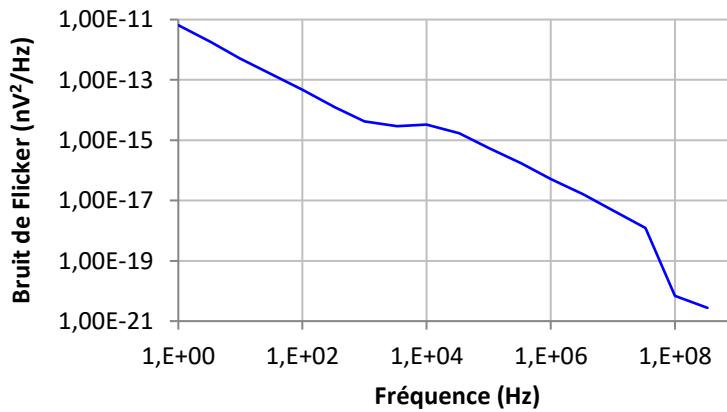


Figure 150 : Bruit de flicker non linéaire extrait de la simulation.

En remplaçant le bruit de flicker du modèle par les valeurs extraites de la simulation il est obtenu la courbe Figure 151.

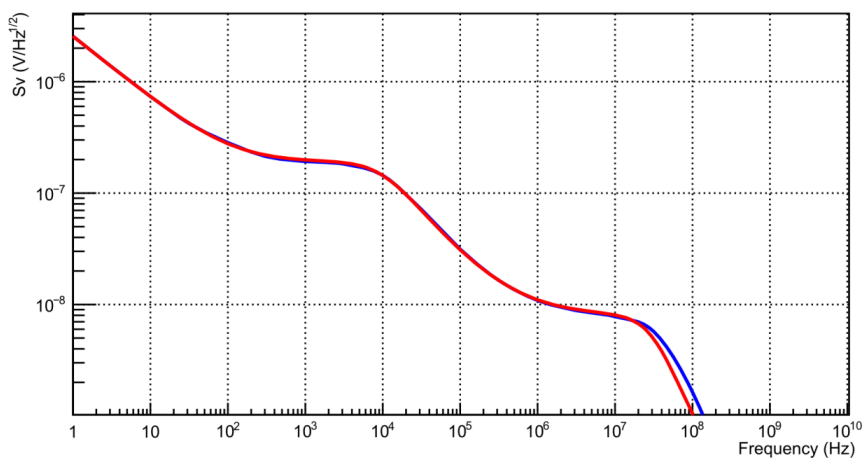


Figure 151 : Bruit en sortie de PACSP d'après simulation (rouge) et par le calcul avec correction du bruit de flicker(bleu).

Le modèle est donc toujours valide à condition de ne plus considérer le bruit de flicker comme étant linéaire. Le bruit à 1 Mhz est partagé majoritairement entre le bruit de flicker de l'étage cascode replié (21,32 %), le bruit série du transistor d'entrée (21,14 %) et le bruit série de la source de courant associée (20,42 %).

Le bruit RMS extrait de la simulation est de 78,82  $\mu\text{V}$  (intégré de 1 à  $10^{10}$  Hz) avant le suiveur en tension de sortie de préamplificateur, là où le travail de modélisation du bruit a été mené, et 87,31  $\mu\text{V}$  après, pour un rapport signal sur bruit de 5,8 en sortie avant filtrage par les shapers. L'ENC est tracé Figure 152 selon 3 méthodes. La deux premières sont les modélisations avec et sans les effets de la résistance de contre-réaction, du bruit de flicker et de la bande passante. Pour le troisième cas l'ENC est tracé par simulation en utilisant un shaper idéal à l'aide de la librairie « *functional* » de cadence.

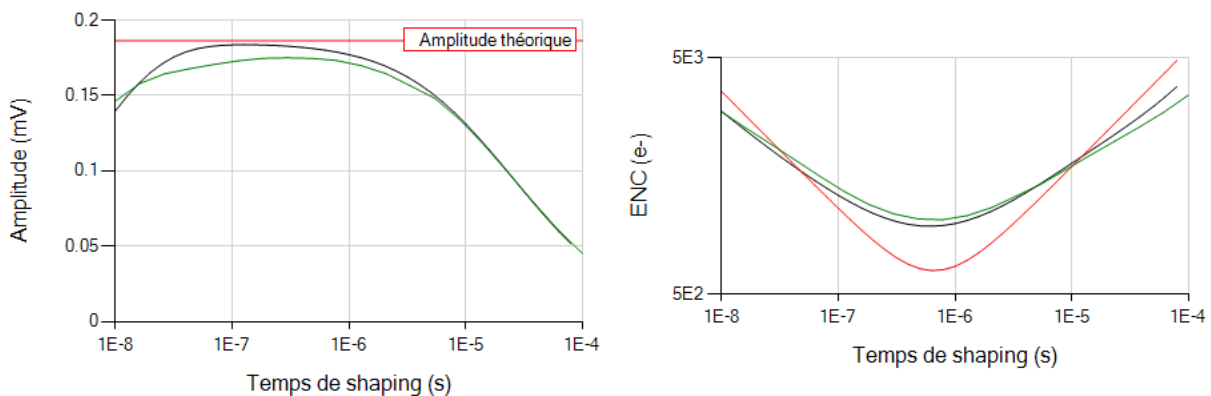


Figure 152 : gauche : Amplitude du signal d'après modélisation (noirs) et d'après simulation (vert). Droite : ENC dans le cas théorique idéal (rouge), d'après modélisation (noir) et d'après simulation (vert).

Le modèle prenant en compte le bruit de flicker et les effets à hautes et basses fréquences se rapproche des données de simulation alors que le modèle théorique idéal ne convient pas. Cependant les trois courbes d'ENC donnent le même temps de shaping optimal de 650 ns (ENC = 1030 d'après simulation, 965 d'après modélisation).

### 3.6.2 PACSN

De la même manière que précédemment le bruit est calculé à l'endroit où se fait la contre-réaction. Le bruit série est de 2 nV/ $\sqrt{\text{Hz}}$  avec une contribution du transistor d'entrée de 1,327 nV/ $\sqrt{\text{Hz}}$  ( $g_m = 6,265 \text{ mS}$ ) soit 66 % du bruit série. Le bruit parallèle, dû à la résistance de contre-réaction équivalente créé par l'OTA valant 6,67 M $\Omega$ , est de 90 fA/ $\sqrt{\text{Hz}}$ . La capacité du détecteur  $C_d$  vaut 20 pF et la capacité de contre-réaction  $C_f$  vaut 7,5 pF. Dans un premier temps la courbe de bruit Figure 153 est tracée en remplaçant dans la simulation l'OTA de contre-réaction par une résistance bruyante idéale. Cela permet de bien discriminer les effets de bruit du préamplificateur et du système de contre-réaction.

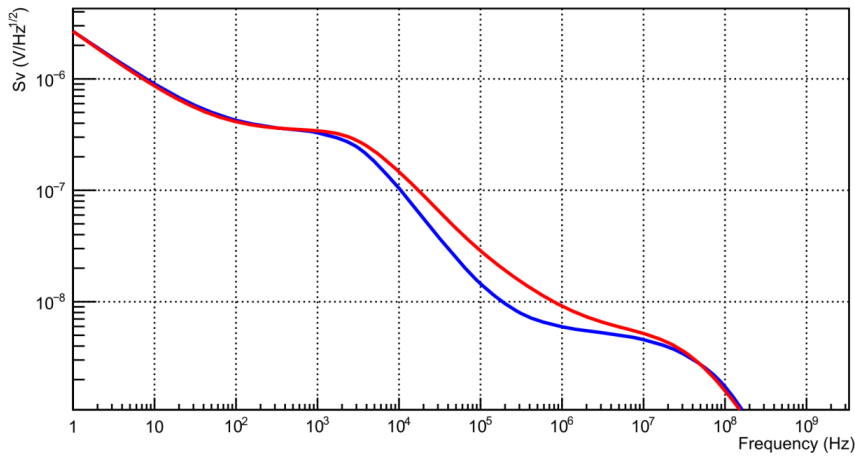


Figure 153 : Bruit en sortie du PACSN d'après simulation (rouge) et par le calcul (bleu). Système de contre-réaction idéal.

Une fois encore le modèle ne correspond pas à la simulation à cause des effets du bruit de flicker. En remplaçant le bruit de flicker du modèle par celui extrait de la simulation est obtenu la Figure 154

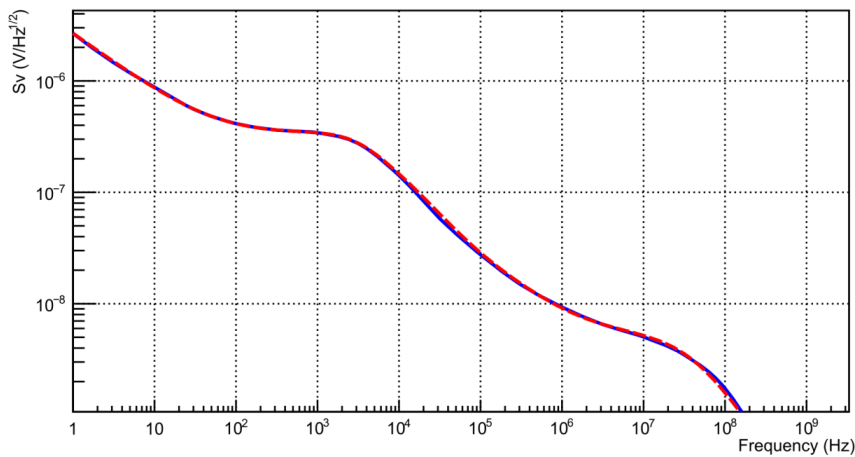
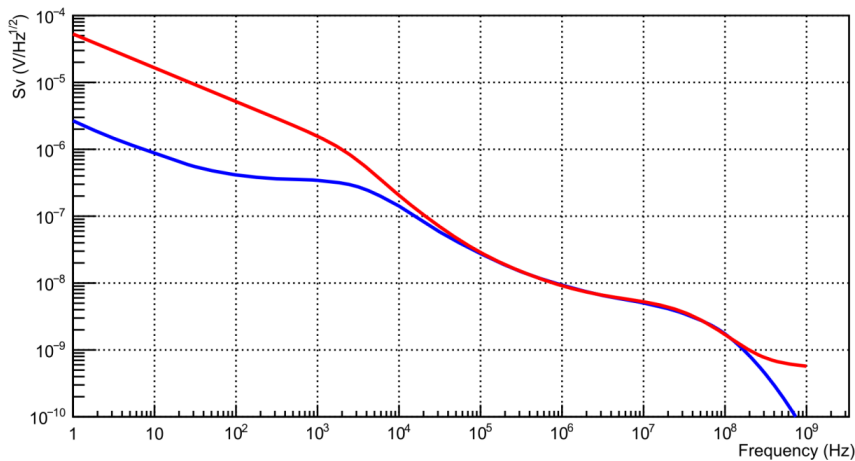


Figure 154 : Bruit en sortie du PACSN d'après simulation (rouge) et par le calcul avec correction du bruit de flicker (bleu). Système de contre-réaction idéal.

Un bon recouvrement des deux courbes est obtenu. Le bruit de flicker n'est donc pas négligeable aux fréquences de travail des shapers. En rajoutant le système de contre-réaction non-idéal, plusieurs choses se produisent comme le montre la Figure 155



**Figure 155 : Bruit en sortie du PACSN d'après simulation (rouge) et par le calcul avec correction du bruit de flicker (bleu).  
Système de contre-réaction non-idéal.**

Le bruit dans les basses fréquences (< 10 kHz) est largement dominé par le bruit de flicker venant des transistors d'entrée de l'OTA de contre-réaction. Ce bruit est filtré à l'intérieur même de l'OTA pour les fréquences supérieures à la dizaine de kiloHertz. Le bruit en très basses fréquences sera filtré dans les shapers, ce n'est donc pas un souci. En plus de cela se rajoute le zéro dans les très hautes fréquences ramené par le système de switch des capacités de contre-réaction.

Au final le bruit de flicker est grand devant la contribution au bruit du transistor d'entrée. En effet à 1 MHz, si tout le bruit venait du bruit thermique transistor d'entrée comme c'est le cas idéalement, il serait obtenu en sortie un bruit de 3,512 nV/√Hz. Hors ici il est obtenu 9,7 nV/√Hz soit environ 2,8 fois plus. D'après le simulateur, à 1 MHz, le bruit de flicker est de 7,64 nV/√Hz soit 66,8 % du bruit. Le bruit de flicker est naturellement plus élevé dans les transistors NMOS que dans les PMOS : Il est ici particulièrement critique.

Le bruit RMS intégré de 1 à  $10^{10}$  Hz en sortie d'amplificateur est de 186  $\mu$ V pour un SNR de 2,72. Le bruit intégré est deux fois plus grand qu'en sortie de PACSP, notamment à cause du large bruit de flicker en basses fréquences, mais le bruit à 1 Mhz est de 9,7 nV/√Hz pour le PACSN contre 11,24 nV/√Hz dans le cas du PACSP.

L'ENC Figure 156 montre un temps de shaping optimal dépendant du modèle utilisé. L'optimal théorique idéal est de 790 ns de temps de shaping. L'optimal modélisé est 630 ns pour un ENC de 854 électrons. L'optimal d'après simulation est 500 ns pour 950 électrons de bruit.



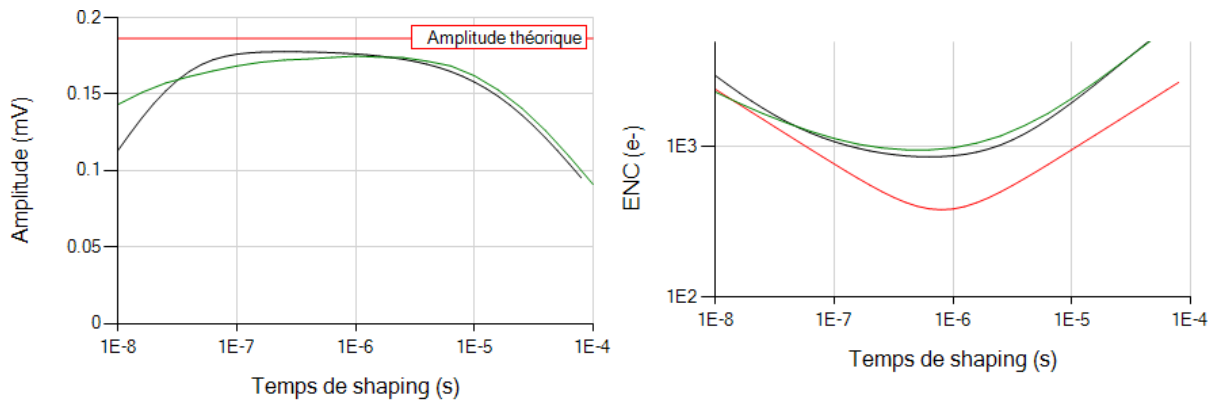


Figure 156 : gauche : Amplitude du signal d'après modélisation (noirs) et d'après simulation (vert). Droite : ENC dans le cas théorique idéal (rouge), d'après modélisation (noir) et d'après simulation (vert).

Pour un temps de shaping de 30 ns d'après les résultats de simulation, l'ENC serait de 1572 électrons en considérant un shaper CRRC idéal. Pour 180 ns de temps de shaping l'ENC vaut 1022 dans les mêmes conditions.

### 3.6.3 PADIF

Le bruit est toujours modélisé de la même façon que pour les études précédentes. Le bruit série est de 3,5 nV/VHz avec une contribution des transistors d'entrée de 2,277 nV/ VHz soit 65 % du bruit série. Le bruit parallèle est dû entièrement à la résistance de contre-réaction  $R_f = 2,67 \text{ M}\Omega$  et est de 76 fA/VHz. La capacité du détecteur  $C_d$  vaut 20 pF et la capacité de contre-réaction  $C_f$  vaut 7,5 pF. En isolant l'amplificateur de son environnement et en utilisant un système de contre-réaction idéal la courbe de bruit Figure 157 est obtenue.

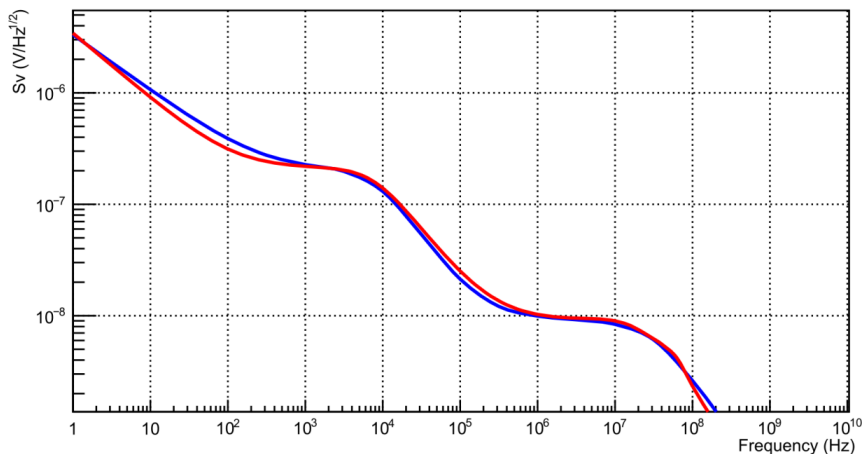
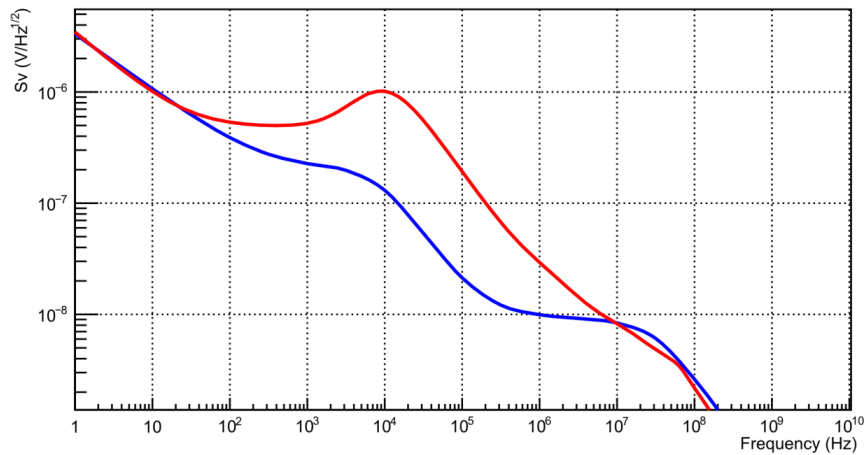


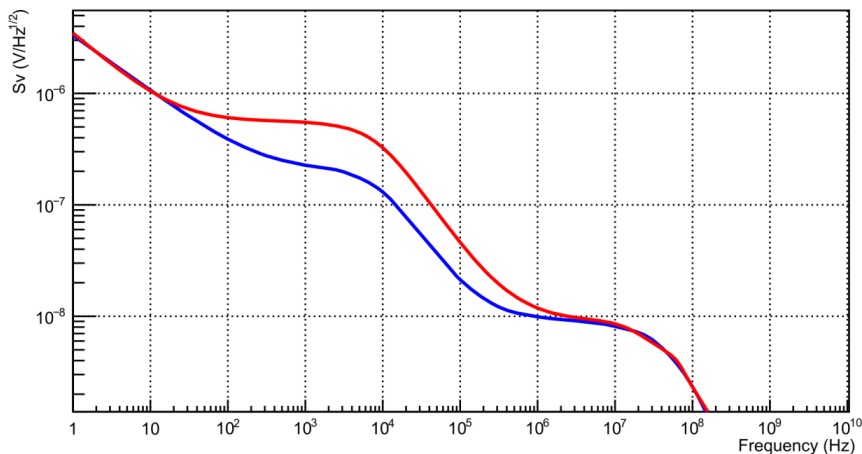
Figure 157 : Bruit en sortie du PADIF d'après simulation (rouge) et par le calcul (bleu). Environnement idéal.

Comme dit précédemment en branchant l'entrée  $V_{ref}$  à une référence de tension non-idéale le bruit généré par cette référence sera amplifié par le montage.



**Figure 158 : Bruit en sortie du PADIF d'après simulation (rouge) et par le calcul (bleu). Système de contre-réaction idéal, référence en tension non-idéal.**

Un large bruit supplémentaire est observé entre  $10^2$  et  $10^7$  Hz. Ce bruit vient du pont de résistance servant à régler la référence de tension au niveau désiré. En ajoutant le filtre RC sur l'entrée  $V_{ref}$  de l'amplificateur il est obtenu



**Figure 159 : Bruit en sortie du PADIF d'après simulation (rouge) et par le calcul (bleu). Système de contre-réaction idéal et filtrage de la référence de tension.**

Le bruit est largement réduit aux fréquences de travail des shapers. Cependant la source de bruit majoritaire en basse fréquence (si le bruit de flicker n'est pas pris en compte) vient de la résistance servant à créer le filtre RC. Finalement en utilisant le système de contre-réaction non-idéal il ne se rajoute qu'un bruit de flicker dû au montage suiveur sur la contre-réaction, et on retrouve le comportement habituel aux hautes fréquences dû au système de capacités de contre-réaction.

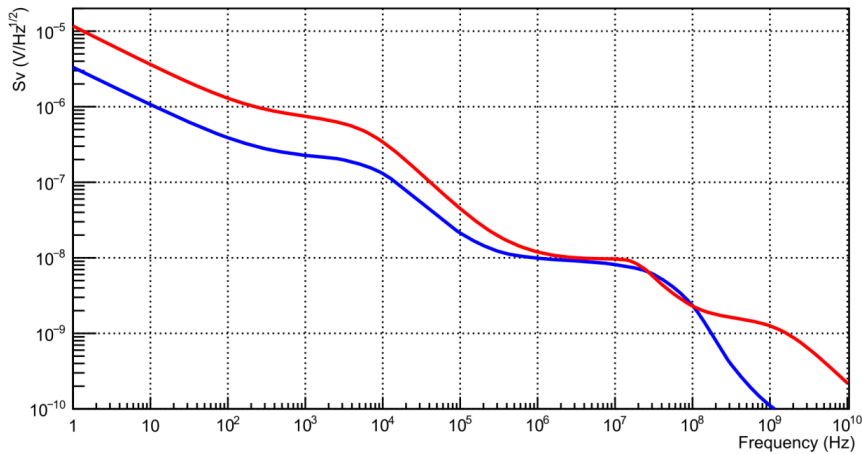


Figure 160 : Bruit en sortie du PADIF d'après simulation (rouge) et par le calcul (bleu). Système de contre-réaction non-idéal et filtrage de la référence de tension.

En faisant l'extraction du bruit de flicker et en ajoutant le bruit venant du système servant à créer la référence de tension dans le modèle, la Figure 161 est obtenue.

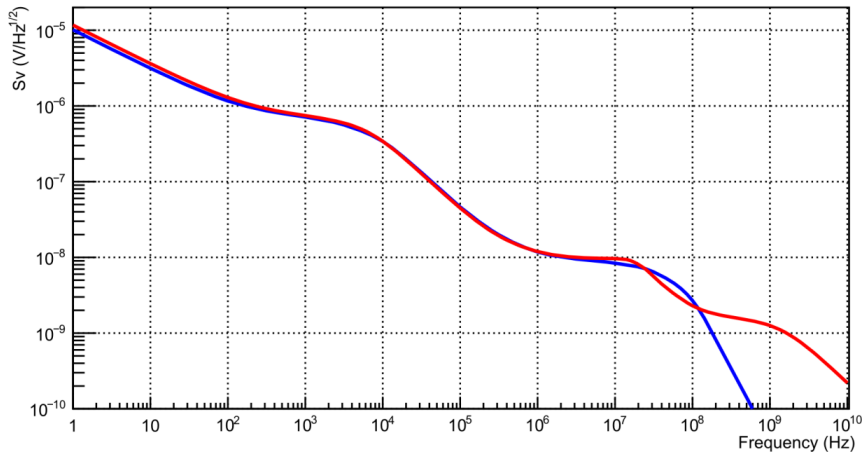


Figure 161 : Bruit en sortie du PADIF d'après simulation (rouge) et par le calcul (bleu) dans l'environnement complet.

En conclusion aux très basses fréquences le bruit est dominé par le bruit de flicker du suiveur de contre-réaction. Entre  $10^3$  et  $10^6$  Hz le bruit qui domine vient de la résistance du filtre mais c'est le prix à payer pour supprimer le bruit venant de la référence de tension. Dans la plage de fréquence de l'ordre du MégaHertz le bruit dominant vient du bruit série des transistors de la paire différentielle, et une bonne partie du bruit restant est ramenée par la charge active de la paire différentielle.

### 3.7 Réjection d'alimentation

#### 3.7.1 PACSP

Ce montage n'a pas été dessiné pour avoir une grande réjection d'alimentation, il a été réalisé pour pouvoir comparer ses performances à celles du préamplificateur de SKIROC2 qui a la même structure. Il n'est donc pas surprenant d'obtenir des résultats similaires à ceux SKIROC2 concernant la réjection d'alimentation.

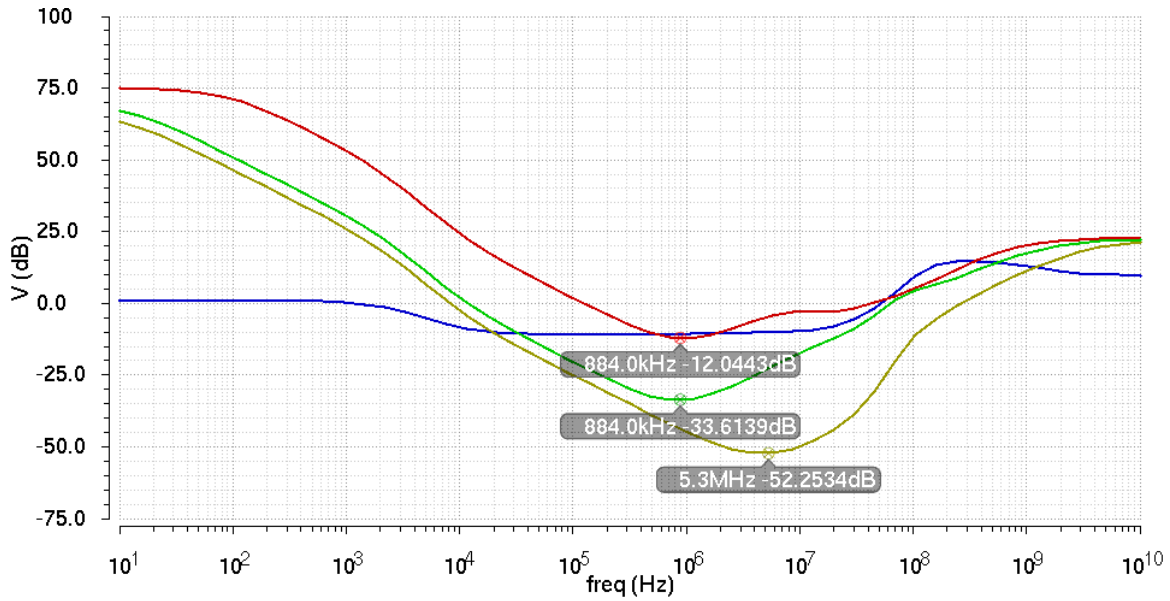


Figure 162 : PSRR en sortie de PACSP (bleu), slow shaper bas gain (rouge), slow shaper haut gain (vert) et fast shaper (jaune).

Pour rappel pour SKIROC2 et d'après les simulations, la réjection du bruit d'alimentation minimale était de -60 dB en sortie de fast shaper sur la fréquence centrale de celui-ci avec la capacité de contre-réaction du préamplificateur à 6 pF (gain minimal pour SKIROC2). Ici il est obtenu -52 dB mais  $C_f$  vaut 7,5 pF, d'où la différence de valeur. En utilisant une valeur de 6 pF les mêmes résultats sont obtenus.

### 3.7.2 PACSN

Comme précisé au début de la section concernant le PACSN, la réjection d'alimentation est en théorie aussi mauvaise que dans le cas du PACSP, seulement l'alimentation concernée est ici la masse. La réjection du bruit venant de  $V_{DD}$  est meilleure de 30 dB (environ 30 fois plus de réjection par rapport au PACSP, Figure 163).

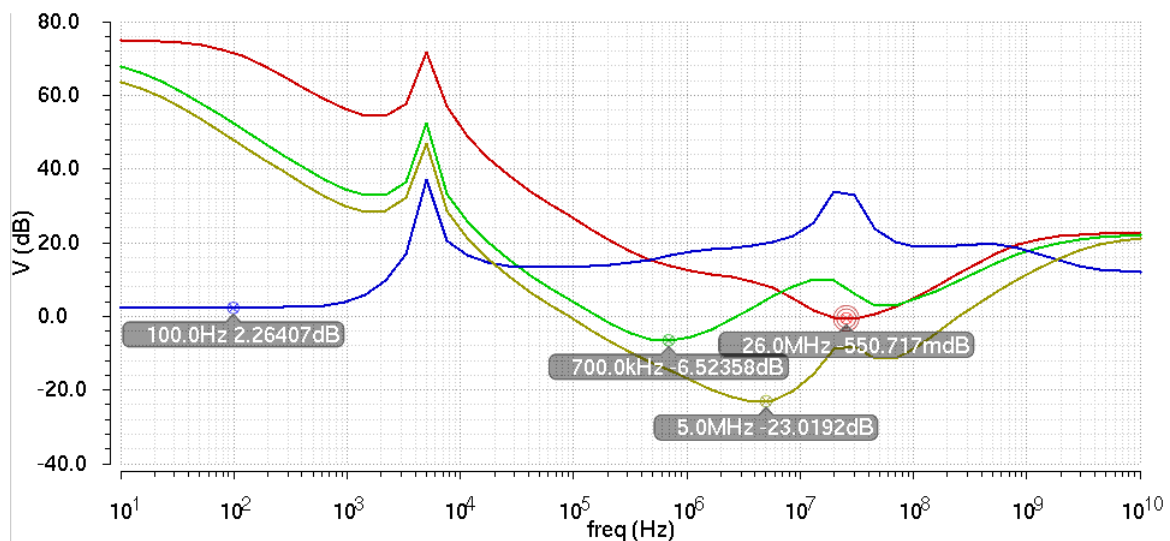


Figure 163 : PSRR en sortie de PACSN (bleu), slow shaper bas gain (rouge), slow shaper haut gain (vert) et fast shaper (jaune).

La réjection du bruit venant de la masse en revanche place ce montage dans la même situation que le bruit venant de  $V_{DD}$  dans le cas du PACSP. Il est donc important que la masse soit aussi propre que possible.

### 3.7.3 PADIF

L'amplificateur différentiel a, par construction, une très bonne réjection d'alimentation. Il a cependant, comme expliqué précédemment, une faiblesse : le bruit venant de la référence. Le bandgap étant bien trop bruyant pour être branché à la référence, il a fallu trouver une autre solution. Une autre problématique est celle de la polarisation de l'entrée et la sortie de l'amplificateur. Dans les autres montages c'est la sortie qui polarise l'entrée et ces points de polarisation s'adaptent à la tension d'alimentation, qu'elle soit 1,8 V, 1,6 V ou 2V. Ici si la référence est fixée grâce à un bandgap il est dangereux de fixer le point de sortie trop haut en étant alimenté à 1,8 V car l'amplificateur serait dépolarisé avec une alimentation de 1,7 V.

Afin de résoudre le problème de bruit venant du bandgap et d'adaptation à la tension d'alimentation, le choix a été fait de se référencer à l'alimentation pour polariser l'entrée de l'amplificateur. Le bruit d'alimentation n'arrive donc pas seulement par le rail d'alimentation de l'amplificateur mais aussi par la référence de l'amplificateur.

La réjection d'alimentation de l'amplificateur différentiel seul donne des résultats relativement comparables au PACSN sur la Figure 164.

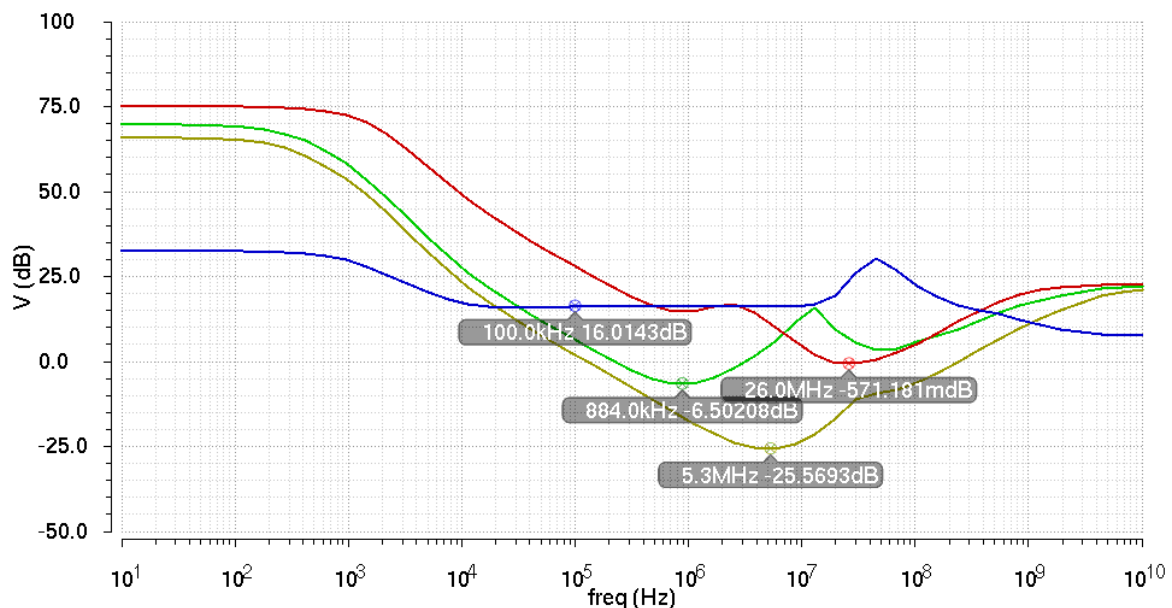


Figure 164 : PSRR en sortie de PADIF (bleu), slow shaper bas gain (rouge), slow shaper haut gain (vert) et fast shaper (jaune) avec référence de tension idéale.

Cependant en ajoutant la référence non-idéale la réjection d'alimentation est dégradée de 10 dB, soit environ 3 fois moins de réjection d'alimentation (Figure 165).

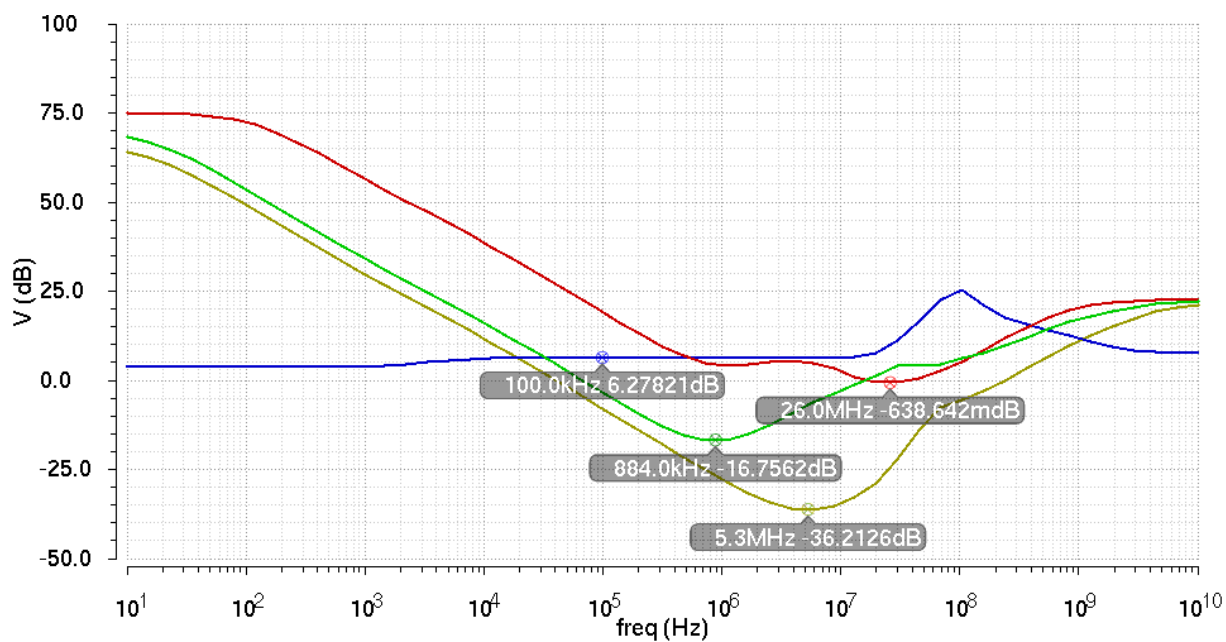


Figure 165 : PSRR en sortie de PADIF (bleu), slow shaper bas gain (rouge), slow shaper haut gain (vert) et fast shaper (jaune).

Cela fait que ce montage n'est finalement pas le meilleur des trois pour la réjection de  $V_{DD}$ . Passer par le rail d'alimentation pour polariser l'amplificateur est cependant la seule solution qui a été trouvée afin d'obtenir un SNR convenable en sortie de shaper, la référence étant largement filtrée. Filtrer de cette manière une référence venant du bandgap n'est pas envisageable du fait de la contrainte de l'alimentation pulsée.

## 3.8 Layout

### 3.8.1 PACSP

Le layout du PACSP est donné Figure 166 avec dans le tiers gauche le PMOS d'entrée et dans le tiers droit la résistance et les capacités réglables de contre-réaction. Au centre se trouvent les transistors du cascode replié et de polarisation. Le grand transistor central est le suiveur en tension. Il est si grand car c'est un transistor natif et il se trouve qu'il a une très mauvaise transconductance et une longueur de grille minimale de  $1\ \mu\text{m}$ . Il a donc fallu le faire très grand ( $W/L = 800/1$ ) et l'alimenter avec  $250\ \mu\text{A}$  afin qu'il puisse assurer sa fonction de suiveur. C'est le prix à payer pour obtenir une bonne gamme dynamique en sortie.

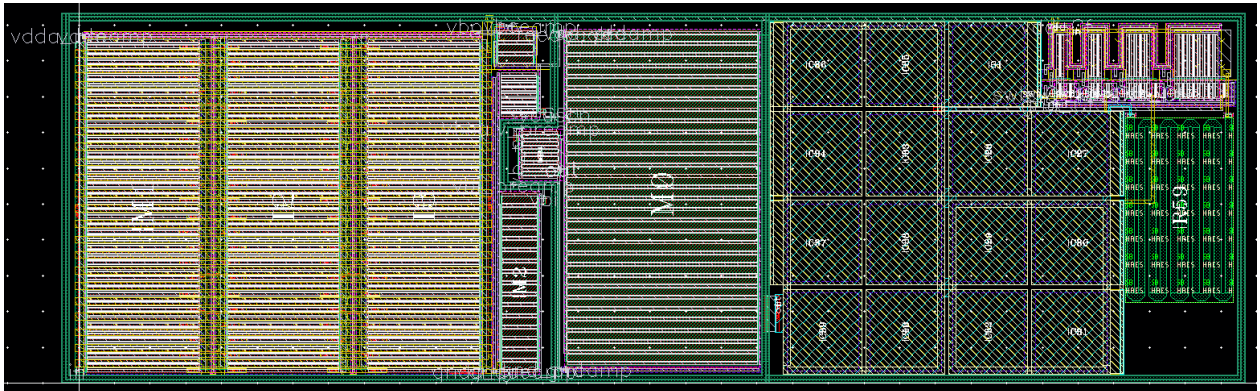


Figure 166 : Layout du PACSP.

L'amplificateur est entouré d'un *trench* isolant les différents bulks. Les bulks du transistor d'entrée, du transistor suiveur et du système de contre-réaction sont séparés et ont une masse isolée sortant sur un PAD chacun. Les alimentations de chaque partie sont séparées également afin de bien protéger l'étage d'entrée du bruit dû à la diaphonie, que ce soit par la masse (et le bulk) ou par l'alimentation.

### 3.8.2 PACSN

Le layout du PACSN ressemble beaucoup à celui du PACSP. Dans le tiers gauche se trouve le transistor d'entrée et dans le tiers droit les capacités de contre-réaction. Tout à droite se trouve l'OTA de contre-réaction, qui remplace la résistance présente dans le layout du PACSP. Au centre du layout le transistor natif monté en suiveur ne prend plus la majorité de la place. Le cascode a également une taille importante afin d'avoir un  $V_{DS}$  relativement faible pour ne pas perdre trop en gamme dynamique.

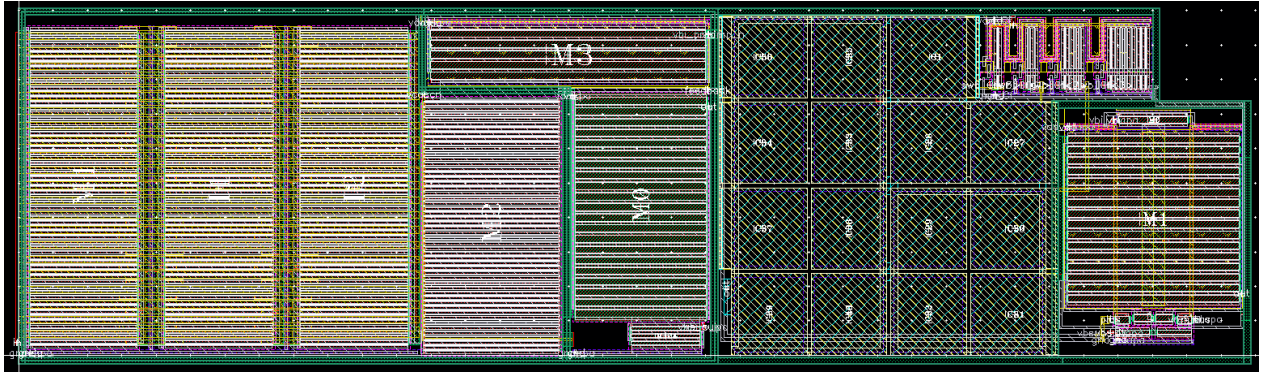


Figure 167 : Layout du PACSN.

### 3.8.3 PADIF

Les transistors de la paire différentielle sont interdigités. Les systèmes de capacité de contre-réaction et de capacité de compensation utilisent le même layout. Ces capacités monopolisent la moitié de la surface de layout. Entre la paire différentielle et les capacités de compensation se trouve le filtre de la référence de tension. Il pourrait être intéressant d'augmenter la valeur de capacité et diminuer celle de la résistance afin de ramener moins de bruit thermique de cette résistance, au vu de l'importance de ce filtre et de l'espace qu'il occupe finalement dans le layout.

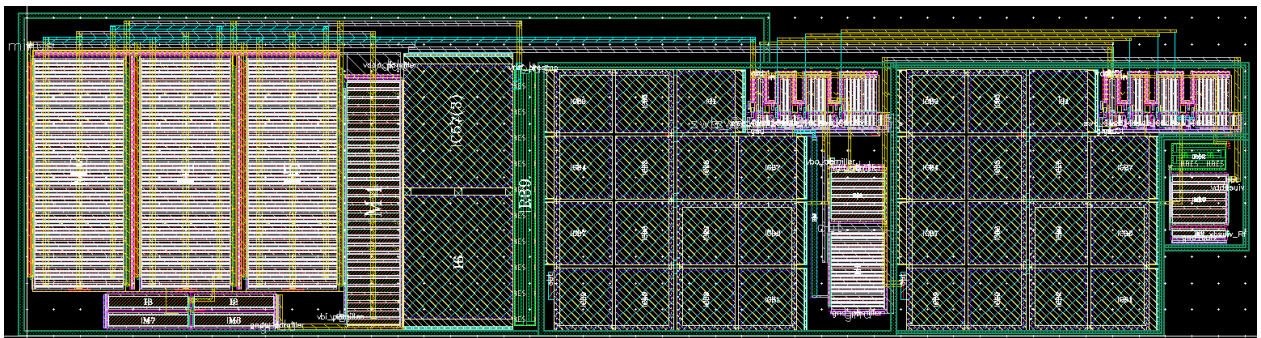


Figure 168 : Layout du PADIF.

## 3.9 Conclusion

Le tableau suivant récapitule les principales performances des amplificateurs exposés ici et les performances de SKIROC2 afin de pouvoir comparer celles-ci facilement. Les performances dont il est question ici ne sont que les performances visibles en simulation. Le PSRR et le SNR sont considérés à la sortie du préamplificateur. L'ENC est valable pour un shaper CRRC idéal d'après les valeurs de simulation. Rappelons que le signal minimal a une charge de 23750 électrons.

Préamplificateur	Gamme dynamique @ 1 % INL (nb MIP)	ENC @ 180 ns	ENC @ 30 ns	PSRR (dB)	SNR
SKIROC2	1600	776	1550	-15,65	7
PACSP	2200	1200	2070	-10,8	5,8
PACSN	2600	1022	1572	17,2	2,72
PADIF	3000	1287	2243	6	4,27

Tableau 8 : Performances des trois préamplificateurs réalisés en xt018 comparées à celles du préamplificateur de SKIROC2. La capacité de contre-réaction est égale à 7,5 pF pour les préamplificateurs PACSP, PACSN et PADIF et elle est de 6 pF pour SKIROC2.



La meilleure gamme dynamique de sortie est offerte par le PADIF (3000 MIP), avec en deuxième position le PACSN (2600 MIP). Les trois préamplificateurs dessinés dans la technologie xt018 ont une gamme dynamique bien meilleure que celle de SKIROC2. Les meilleures performances en bruit sont cependant celle de SKIROC2, qu'il s'agisse de l'ENC ou du SNR directement à la sortie du préamplificateur. Parmi les trois nouveaux préamplificateurs, le PACSN a le meilleur ENC mais aussi le pire SNR en sortie de préamplificateur. Ce SNR est dû au bruit basse fréquence ramené par l'OTA de contre-réaction. Il est filtré dans les shapers, ce qui explique la différence de performance par rapport aux autres amplificateurs. Pour ce qui concerne la réjection d'alimentation, le PACSN est le meilleur de tous, sachant que seul le bruit de  $V_{DD}$  est considéré ici.

En changeant la valeur de la capacité de contre-réaction des préamplificateurs, il est possible d'améliorer les performances en bruit des préamplificateurs tout en ayant une gamme dynamique supérieure à celle de SKIROC2. Ainsi en prenant l'exemple du PACSN, qui est le montage offrant les performances les plus intéressantes en simulation, il est obtenu avec  $C_f = 5$  pF

Préamplificateur	Gamme dynamique @ 1 % INL (nb MIP)	ENC @ 180 ns	ENC @ 30 ns	PSRR (dB)	SNR
SKIROC2	1600	776	1550	-15,65	7
PACSN ( $C_f = 5$ pF)	1700	889	1349	10	3,98

Tableau 9 : Ajustement de la capacité de contre-réaction du PACSN pour égaler la gamme dynamique de SKIROC2 et comparaison des performances en bruit.

A gamme dynamique équivalente, l'ENC pour un shaper CRRC idéal de temps de shaping 30 ns est donc 13 % meilleur pour le nouveau montage, tout en maintenant une réjection d'alimentation 20 fois meilleure. La réjection d'alimentation a évolué proportionnellement à la variation de la capacité de contre-réaction, tout comme la gamme dynamique.

## 4 Shapers

### 4.1 Fast shaper

Le fast shaper a été développé pour avoir un gain de 100 et un temps de shaping de 30 ns. Ce fast shaper est utilisé pour déclencher sur le signal d'entrée minimal, il doit donc avoir un grand rapport signal sur bruit.

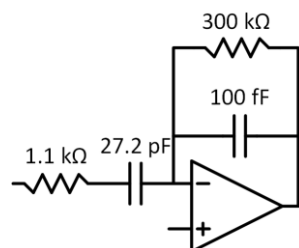


Figure 169 : Schéma du fast shaper.

Cette circuiterie pour le déclenchement sur le signal minimal a été largement simplifiée par rapport à SKIROC2. La technologie n'ayant encore jamais été utilisée, tout a été simplifié au maximum. De plus deux étages de filtrage signifient deux sources de bruit supplémentaire, deux

amplificateurs à alimenter, plus de surface de silicium etc. La simulation en boucle fermée donne les résultats Figure 170.

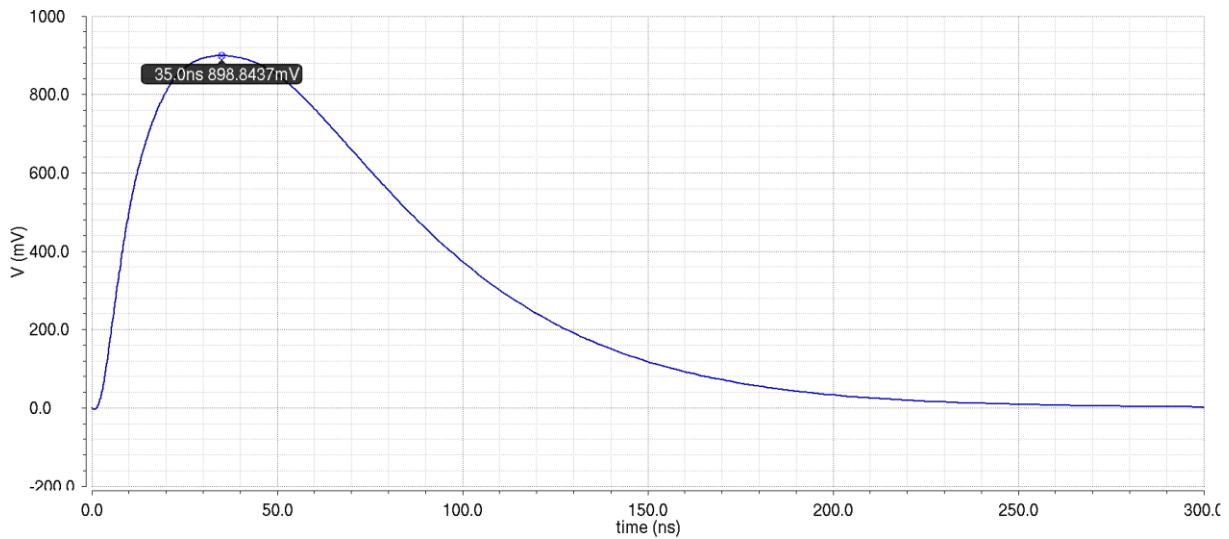


Figure 170 : Réponse transitoire du fast shaper à un échelon de tension idéal de -10 mV.

Le gain est aux alentours de 90 en boucle fermée plutôt que 100. Le temps de peaking est de 35 ns. Conformément à la théorie sur les shapers menée dans le chapitre sur SKIROC2, les effets de limitation de la bande passante sont visibles ici mais n'ont qu'un impact mineur, ce qui montre que les caractéristiques en boucle ouverte de l'amplificateur du fast shaper sont suffisantes pour cette utilisation. A noter que le fast shaper a ici un peaking time deux fois plus rapide que celui de SKIROC2. Pour rappel dans SKIROC2 le peaking time mesuré était de 60 ns alors que le théorique était de 44 ns pour un shaping time de 30 ns.

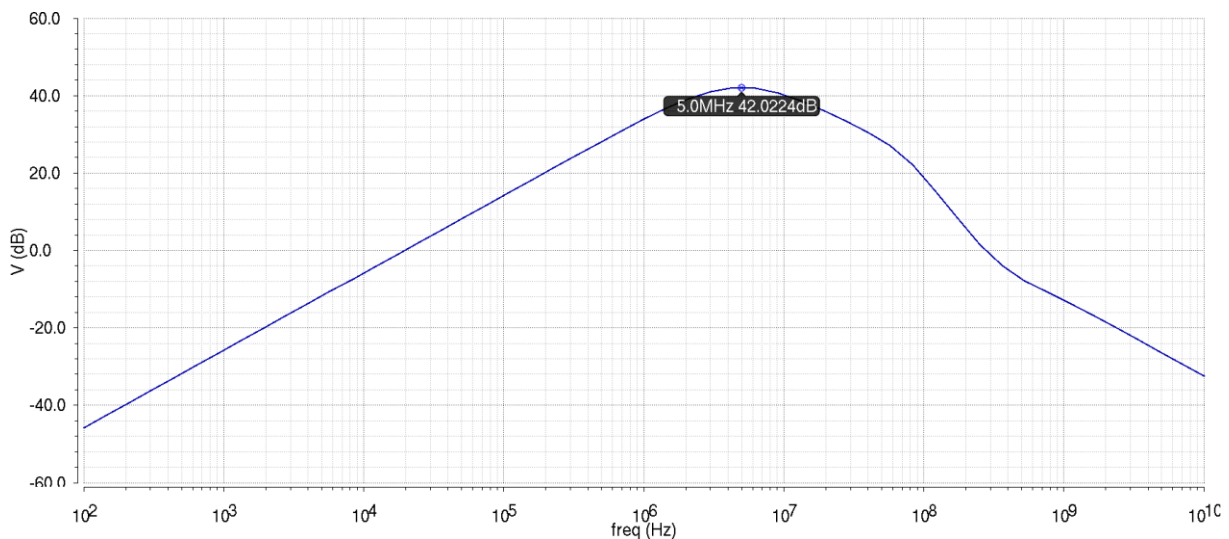


Figure 171 : Simulation en fréquence du fast shaper en boucle fermée.

Une fréquence centrale de 5 MHz correspond à un temps de shaping de 32 ns. Le gain de 42 dB obtenu à 5 MHz par la simulation équivaut à un gain de 126. Théoriquement le module de la fonction de transfert à 5,3 Mhz (= 30 ns de shaping time) devrait être de  $R_2/2R_1 = 136 = 42,67$  dB.

La valeur maximale idéale du module de la fonction de transfert en boucle fermée devrait donc être 42,67 dB. Cela correspond d'après la simulation en boucle ouverte à une bande passante de l'amplificateur de 26 MHz. La marge de phase à 5,3 MHz est de 110,4° ce qui assure une bonne stabilité à cette fréquence de fonctionnement.

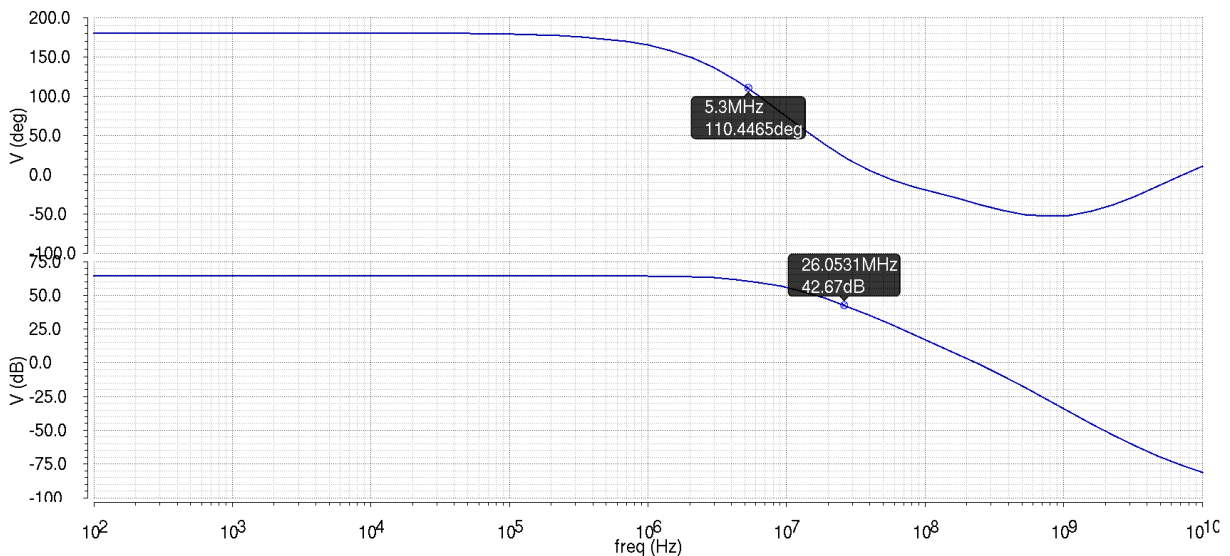


Figure 172 : Simulation en fréquence du fast shaper en boucle ouverte.

Le bruit RMS en sortie de fast shaper seul est de 3,21 mV environ. La majorité du bruit vient du bruit de flicker des transistors d'entrée. Même à 5,3 MHz ce bruit de flicker représente 25 % du bruit total d'après le simulateur. Le bruit thermique des transistors d'entrée représente 20 % du bruit et la résistance de 1,1 kΩ vaut pour 40 %. Sachant qu'un signal d'un MIP en sortie de préamplificateur correspond à un échelon de 506 μV pour  $C_f = 7,5$  pF, en admettant que le signal entrant soit non-bruyant le rapport signal sur bruit en sortie de shaper serait de  $50,6/3,2 = 15,8$ . Le rapport signal sur bruit simulé est donné en sortie de fast shaper en utilisant les préamplificateurs avec  $C_f = 7,5$  pF. La colonne amplitude donne l'amplitude maximale du signal en sortie de shaper en utilisant le préamplificateur correspondant et en injectant 1 MIP à l'entrée de la chaîne.

	Amplitude (mV)	Bruit RMS (mV)	SNR	ENC (e-)
<b>SKIROC2 (6 pF)</b>	52,0	4,7	11,1	2140
<b>PACSP</b>	43,1	4,88	8,84	2686
<b>PACSN</b>	42,1	4,15	10,13	2344
<b>PADIF</b>	47,8	5,40	8,85	2683

Tableau 10 : Comparaison des performances en bruit en sortie de fast shaper.

Les valeurs de SNR sont un peu faibles pour une utilisation à  $C_f = 7,5$  pF sachant qu'un SNR d'au moins 10 est visé idéalement. Elles restent néanmoins acceptables à condition de ne pas être dégradées en mesure, ce qui est peu probable. Diminuer la valeur de la capacité de contre-réaction permettra de gagner en SNR mais fera perdre en gamme dynamique.

Sur le layout la surface est occupée majoritairement par la capacité d'entrée de 27,2 pF, qui a été découpée en 10 capacités de 2,72 pF.

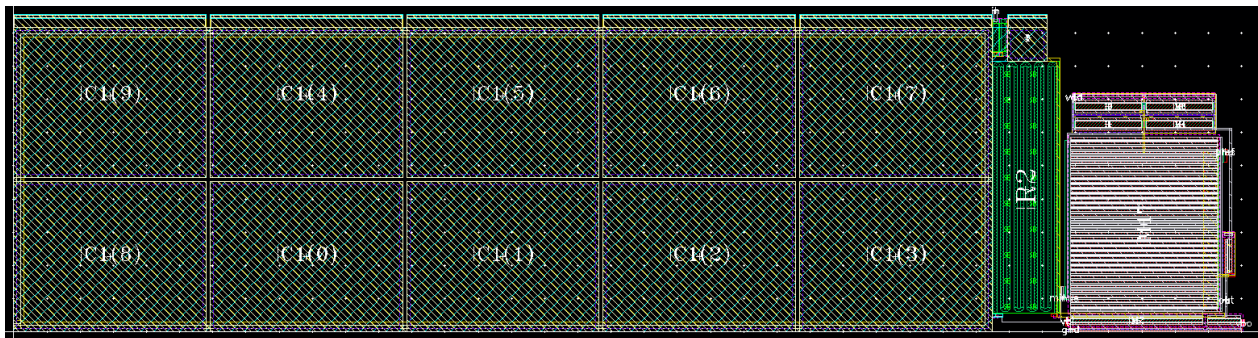


Figure 173 : Layout du fast shaper.

Le bruit RMS du fast shaper pourrait être amélioré en diminuant la valeur de la résistance d'entrée mais il faudrait également augmenter la capacité d'entrée. En doublant la valeur de capacité d'entrée tout en conservant les valeurs de gain et temps de shaping le bruit RMS passe de 3,21 mV à 2,66 mV, faisant passer le SNR simulé en sortie de shaper de 10,13 à 11,77 en utilisant le PACSN par exemple. Cependant cela doublerait la surface de layout du fast shaper pour un gain relativement faible.

## 4.2 Slow shaper haut gain

Le slow shaper haut gain a été développé pour mesurer l'énergie des signaux les plus faibles. Il a un gain de 10 et un peaking time de 180 ns. Le shaping time a été choisi pour être le même que celui de SKIROC2, pour les mêmes raisons. Le gain 10 permet d'avoir une bonne acquisition du signal minimal tout en ayant une gamme dynamique de l'ordre de la centaine de MIP.

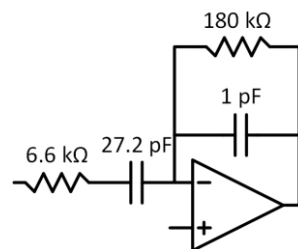


Figure 174 : Schéma du slow shaper haut gain.

Du fait de la valeur de la tension d'alimentation réduite, le schéma de l'amplificateur a été modifié depuis SKIROC2. Dans la puce de SKIROC2 les amplificateurs sont des paires différentielles en premier étage et des suiveurs en tension en second étage. Le problème ici est le même qu'avec les préamplificateurs, un suiveur en tension ferait perdre la moitié de la gamme dynamique. Un suiveur en tension l'aide du transistor natif est aussi problématique car comme il a été vu, ces transistors sont de mauvais suiveurs et ont besoin d'être très grand ( $W/L \approx 1000$  avec  $L$  minimal = 1  $\mu\text{m}$ ) et alimentés lourdement (plus de 200  $\mu\text{A}$ ) afin d'avoir des performances acceptables. Les amplificateurs des shapers dans cette technologie sont donc des OTA 2 étages avec compensation de l'effet Miller. La capacité d'entrée a été choisie grande (27,2 pF) afin de minimiser le bruit apporté par la résistance d'entrée, comme pour le fast shaper.

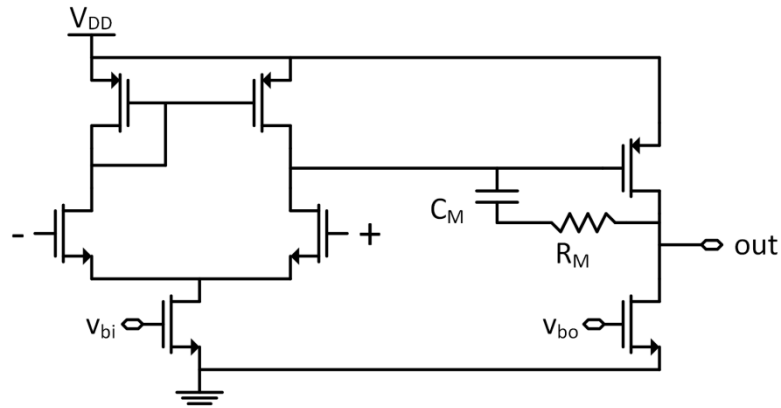


Figure 175 : Schéma de l'amplificateur du shaper.

Ce montage permet de profiter en sortie de la pleine gamme dynamique offerte par l'alimentation, au  $V_{DS}$  des transistors de sortie près. La gamme dynamique dont va profiter le montage est en réalité la plage entre la tension de référence sur l'entrée positive ( $\approx 700$  mV) et la tension d'alimentation dont est soustrait le  $V_{DS}$  du transistor PMOS de sortie. La gamme dynamique est donc théoriquement d'1 V environ.

Le shaper a un temps de peaking de 195 ns et un gain de 10,2 pour un échelon idéal de -1 mV en entrée (environ 2 MIP).

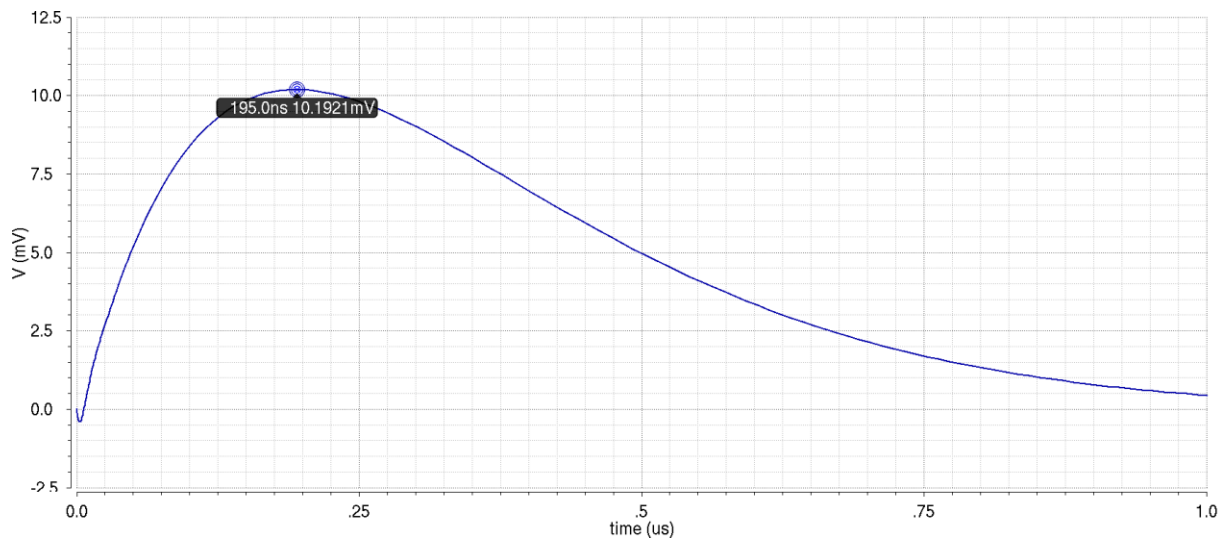


Figure 176 : Réponse transitoire du slow shaper haut gain à un échelon de tension idéal de -1 mV.

La simulation en boucle ouverte donne une bande passante au gain 27,2 de 4,6 MHz et une marge de phase de  $65^\circ$ . Le gain en boucle ouverte de l'amplificateur est 67 dB. Ces caractéristiques garantissent un comportement en boucle fermée proche de l'idéal ( $f_c = 884$  kHz, gain à  $f_c = 22,7$  dB), avec une fréquence centrale à 836 kHz et un gain de 22,8 dB en boucle fermée.

Le rapport signal sur bruit en sortie de slow shaper gain 10 est donné pour les 3 préamplificateurs avec  $C_f = 7,5$  pF.

	Amplitude (mV)	Bruit RMS ( $\mu\text{V}$ )	SNR	ENC (e-)
SKIROC2 (6pF)	5,94	532	11,17	2126
PACSP	4,83	627,5	7,70	3084
PACSN	4,74	611,8	7,75	3064
PADIF	4,95	638,3	7,75	3064

Tableau 11 : Comparaison des performances en bruit en sortie de slow shaper haut gain.

Un SNR de 7,7 pour la mesure est largement suffisant pour discriminer le piédestal et le signal minimal comme le montre la Figure 177 représentant 2 gaussiennes de bruit normalisées, équivalentes au bruit de piédestal et au bruit du signal minimal, pour un SNR = 7,7.

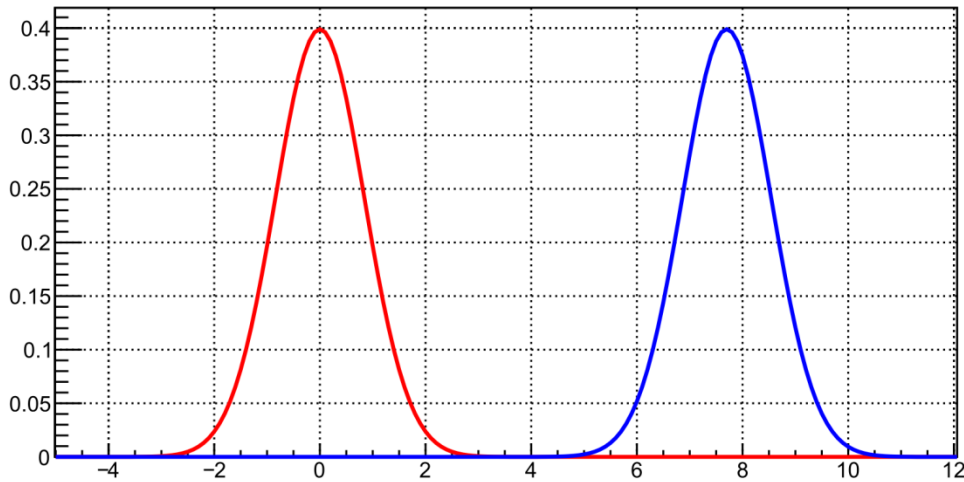


Figure 177 : Gaussiennes normalisées centrées à 0 et 7,7 avec un écart-type de 1. Les unités des axes sont arbitraires.

La linéarité est tracée en sortie de shaper en injectant un échelon idéal dont l'amplitude est donnée en abscisse. Le shaper est linéaire à 1 % INL jusqu'à 90 mV, ce qui correspond à 180 MIP en sortie de préamplificateur avec  $C_f = 7,5$  pF.

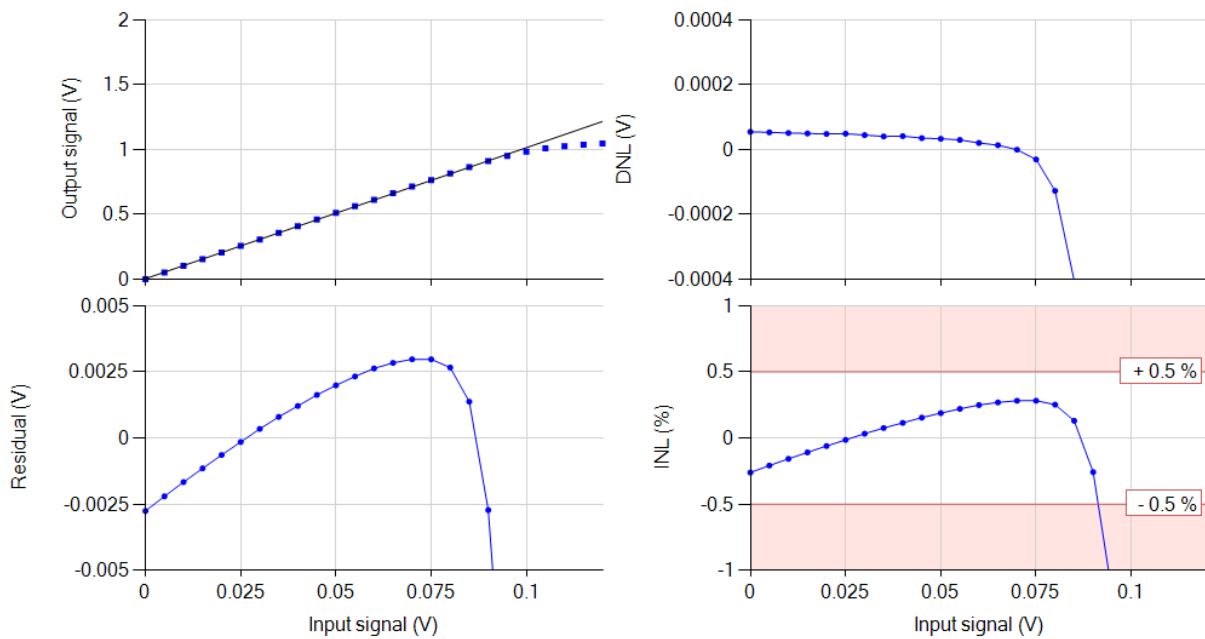


Figure 178 : Linéarité du slow shaper gain 10 avec un échelon idéal en entrée.

De la même manière que pour le fast shaper, la majorité de la surface est occupée par la capacité d'entrée de 27,2 pF.

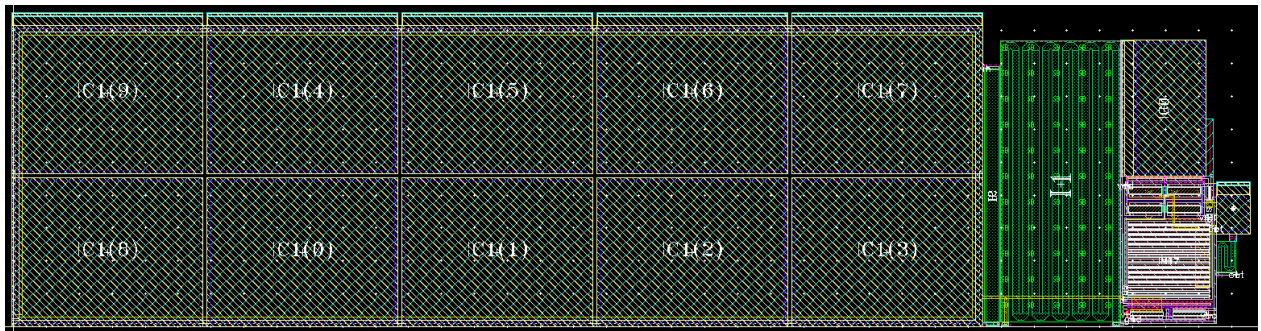


Figure 179 : Layout du slow shaper haut gain.

### 4.3 Slow shaper bas gain

Le slow shaper sert à mesurer l'énergie sur toute la gamme dynamique. La gamme dynamique en sortie de shaper étant moins importante qu'en sortie de préamplificateur, le gain a été choisi inférieur à 1 afin de pouvoir suivre la gamme dynamique des préamplificateurs qui est comprise entre 1,1 V et 1,5 V contre 1 V en sortie de shaper. Ce gain est de  $2/e \approx 0,74$ .

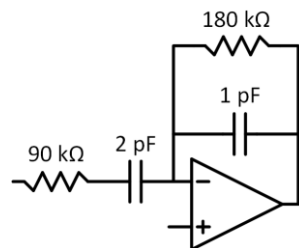


Figure 180 : Schéma du slow shaper bas gain.

L'amplificateur utilisé a la même structure que celui du slow shaper haut gain. Les valeurs des composants en revanche ont été ajustées, notamment les valeurs de la capacité et de la résistance de compensation de l'effet Miller. En effet contrainte sur la stabilité est plus grande du fait du gain de boucle fermée plus faible. La simulation en boucle fermée donne un temps de peaking de 200 ns pour un gain de 0,73 avec un signal entrant idéal de 1 mV. L'amplificateur a une bande passante de 13 Mhz au gain de 2 avec une marge de phase de 65°. Le gain en boucle ouverte est de 64,5 dB. La simulation fréquentielle en boucle fermée donne une fréquence centrale à 823 kHz pour un gain de 500  $\mu$ dB  $\approx$  0 dB.

Il est possible d'accélérer légèrement le shaper en diminuant la valeur de la capacité de contre-réaction. Cela donnera un peu plus de gain en boucle fermée et compensera l'effet de la limitation de la bande passante de l'amplificateur du shaper sur la fréquence centrale et le temps de peaking. Finalement la capacité de contre-réaction a été diminuée de 1 pF à 700 fF. Le gain en boucle fermée est passé à 0,86 et le temps de shaping est descendu à 180 ns.

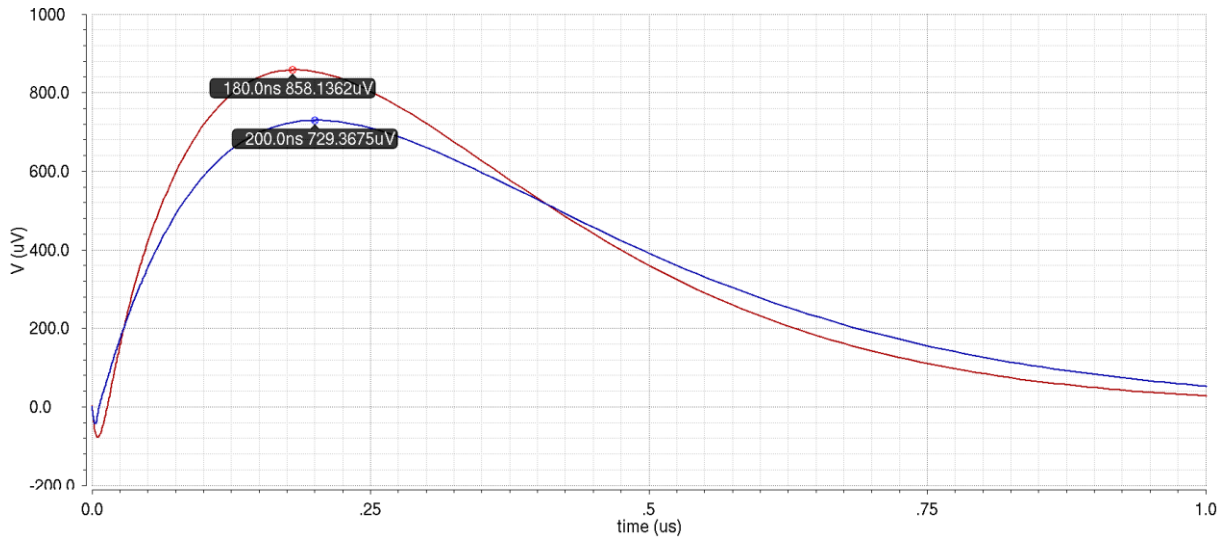


Figure 181 : Influence de la réduction de la capacité de contre-réaction du shaper bas gain sur le signal temporel en sortie.

Le rapport signal sur bruit en sortie de slow shaper bas gain est donné pour les 3 préamplificateurs avec  $C_f = 7,5$  pF.

	Amplitude ( $\mu$ V)	Bruit RMS ( $\mu$ V)	SNR
<b>SKIROC2 (6 pF)</b>	624,2	246,5	2,53
<b>PACSP</b>	405,4	354,4	1,14
<b>PACSN</b>	397,3	350,2	1,13
<b>PADIF</b>	415,6	354,2	1,17

Tableau 12 : Comparaison des performances en bruit en sortie de slow shaper bas gain.

Le SNR n'a pas besoin d'être très élevé, ce shaper étant utilisé pour des signaux de plusieurs centaines de MIP, le bruit induit une incertitude sur la mesure inférieure à la contrainte de non-linéarité de 1 %. La linéarité est tracée en sortie de shaper en envoyant en entrée un échelon de tension idéal. La valeur en sortie de shaper à 180 ns après injection est tracée en fonction de l'amplitude en tension du signal entrant.



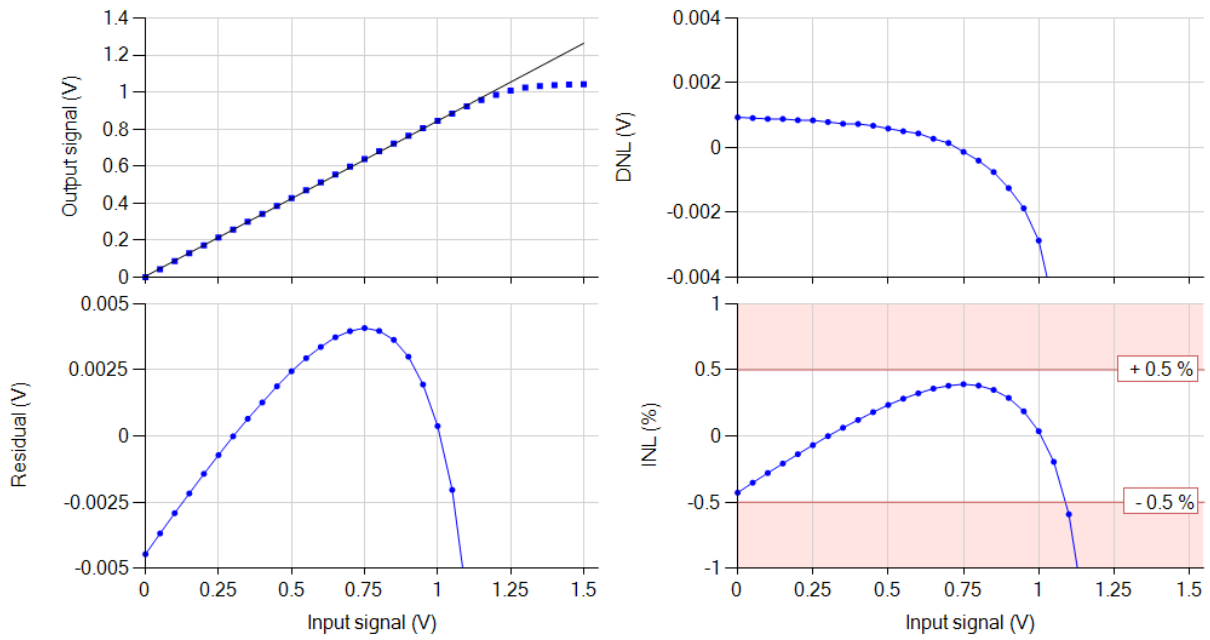


Figure 182 : Linéarité du slow shaper bas gain avec un échelon idéal en entrée.

Malgré le gain réduit le signal en sortie de shaper affiche un INL inférieur à 1% jusqu'à 1,1 V d'amplitude du signal entrant. C'est insuffisant pour contenir toute la gamme dynamique venant du préamplificateur. Diminuer le gain augmente l'instabilité, retrouver la stabilité ralenti le shaper à moins d'augmenter la consommation, le compromis est difficile à trouver. Afin d'améliorer le comportement des shapers la solution d'utiliser un amplificateur avec une paire différentielle en PMOS plutôt que NMOS a été étudiée. Cela permet d'abaisser le point de polarisation à l'entrée et de profiter plus pleinement de la gamme dynamique en sortie. La simulation donne le résultat Figure 183 concernant la linéarité d'un shaper utilisant un amplificateur en PMOS.

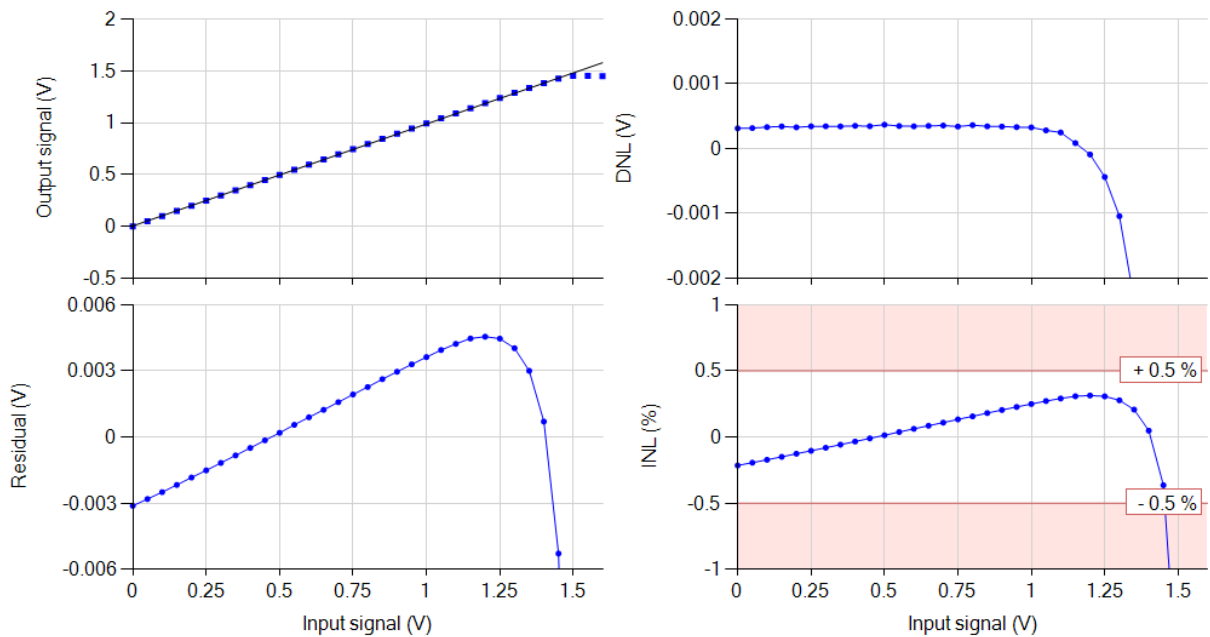


Figure 183 : Linéarité du slow shaper bas gain dans le cas de l'utilisation du montage PMOS avec un échelon idéal en entrée.

Le gain est ici de 1 ( $R_2/R_1 = 2,72$ ) et la gamme dynamique en sortie de shaper approche les 1,5 V. La gamme dynamique est donc presque 50% plus importante que précédemment. Utiliser ce shaper serait bien plus intéressant cependant cela aurait nécessité le développement d'un amplificateur rail-to-rail pour le suiveur de l'échantillonneur bloqueur. L'approche de la date de départ en fonderie ne permettait pas cela.

## 5 Bandgap

Le bandgap a été conçu selon un schéma de base retrouvé classiquement dans la littérature. La position de la cloche peut-être réajustée par slow-control en utilisant des interrupteurs autorisant ou non certaines diodes. Ainsi il est possible de redéfinir le paramètre  $K$  de la formule  $V_{REF} = V_{BE} + KV_T$  car  $K = (R_1/R_0)\ln(N)$  avec  $N$  le nombre de diodes activées, afin de limiter l'excursion en tension en fonction de la température. Cela permet de faire face aux aléas de fabrication, qui ont tendance à nettement dégrader les performances des bandgap de la simulation à la mesure.

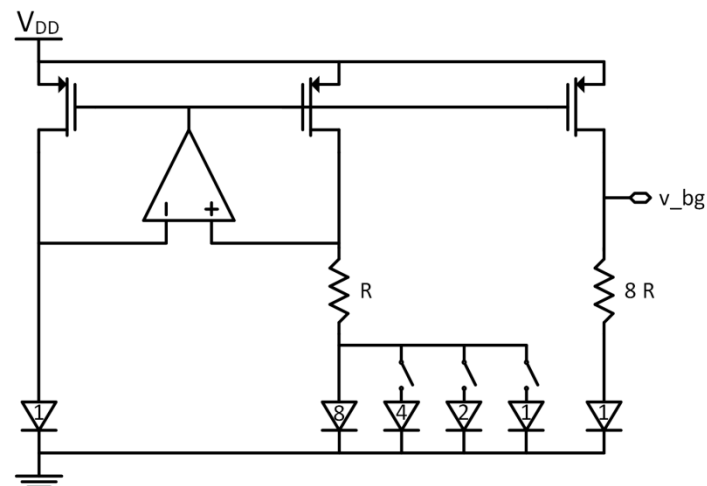


Figure 184 : Schéma du bandgap.

L'effet du réglage du bandgap par les bits de slow control sur les diodes est présenté Figure 185. Le code « 000 » ouvre tous les interrupteurs ; le rapport de diodes est de 8:1. Le code « 111 » donne un rapport 15:1. Le facteur  $K$  varie ainsi de  $8 \times \ln(8) = 16,6$  à  $8 \times \ln(15) = 21,7$ . La bascule de pente sur la parabole du bandgap se fait au code « 010 » pour  $K = 18,4$ .

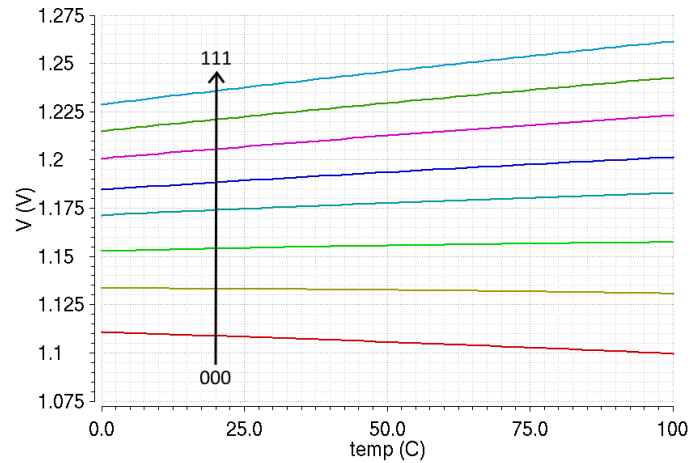


Figure 185 : Effet du réglage des paramètres de slow control du bandgap sur la valeur de tension de sortie en fonction de la température.

Une simulation Monte Carlo a été menée afin de vérifier que la dispersion est bonne. Cette simulation a été menée avec le code « 010 », donc un rapport 10:1 sur les diodes pour un paramètre  $K = 18,4$ .

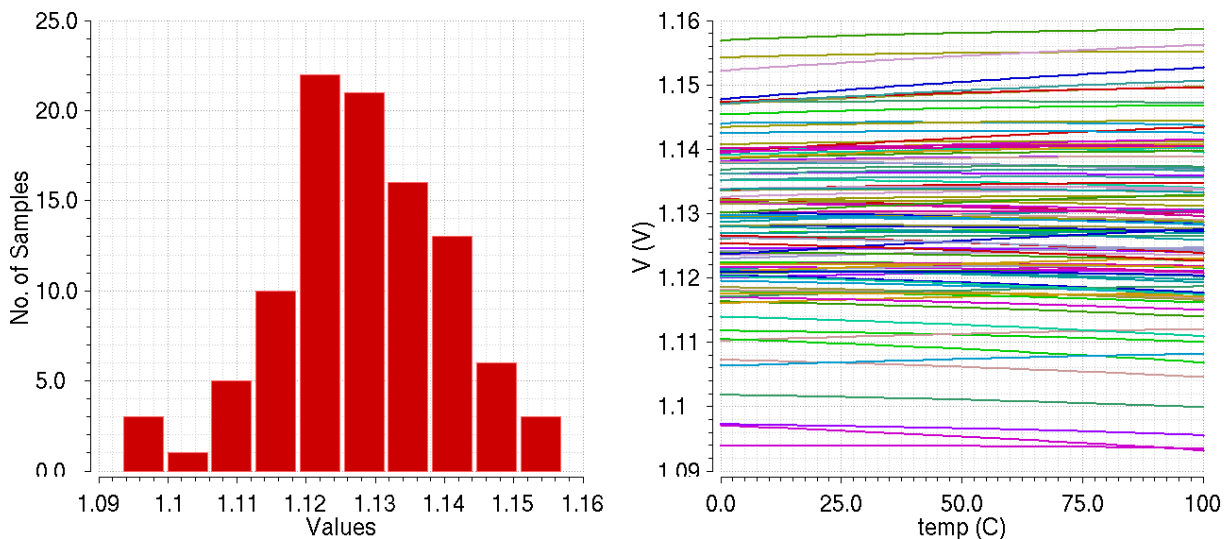


Figure 186 : Simulation Monte Carlo process + mismatch du bandgap pour 100 échantillons. Gauche : dispersion des valeurs de tension en sortie de bandgap à 30°C. Droite : sortie  $v_{bg}$  en fonction de la température.

La valeur de tension en sortie de bandgap varie entre 1,09 et 1,16 V selon la simulation soit une dispersion pic-pic de 60 mV. La valeur moyenne est de 1,129 avec un écart type de 12,54 mV. Les performances sont comparables à celles de SKIROC2 d'après la simulation. En revanche en ce qui concerne la déviation de la tension en fonction de la température, les résultats semblent bien meilleurs que pour SKIROC2 avec une déviation comprise entre  $60 \mu\text{V}/^\circ\text{C}$  et  $-50 \mu\text{V}/^\circ\text{C}$  (Figure 187) contre  $\pm 300 \mu\text{V}/^\circ\text{C}$  pour SKIROC2.

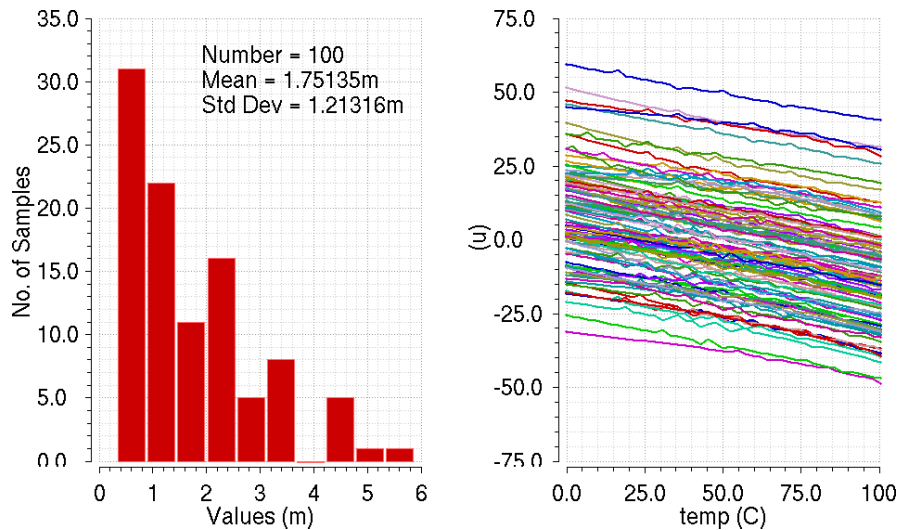


Figure 187 : Gauche : Ecart entre la valeur minimale et maximale de tension entre 0 et 100°C. Droite : Dérivée de la tension en sortie de bandgap en fonction de la température.

## 6 Comparateur

Le comparateur utilisé est un amplificateur 3 étages en boucle ouverte. Il est suivi par un buffer digital servant à redresser les fronts montants et descendants. Le design de ce comparateur n'a pas été poussé, les performances de ce bloc n'étant pas de première importance à ce niveau de développement.

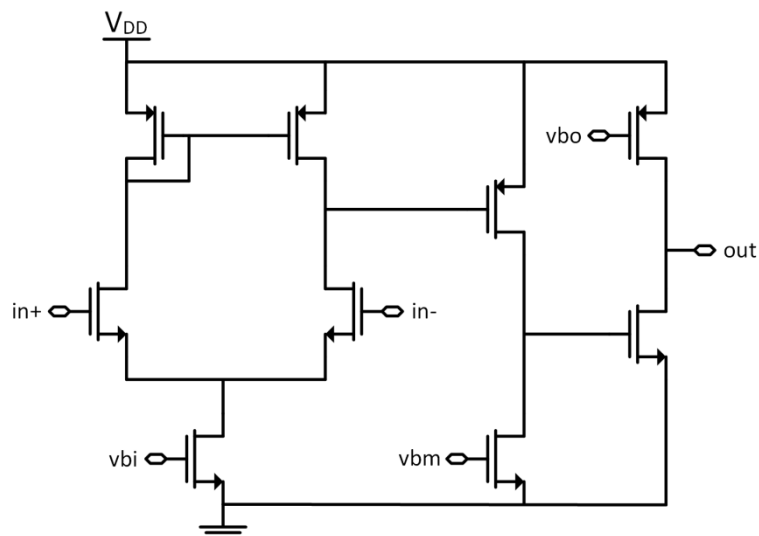


Figure 188 : Schéma du comparateur.

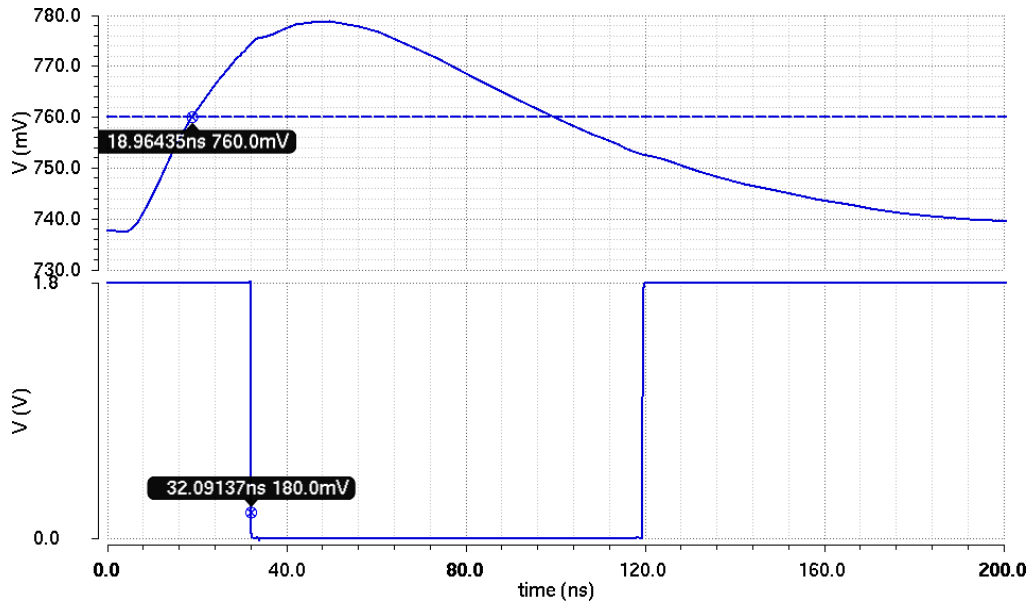


Figure 189 : Simulation du comparateur.

Le comparateur met environ 23 ns à déclencher sur un échelon idéal. Si la mesure est faite en sortie de fast shaper, le comparateur met 32 ns à déclencher sur le signal minimal entrant avec un seuil de déclenchement à  $\frac{1}{2}$  MIP (le signal minimal a une amplitude d'environ 40 mV en sortie de fast shaper et le seuil est 20 mV au-dessus du piédestal). En prenant en compte le bruit sur le signal en sortie de fast shaper ce temps peut encore varier. Ce délai fixe de 32 ns n'est pas un handicap pour la précision de la mesure du signal car c'est une erreur systématique. Il suffit de régler la boîte à délai en le prenant en compte. Le paramètre le plus gênant est le jitter dû au bruit. Cependant plus le fast shaper sera rapide moins ce jitter sera important. C'est pour cela qu'un temps de peaking de 30 ns a été choisi, ce qui est plus rapide que dans le cas de SKIROC2 avec près de 60 ns d'après la simulation pour le réglage le plus rapide.

## 7 Boîte à délai

La boîte à délai est utilisée pour déclencher l'échantillonneur bloqueur sur le maximum du signal des slow shapers, de la même manière que pour SKIROC2. Le signal de venant du discriminateur déclenche une rampe. La position de cette rampe est comparée à un seuil fixe et lorsque la rampe dépasse ce seuil, le signal de sortie est envoyé.



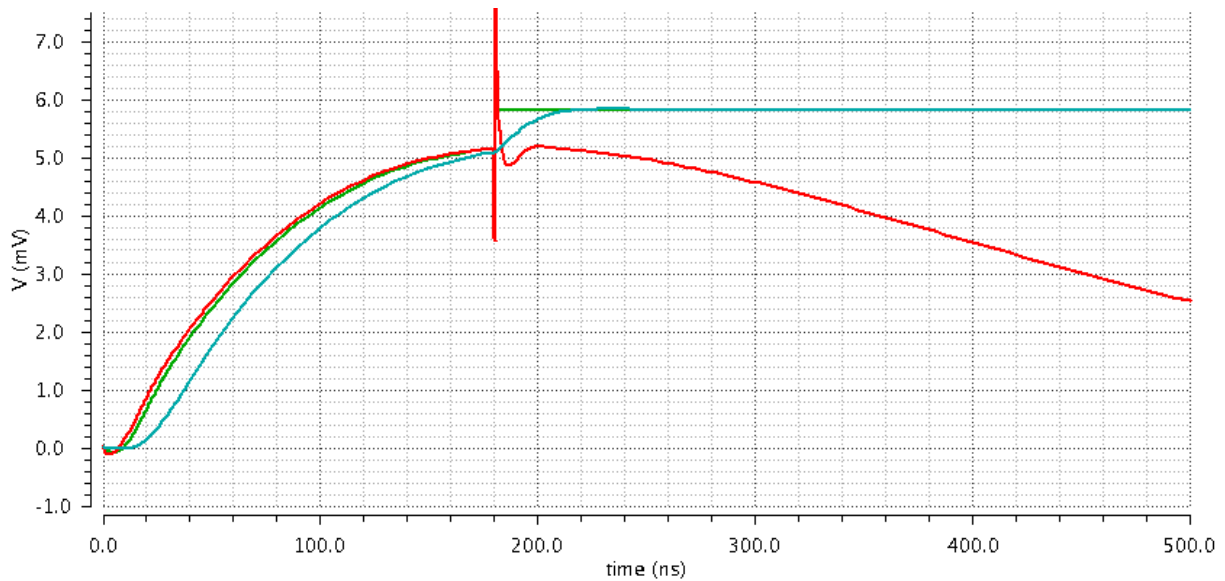


Figure 192 : Comportement de la cellule de mémorisation analogique.

L'injection de charge dans la capacité créé par la fermeture de l'interrupteur est clairement visible pour des petits signaux. Il y a deux choses à dire à ce sujet. Premièrement l'expérience montre que cette injection au niveau de la sortie du shaper est largement réduite dans la réalité de la mesure. Ensuite cette injection dans la cellule de mémorisation est toujours égale et ne cause pas de problème de linéarité. C'est en fait comme si le piédestal était simplement élevé d'1 mV.

## 9 ADC Wilkinson

L'ADC Wilkinson est utilisé avec le comparateur présenté précédemment et le générateur de rampe présenté Figure 193. Le piédestal de la rampe est à 0,6 V et le piédestal des shapers est à 0,7 V. Contrairement au cas de la boîte à délai, cette rampe unique est envoyée sur les discriminateur de tous les canaux, un suiveur est donc nécessaire pour pouvoir assurer l'intégrité de la rampe.

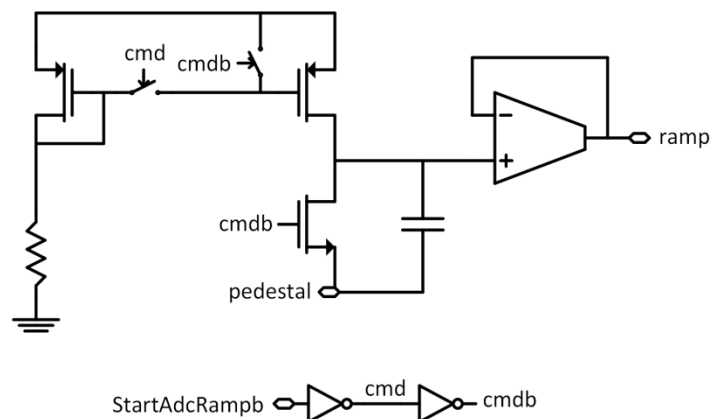


Figure 193 : Générateur de rampe pour l'ADC Wilkinson.

La linéarité de cette rampe est tracée Figure 194 et est de première importance car les non-linéarités de celle-ci impactent directement la précision de la mesure en venant s'ajouter aux non-linéarités du préamplificateur et des shapers.

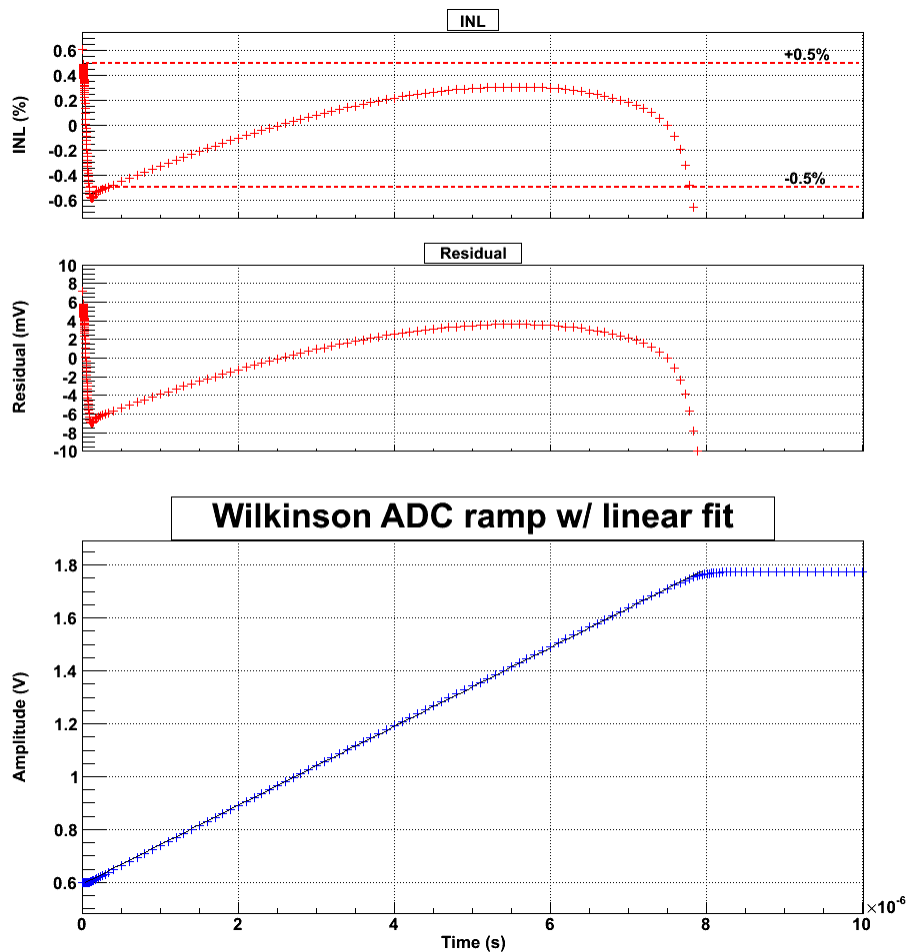


Figure 194 : Linéarité simulée de la rampe de l'ADC Wilkinson.

L'ADC fonctionne de pair avec un compteur 10 bits fonctionnant à 160 MHz. Pour compter jusqu'au code maximal il faut  $6,4 \mu\text{s}$ . Le temps de montée de la rampe est choisi pour correspondre à ce temps de  $6,4 \mu\text{s}$ , avec une marge supplémentaire pour s'assurer de profiter de la pleine gamme dynamique du compteur.

## 10 Conclusion

Lors du design de ces building blocks plusieurs choses ont pu être notées. Premièrement les transistors natifs sont très mauvais et encombrants. Ils ne font pas des suiveurs de tension satisfaisants. Afin de pallier aux difficultés dues à la tension d'alimentation réduite, les étages de sorties des amplificateurs sont des étages de source commune plutôt que de drain commun afin d'éviter de perdre un tiers de la gamme dynamique à cause des tensions de seuil des transistors. Les natifs sont utilisés seulement pour les étages de sortie des préamplificateurs utilisant des sources commune à l'entrée car la polarisation ne pourrait pas se faire.



Deuxièmement les performances en bruit de flicker semblent elles aussi très mauvaises, avec un bruit de flicker prépondérant aux fréquences de travail de la puce (de l'ordre du MégaHertz). Malgré cela des performances en bruit satisfaisantes ont pu être obtenues par la simulation, sans pour autant promettre d'être meilleures que celles de SKIROC2.

Il reste à vérifier par les mesures que les modèles de simulation sont corrects. En effet la technologie est tout juste accessible au grand public et le design kit est très récent. Certaines règles de design ont même changé 2 semaines avant la fabrication. De plus lors d'expériences passées avec une autre technologie d'X-Fab (SOI 1  $\mu\text{m}$ ), de gros écarts de la simulation à la mesure ont été notés. Les mesures sont donc abordées avec une confiance toute relative dans les résultats.

# IV. Mesures des building blocks

## 11 Carte de test

Contrairement aux cartes de test habituellement dessinées à Weeroc, le parti pris a été de ne pas avoir de FPGA directement sur la carte mais d'utiliser un connecteur pour brancher la carte de DIF (Data InterFace) utilisée pour les slabs de skiroc2. La DIF fonctionnant intégralement avec une tension d'alimentation de 3,3 V il a fallu ajouter des translateurs de niveau afin d'interfacer les signaux numériques en 1,8 V dans l'ASIC et 3,3 V sur le FPGA. L'objectif est de réutiliser le firmware développé pour SKIROC2, minimisant le travail de développement VHDL.

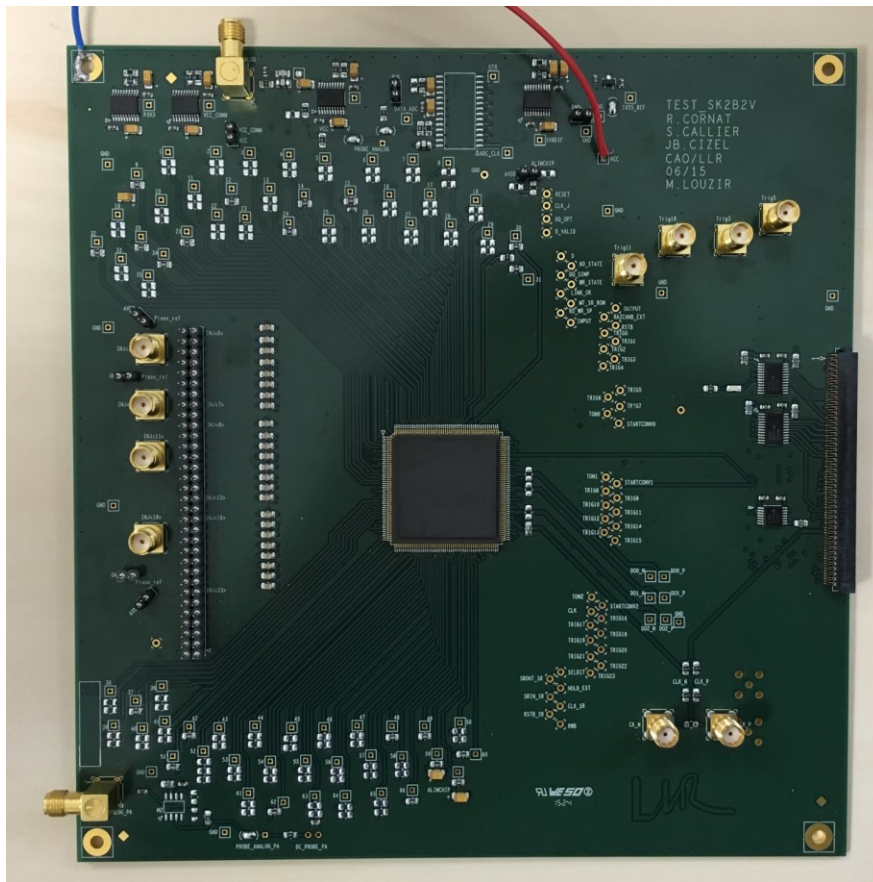


Figure 195 : Photographie de la carte de test des building blocks.

La carte dispose :

- D'entrées analogiques avec des capacités d'injection de 10 pF (correspondant à la capacité détecteur des diodes PIN) ;
- D'alimentations régulées en 3,3 V et 1,8 V. Une alimentation de 1,8 V réservée à l'ASIC et deux alimentations de 1,8 V et 3,3 V pour les translateurs de niveau interfaçant avec la DIF ;
- Des systèmes de réglage des tensions de polarisation et de références de l'ASIC ;

- Un bandgap et un ADC externe pour remplacer une éventuelle défaillance de ceux de l'ASIC ;
- Des points de test pour les signaux numériques ;
- Des sorties protégées par des suiveurs en tension pour les signaux analogiques. Les sondes pour les sorties des préamplificateurs et les sorties des shapers et mémoires analogiques sont séparées afin de pouvoir observer les signaux simultanément.

J'ai réalisé le schéma de la carte avec l'aide de Rémi Cornat et Stéphane Callier. Le layout de la carte a été réalisé par Marc Louzir au LLR.

## 12 Software C#

Un software en C# a été développé afin de gérer l'envoi des bits de configuration de la puce (slow control) et des sondes (probes) et de récupérer les données numériques en sortie d'ADC. Le code de ce software est basé sur le travail que le docteur Yingtao Chen a réalisé durant sa thèse [31].

L'écran principal permet de connecter la carte par le biais de la prise USB et d'envoyer le slow control et les probes.

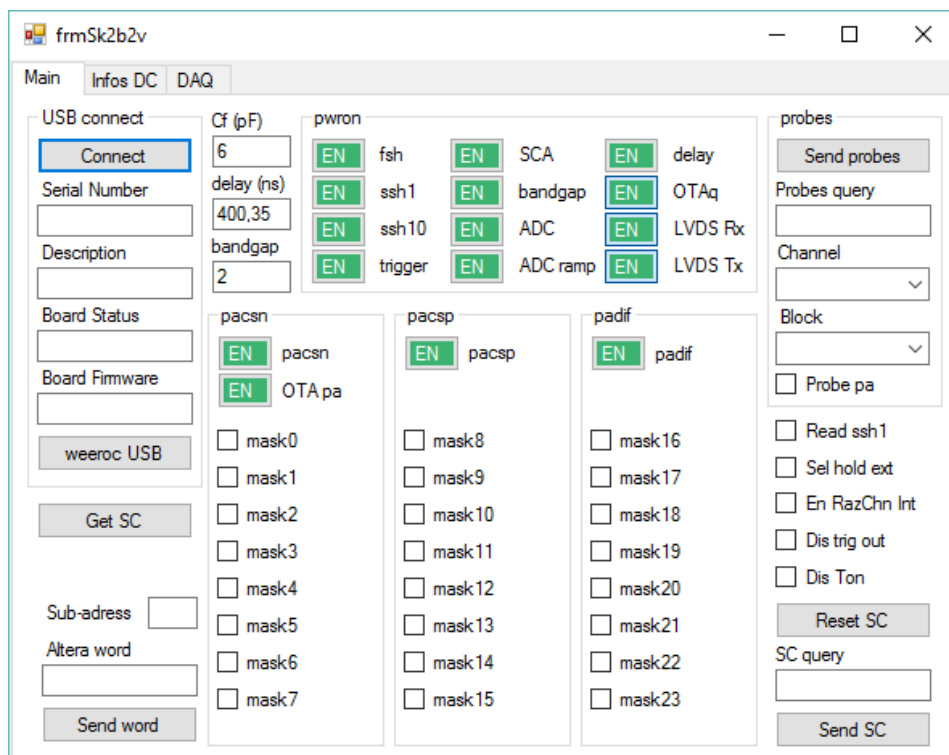


Figure 196 : Écran principal du software développé pour les mesures des building blocks.

L'écran « Infos DC » est un simple tableau permettant de faire le lien entre les noms des points de polarisation de l'ASIC et le numéro de leur pin de test correspondant sur la carte. Il est aussi noté la valeur de tension nominale simulée et permet de vérifier que les points sont correctement polarisés.

L'écran « DAQ » permet de faire l'acquisition des données de l'ADC.

## 13 Points de polarisation

La mesure des points de polarisation est la première chose à faire lors de la mise en place de mesures. Cela permet de vérifier que le circuit est correctement polarisé et qu'il n'y a pas de courts-circuits ou de blocs dysfonctionnels. Ces points de polarisation sont en fait :

- La tension de référence donnée par le bandgap (vbg) ;
- Les références de tension des blocs analogiques (vref, vcas) ;
- Les points de tension des miroirs de courant donnant les valeurs des courants traversant les blocs analogiques (ib, ibi, ibm, ibo).

Le tableau suivant liste les mesures des points de polarisation sur carte de test et note l'écart entre la mesure et la simulation.

# PIN	Nom du signal	Valeur mesurée (mV)	Valeur simulée (mV)	Écart (mV)
1	ib_pacsn	829	837,7	-8,7
2	ibi_ssh1	742	731	11
3	ibi_ssh10	784	774,2	9,8
4	ibi_fsh	842	846,9	-4,9
5	ibi_scasuiv	710	712,5	-2,5
6	ibo_trig	820	852,9	-32,9
7	ibm_wilki	830	781,6	48,4
8	ibo_delay	760	761,3	-1,3
10	ibsuiv_pacsn	923	911,5	11,5
11	ib_otapa	1266	1289	-23
13	ibo_ssh10	844	823,5	20,5
16	ibo_wilki	835	852,9	-17,9
17	ibi_trig	800	768,9	31,1
18	ibi_delay	761	761,3	-0,3
19	ibsuiv_pacsp	908	910,2	-2,2
22	ibsuiv_otapa	495	476	19
23	ibo_ssh1	738	731	7
25	ibo_fsh	914	910,2	3,8
26	ibo_scasuiv	685	679,8	5,2
27	ibm_trig	818	781,6	36,4
28	ibi_wilki	818	768,9	49,1
29	ibsuiv_ota	847	831,9	15,1
33	ibo_pacsp	762	766	-4
35	ibi_pacsp	863	864,9	-1,9
36	ibi_ota	710	721,4	-11,4
38	ibo_padif	700	683,8	16,2
39	ibo_ota	567	589,6	-22,6
40	ibsuiv_rf	490	450,7	39,3
41	ibi_padif	839	844,4	-5,4
43	ibo_bg	684	679,8	4,2
44	ibo_otabg	688	679,8	8,2
45	vcascn_pa	833	823,5	9,5
46	vref_ssh10	740	733,7	6,3

47	ibo_wilkiramp	664	662,1	1,9
50	vref_delay	803	787,3	15,7
52	vref_preamp	879	900	-21
53	ibi_bg	690	679,8	10,2
54	ib_delay	581	595	-14
55	vref_otapa	1512	1500	12
56	vref_fsh	742	733,7	8,3
57	wilki_slope	1155	1147	8
58	vref_sca	736	733,7	2,3
61	ibi_otabg	685	679,8	5,2
63	vref_ssh1	738	733,7	4,3
64	ibi_wilkiramp	671	662,1	8,9
67	vbg	1165	1153	12

Tableau 13 : Points de polarisation des building blocks sur carte de test.

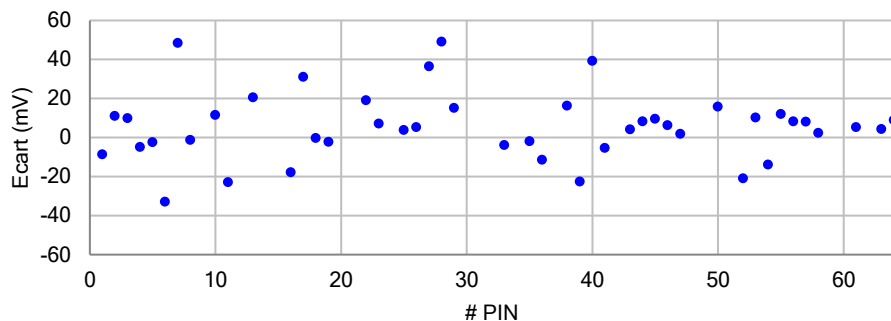


Figure 197 : Écart entre les valeurs simulées et mesurées des points de polarisation en fonction du numéro de pin.

La moyenne de l'écart est de +5,8 mV avec un écart-type de 17,2 mV. L'écart maximal est 49,1 mV. La moyenne des valeurs absolues des écarts est de 13,4 mV. Les écarts les plus importants sont mesurés sur les points de polarisation du comparateur en sortie de fast shaper et sur le comparateur de l'ADC Wilkinson (les deux seuls comparateurs du circuit).

En écartant ces points ainsi que les bias des contre-réactions résistives des préamplificateurs des calculs d'écart, l'écart moyen devient 8,8 mV (contre 13,4 mV) et l'écart-type 10,15 mV (contre 17,2 mV). Le point de polarisation présentant l'écart maximal devient alors ibo\_ota (écart de -22,6 mV). Les points écartés sont de moindre importance, les bias des contre-réactions résistives ne jouent que sur la décharge de la capacité de contre-réaction.

Il est difficile de tirer des conclusions de ces valeurs compte tenu du fait que ces mesures sont réalisées sur un seul chip. Pour cet ASIC là cependant ces valeurs de polarisation garantissent un bon fonctionnement du circuit.

Concernant SKIROC2 et avec des mesures faites sur plusieurs puces, la dispersion pic-pic de la valeur en sortie de bandgap est de  $\pm 30$  mV avec un écart-type de 17 mV. Les ordres de grandeurs semblent donc équivalents.

La position de la « cloche » du bandgap est vérifiée par la mesure grâce à une enceinte *Climats : Spirale 3*. Cette cloche est centrée avec le réglage de slow control par défaut sur une

température de 65 °C. Cette température peut être ajustée sur 3 bits comme présenté dans la partie 5 à la page 143.

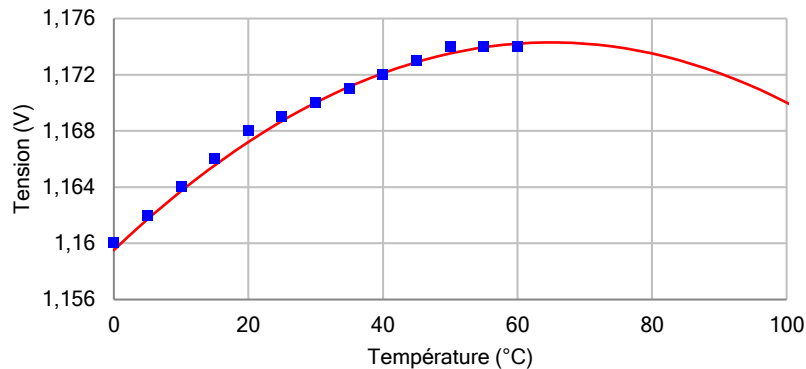


Figure 198 : Mesure du bandgap en fonction de la température. Bleu : mesure, Rouge : fit.

Le fit vaut  $F(x) = 0,35 \cdot 10^{-6} \times (x - 65)^2 + 1,1743$ . Cela donne une parabole centrée à 65 °C pour une valeur de tension de 1,174 V à ce point.

## 14 Signaux de sortie analogiques

Une fois les points de polarisation de la puce vérifiés et validés, il est temps de s'intéresser au comportement de la partie analogique de la puce. Il faut vérifier que les préamplificateurs et les shapers fonctionnent correctement et que les signaux ont la forme attendue.

Dans un premier temps est étudiée la sortie des préamplificateurs (Figure 199). Le signal est injecté de la même manière que pour les mesures sur SKIROC2. Un échelon de tension est envoyé à travers une capacité de 10 pF. Ici un échelon de 50 mV, la charge à l'entrée du préamplificateur est donc de 500 fF. Un sérieux déficit sur l'amplitude en sortie de PACSN est observé. Le comportement transitoire sur l'échelon, en ce qui concerne le temps de descente et l'undershoot, est le même pour les trois préamplificateurs. Cet effet est dû au système de sonde des signaux analogiques et à la diaphonie du discriminateur du fast shaper. Il est possible de voir l'effet de cette diaphonie aux alentours de 0,6  $\mu$ s également, sur le retour du discriminateur. Sur l'échelon du PACSN, où l'amplitude est moindre comparée aux deux autres préamplificateurs, cet effet de la diaphonie apparaît plus tôt car le signal en sortie de fast shaper étant lui aussi moins ample, il passe moins de temps au-dessus du seuil du discriminateur.

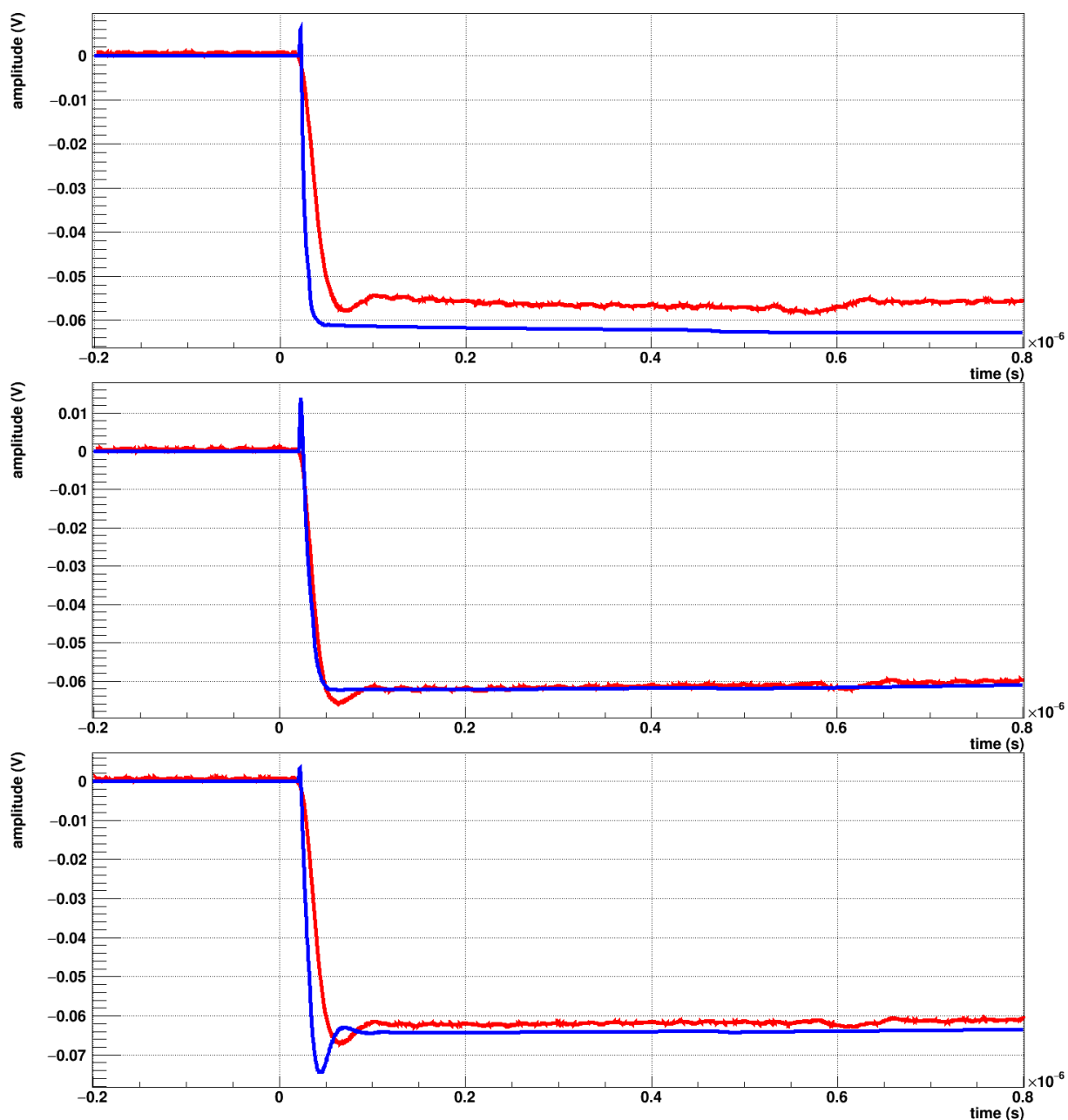


Figure 199 : Signal transitoire simulé (bleu) et mesuré (rouge) en sortie des différents préamplificateurs. De haut en bas se trouvent les sorties du PACSN, PACSP et PADIF.

En comparant la sortie mesurée du fast shaper avec la simulation (Figure 200), une grande différence de temps de peaking est notable. Les effets de la sonde ne sont ici pas suffisants pour expliquer ce comportement. D'éventuelles capacités ou résistances parasites pourraient expliquer ce comportement. Le signal transitoire en sortie de shaper gain 1 (Figure 201) est encore plus déformé et n'est lui non plus pas compris pour le moment. La déformation sur la montée semble être due à de la diaphonie digitale mais en désactivant les blocs un à un, analogiques ou digitaux, aucun changement n'a été constaté en sortie du shaper, jusqu'à tout éteindre sauf le préamplificateur et le slow shaper bas gain. En sélectionnant un gain de préamplificateur plus élevée la déformation est moins importante mais cependant toujours présente.

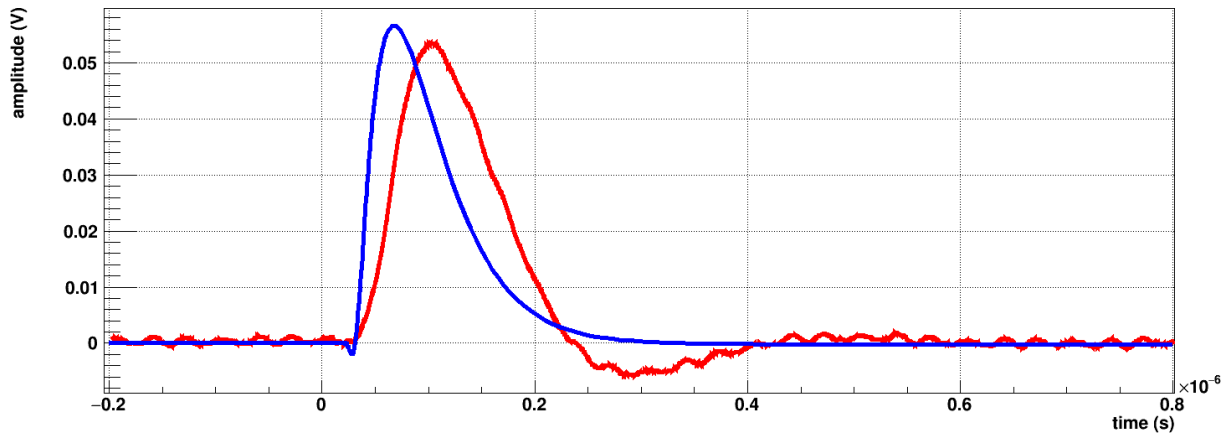


Figure 200 : Signal transitoire simulé (bleu) et mesuré (rouge) en sortie de fast shaper.

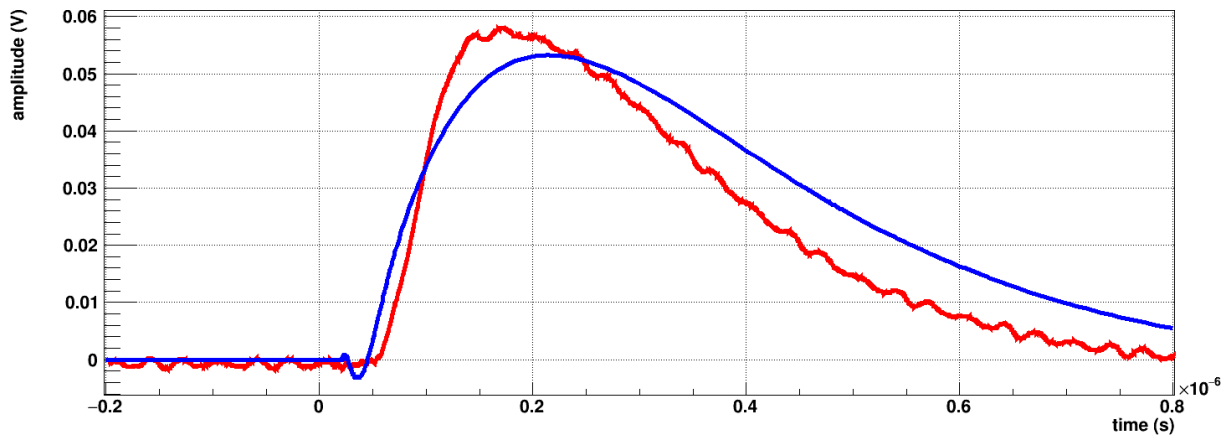


Figure 201 : Signal transitoire simulé (bleu) et mesuré (rouge) en sortie de slow shaper bas gain.

Le signal de sortie de slow shaper haut gain semble être le seul à se comporter comme attendu, avec un temps de peaking et une amplitude très proches de ce qui était simulé (Figure 202).

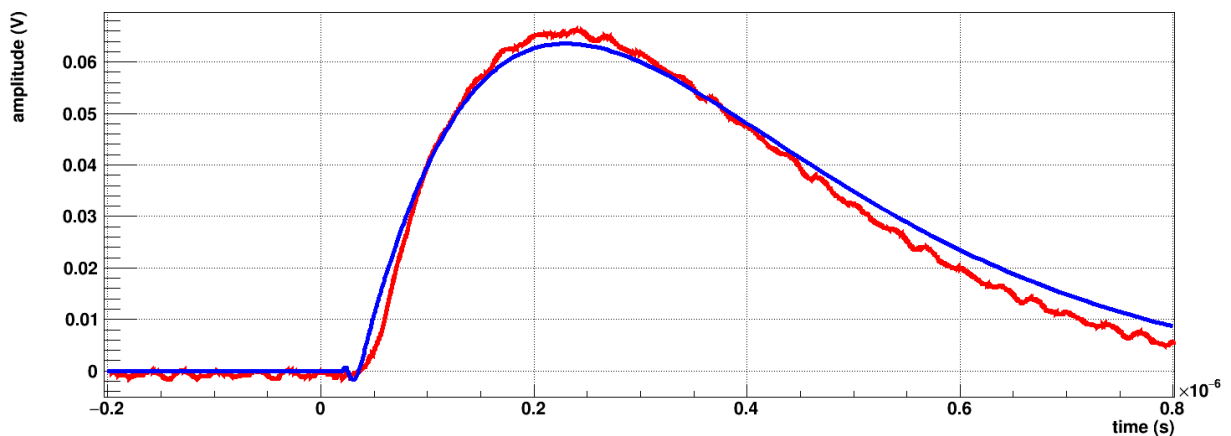


Figure 202 : Signal transitoire simulé (bleu) et mesuré (rouge) en sortie de slow shaper haut gain.

## 15 Linéarités

En traçant les linéarités, le fonctionnement de la puce dans sa globalité est vérifié. En effet la linéarité est tracée grâce aux données numériques relevées en sortie d'ADC.



Si la linéarité est bonne cela signifie que :

- La chaîne analogique (préamplificateurs et shapers) fonctionne ;
- Le déclenchement sur le signal entrant fonctionne ;
- L'ADC et la partie numérique fonctionnent.

Cette mesure, simple en apparence, sanctionne en fait le fonctionnement global de la puce. Il suffit qu'un seul des blocs développés ne fonctionne pas pour que ces linéarités ne soient pas possibles à faire.

## 15.1 PACSP

La linéarité est mesurée en sortie de slow shaper gain 1 en utilisant le préamplificateur PACSP. Les résultats en sortie du slow shaper montrent une linéarité INL à 2 % jusqu'à 1900 MIP (7,22 pC) avec une capacité de contre-réaction du préamplificateur de 7,5 pF (i.e. avec le gain minimal, Figure 205).

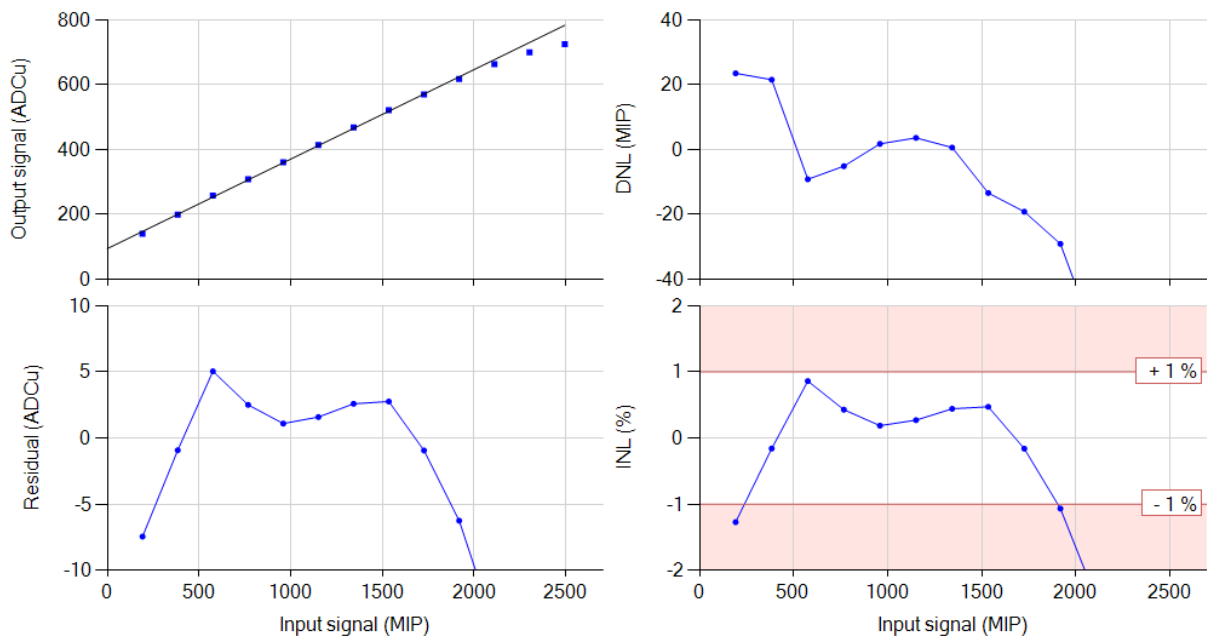
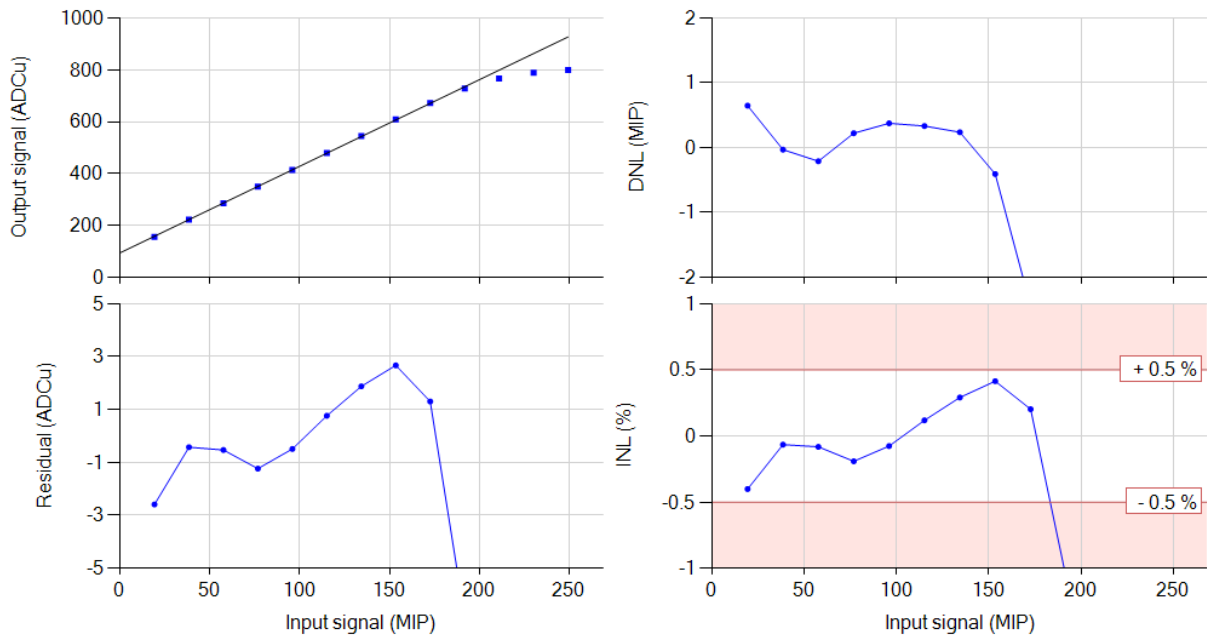


Figure 203 : Linéarité en sortie de slow shaper gain 1 en utilisant le PACSP.

Les résultats de la régression donnent un piédestal à 91,5 ADCu et une pente de 0,28 ADCu/MIP. Il y a une forte non-linéarité pour les signaux inférieurs à 700 MIP. Cela est dû à l'étage de cascode replié qui n'est pas polarisé de manière optimale. Cet effet est visible en simulation en changeant le point de polarisation. Il avait cependant été choisi pour ne pas poser de problème et montre en mesure un écart de seulement 9,5 mV par rapport à sa valeur de simulation. Le souci vient probablement de la valeur de tension de seuil du transistor qui se trouve après fabrication assez éloignée de la valeur des modèles de simulation.

La linéarité en sortie de shaper haut gain est donnée sur la Figure 204.



**Figure 204 : Linéarité en sortie de slow shaper gain 10 en utilisant le PACSP.**

La sortie est linéaire à 1 % INL jusqu'à 180 MIP avec une pente de 3,34 ADCu/MIP et un piédestal à 93 ADCu. L'effet de non-linéarité aux alentours des 500 MIP n'est pas visible ici.

## 15.2 PACSN

La linéarité est mesurée en sortie de slow shaper gain 1 et gain 10 en utilisant le préamplificateur PACSN. Les résultats en sortie du slow shaper gain 1 montrent une linéarité INL à 1 % jusqu'à 2300 MIP (8,74 pC) avec une capacité de contre-réaction du préamplificateur de 7,5 pF (Figure 205). La linéarité a également été mesurée en sortie de slow shaper gain 10 et donne une linéarité INL à 1 % jusqu'à 190 MIP (722 fC, Figure 206).

Dans les deux cas le résidu est de seulement quelques coups d'ADC, cependant ces quelques coups d'ADC en sortie de slow shaper gain 1 correspondent à quelques dizaines de MIP. En effet la pente de la régression linéaire est ici d'environ 0,308 coups d'ADC pour un MIP. Un résidu de 2 coups d'ADC correspond à une erreur sur la mesure de 6,5 MIP. C'est pour cela que le DNL va jusqu'à 10 MIP. Il est d'ailleurs important de noter qu'une non-linéarité INL de 1 % pour 2300 MIP correspond à 23 MIP de non-linéarité. Les résultats en sortie de slow shaper bas gain ne sont cependant intéressants que pour un signal supérieur à 190 MIP en entrée, ce qui relativise la valeur absolue de ces résultats.

Le DNL en sortie de slow shaper haut gain montre une non-linéarité inférieure à  $\pm 0,5$  MIP (1,9 fC). Ces résultats sont bien plus intéressants car c'est ce shaper qui sera utilisé pour la mesure du MIP unique. La pente de la linéarité pour le slow shaper haut gain est de 3,461 coups d'ADC pour un MIP. Un résidu de 2 coups d'ADC est donc inférieur à la valeur d'un MIP.

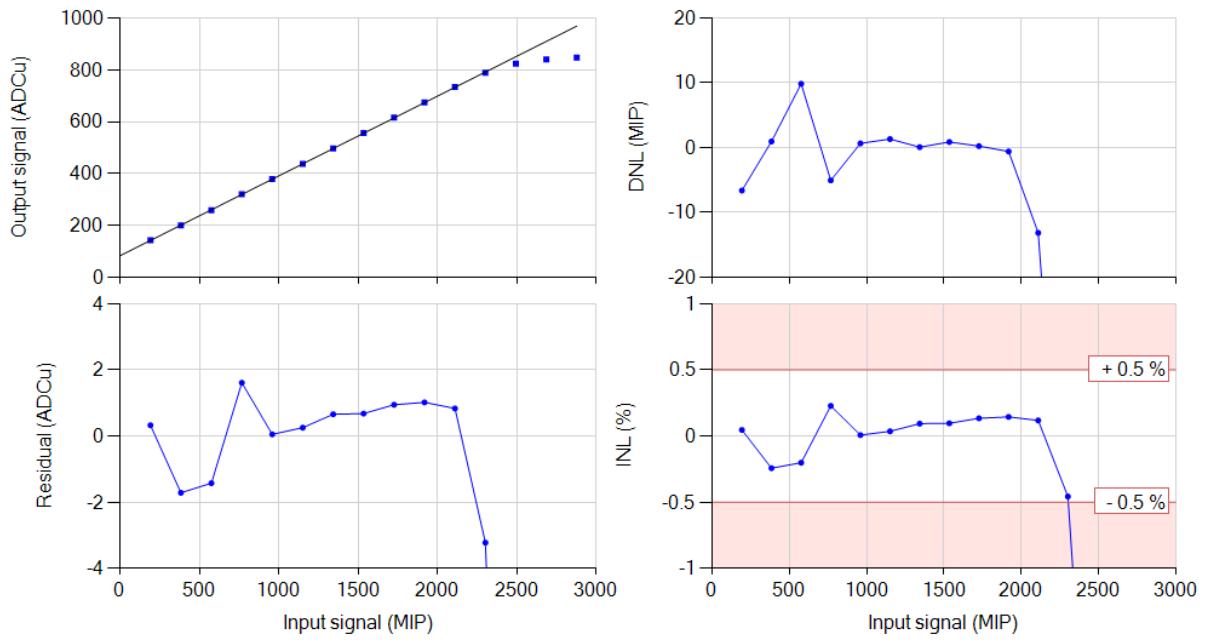


Figure 205 : Linéarité en sortie de slow shaper gain 1 en utilisant le PACSN.

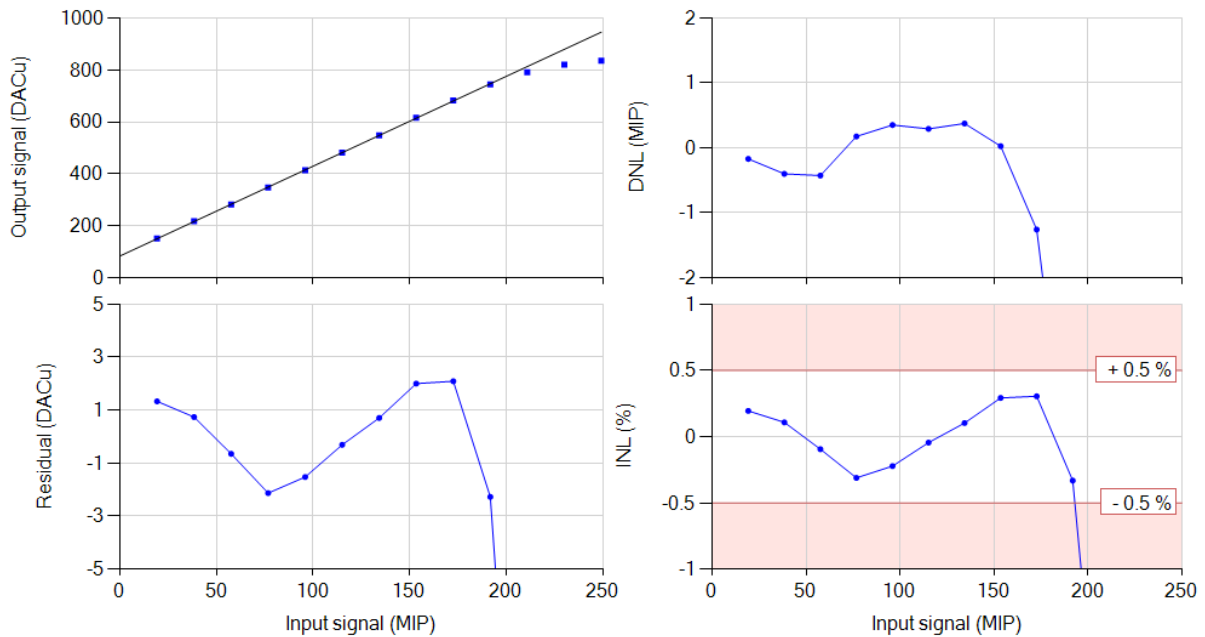


Figure 206 : Linéarité en sortie de slow shaper gain 10 en utilisant le PACSN.

Il faut cependant noter que le DNL présenté ici n'a pas grand sens, une linéarité DNL se mesurant en incrémentant la linéarité par pas minimal. Afin de mieux appréhender le comportement du signal en sortie du slow shaper haut gain, une linéarité MIP par MIP jusqu'à 43 MIP a été tracée Figure 207. Sur ces valeurs, une non-linéarité DNL de  $\pm 0,15$  MIP est observée. La non linéarité INL de 3 % n'est pas révélatrice car l'INL est calculé tel que  $INL = (data - fit) / data_{max}$ . Le  $data_{max}$  ici n'étant pas le « vrai » maximum, cette mesure est biaisée. En considérant  $data_{max} \approx 700$  comme dans le cas de la linéarité Figure 206 réalisée avec le même paramétrage du slow control la non-linéarité INL devient 7 fois plus faible et donc largement inférieure à 1 % sur cette portion.

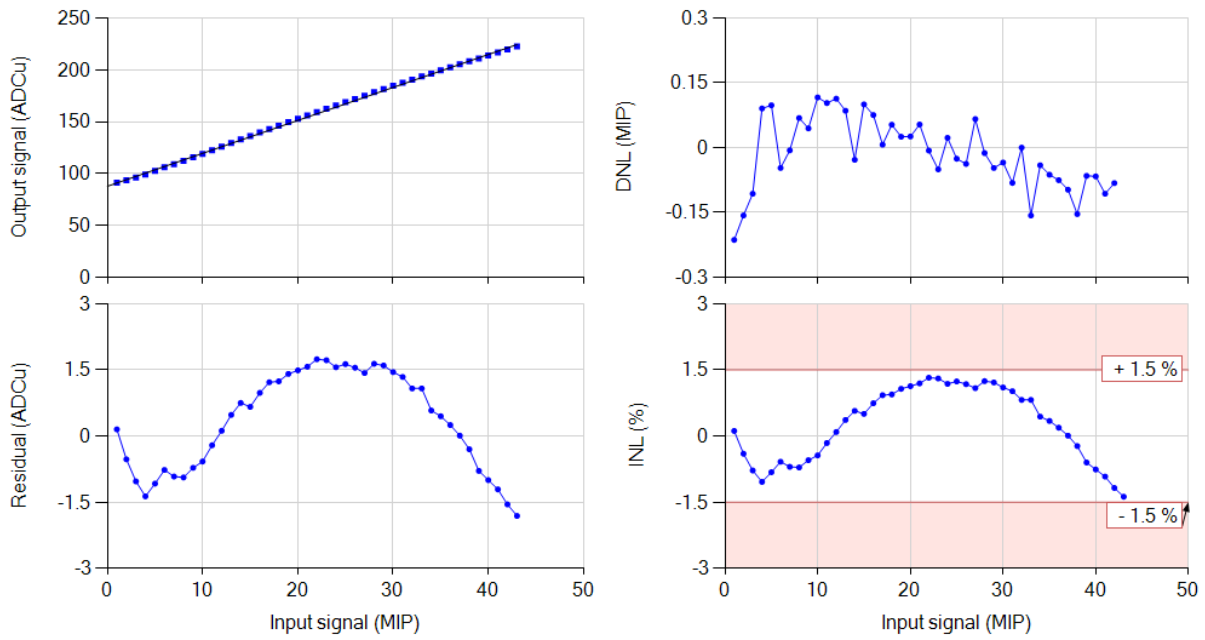


Figure 207 : Linéarité MIP par MIP en sortie slow shaper gain 10 en utilisant le PACSN.

### 15.3 PADIF

La dernière linéarité est celle du PADIF. C'est celui qui montrait la meilleure linéarité et gamme dynamique en simulation. La gamme dynamique du shaper limitait cependant celle en sortie du préamplificateur dans les simulations. La linéarité en sortie de shaper bas gain est donnée sur la Figure 208.

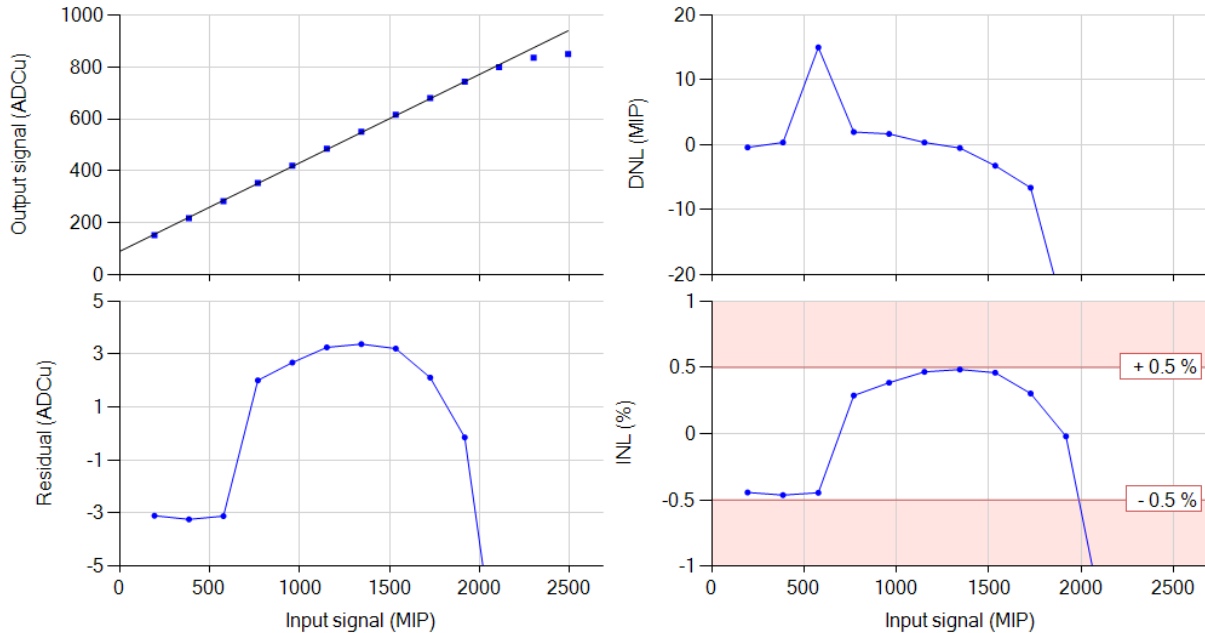


Figure 208 : Linéarité en sortie de slow shaper gain 1 en utilisant le PADIF.

La sortie est linéaire à 1% INL jusqu'à 2000 MIP. C'est bien moins qu'en simulation et, de manière surprenante, moins que pour le PACSN. Cette limitation est due à la chaîne d'acquisition qui ne permet pas de relire la pleine gamme dynamique du préamplificateur. La linéarité mesurée ici est

en fait celle du shaper bas gain. La pente de la régression linéaire donne 0,341 ADCu/MIP pour un piédestal à 89,7 ADCu.

La linéarité en sortie de shaper haut gain est présentée sur la Figure 211.

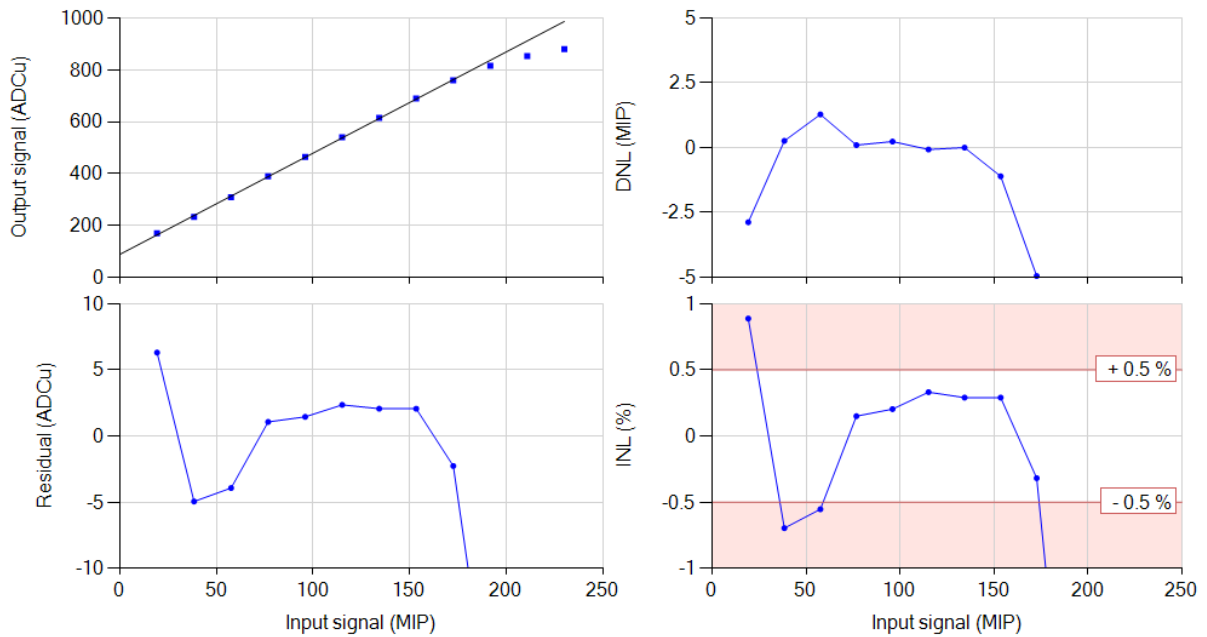


Figure 209 : Linéarité en sortie de slow shaper gain 10 en utilisant le PADIF.

La linéarité est très mauvaise pour les signaux inférieurs à la cinquantaine de MIP. La pente est de 3,9 ADCu/MIP et le piédestal se trouve à 88 ADCu. La linéarité MIP à MIP jusqu'à 47 MIP est donnée sur la Figure 210.

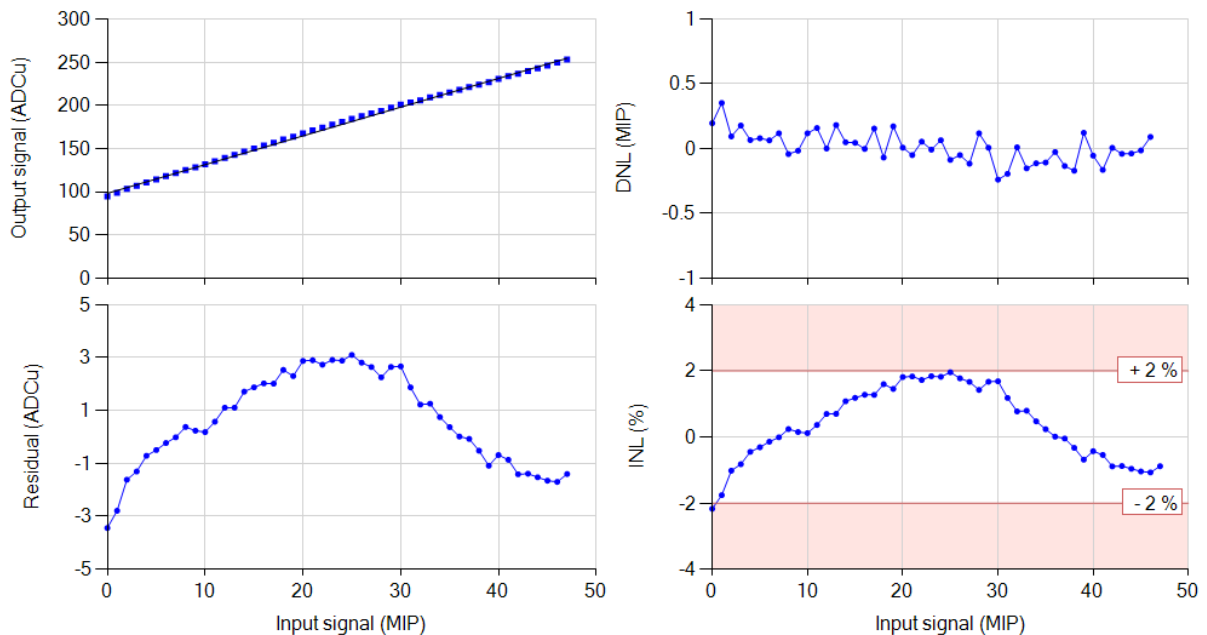


Figure 210 : Linéarité MIP par MIP en sortie slow shaper gain 10 en utilisant le PADIF.

Les commentaires concernant l'INL sont les mêmes que pour le PACSN. Le DNL semble moins bon que pour le PACSN mais reste néanmoins inférieur à  $\pm 0,3$  MIP sur la portion mesurée.

## 16 SNR en sortie de fast shaper

Le rapport signal sur bruit a été mesuré en sortie de fast shaper grâce à l'oscilloscope. Cette technique n'est pas la plus précise mais le tracé des S-curves à la manière de ce qui a été vu sur SKIROC2 n'est pas disponible sur cet ASIC car il n'a pas de DAC interne pour régler la valeur du seuil de déclenchement. Ce seuil est amené par une référence externe. Les résultats de la mesure à l'oscilloscope sont présentés dans le Tableau 14 et sur la Figure 211. Ces résultats montrent clairement une amélioration du rapport signal sur bruit avec la diminution de la capacité de contre-réaction.

$C_f$	SNR PADIF	SNR PACSP	SNR PACSN
1	12,60	10,88	12,24
2	11,16	10,56	11,68
3	10,36	9,73	11,21
4	11,18	9,29	10,48
5	10,55	9,30	9,58
6	10,09	8,29	9,21
7	9,45	7,87	8,79

Tableau 14 : SNR mesuré en sortie du fast shaper des 3 préamplificateurs en fonction de la capacité de contre-réaction.

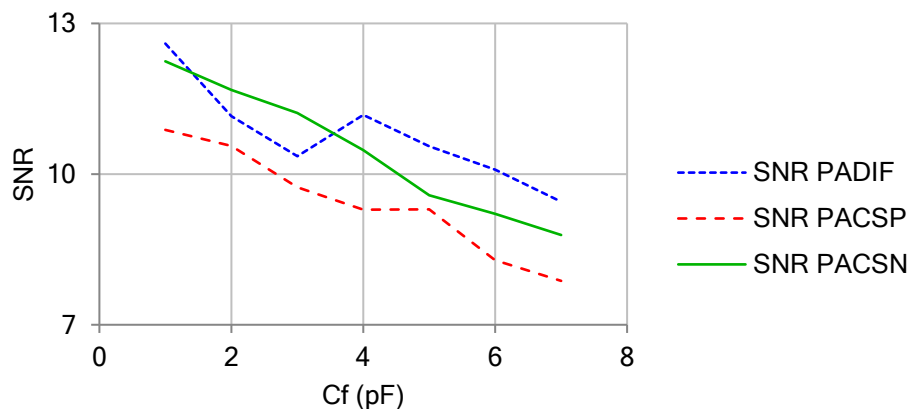


Figure 211 : SNR mesuré en sortie du fast shaper des 3 préamplificateurs en fonction de la capacité de contre-réaction.

Le SNR diminue au fil de l'augmentation de la capacité de contre-réaction et donc du gain du préamplificateur de manière tout à fait prévisible. Le SNR du PACSP est le plus mauvais. Cela est probablement dû à la réjection d'alimentation très mauvaise de cet amplificateur, car les résultats étaient, comparativement aux 2 autres amplificateurs, bien meilleurs en simulation avec une alimentation idéale. Pour rappel les valeurs de SNR en sortie de fast shaper avec  $C_f = 7,5$  pF d'après simulation donnent les résultats présentés dans le Tableau 15.

	SNR simulé	SNR mesuré
<b>SKIROC2 (6 pF)</b>	13,6	11,6
<b>PACSP</b>	8,84	7,7
<b>PACSN</b>	10,13	8,6
<b>PADIF</b>	8,85	9,2

Tableau 15 : Résultats simulés et mesurés du SNR des 3 préamplificateurs avec Cf = 7,5 pF. Le SNR est mesuré en sortie de fast shaper. Ces résultats sont comparés au SNR en sortie de fast shaper de SKIROC2 avec Cf = 6 pF.

De manière assez étonnante, le SNR en sortie de fast shaper pour le PADIF est plus grand de 4 % en mesure qu'en simulation. Il est 13 % moins bon en mesure pour le PACSP et 15 % moins bon pour le PADIF.

## 17 Discrimination du MIP

Cette mesure consiste à vérifier que les MIP sont identifiables un à un en sortie d'ADC. Elle n'est valable que pour l'énergie mesurée en sortie de slow shaper haut gain. En effet elle est inutile en sortie de slow shaper bas gain car ce n'est pas ce shaper qui servira à faire la mesure du MIP unique. De plus comme démontré par les linéarités précédentes, pour une capacité de contre-réaction de 7,5 pF, il y a plusieurs MIP par coup d'ADC en utilisant le shaper bas gain, rendant cette mesure impossible avec cette résolution d'ADC. Les résultats de mesure pour le PACSP sont dévoilés Figure 212.

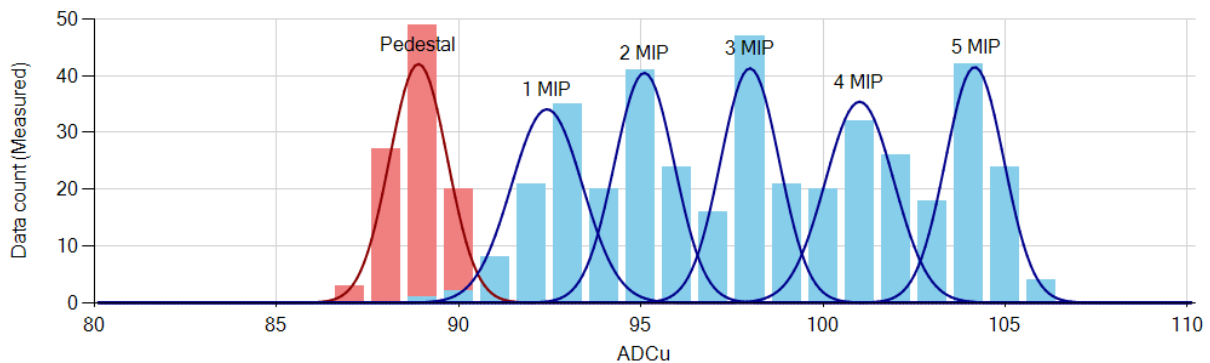


Figure 212 : Discrimination du MIP en utilisant le PACSP.

Le Tableau 16 résume les résultats en se basant sur les paramètres des gaussiennes extraites des mesures. Les paramètres des gaussiennes ne sont pas déduits par régression linéaire. La position est donnée par la moyenne des résultats mesurés pour un signal donné et l'écart-type est tout simplement l'écart-type de la distribution. Cela signifie que l'hypothèse d'une distribution de bruit gaussienne a été faite : Le bruit cohérent est considéré comme négligeable.

signal	Position (ADCu)	Ecart-type (ADCu)	SNR (SNR/nb MIP)
<b>Piédestal</b>	88,89	0,79	N/A
<b>1 MIP</b>	92,42	0,98	3,6
<b>2 MIP</b>	95,09	0,82	7,56 (3,78)
<b>3 MIP</b>	97,99	0,80	11,38 (3,79)
<b>4 MIP</b>	101,00	0,94	12,88 (3,22)
<b>5 MIP</b>	104,16	0,80	15,27 (3,81)

Tableau 16 : Résumé des résultats de mesure de la discrimination du MIP pour le PACSP.

Les résultats des mesures sont 2 fois moins bons que ce qui était prévu par la simulation en termes de bruit. Le SNR en sortie de slow shaper haut gain était de 7,7 d'après simulation. Les résultats sont aussi dégradés pour le PACSN dans une moindre mesure comme le montrent la Figure 213 et le Tableau 17.

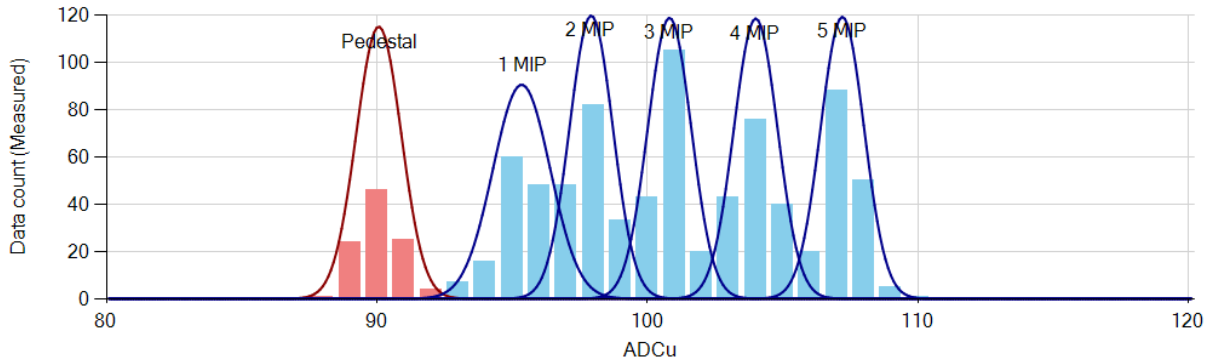


Figure 213 : Discrimination du MIP en utilisant le PACSN.

signal	Position (ADCu)	Ecart-type (ADCu)	SNR (SNR/nb MIP)
<b>Piédestal</b>	90,07	0,83	N/A
<b>1 MIP</b>	95,35	1,06	4,98
<b>2 MIP</b>	97,92	0,80	9,81 (4,91)
<b>3 MIP</b>	100,82	0,81	13,27 (4,42)
<b>4 MIP</b>	104,01	0,81	17,21 (4,30)
<b>5 MIP</b>	107,21	0,80	21,43 (4,29)

Tableau 17 : Résumé des résultats de mesure de la discrimination du MIP pour le PACSN.

Ici la simulation donne un SNR de 7,75 et la mesure un SNR de seulement 4,3 environ. Les résultats sont dégradés de 44 % de la simulation à la mesure. Pour le PADIF les résultats sont encore une fois 2 fois moins bons en mesure, avec un SNR de 3,7 au lieu de 7,75 en simulation.

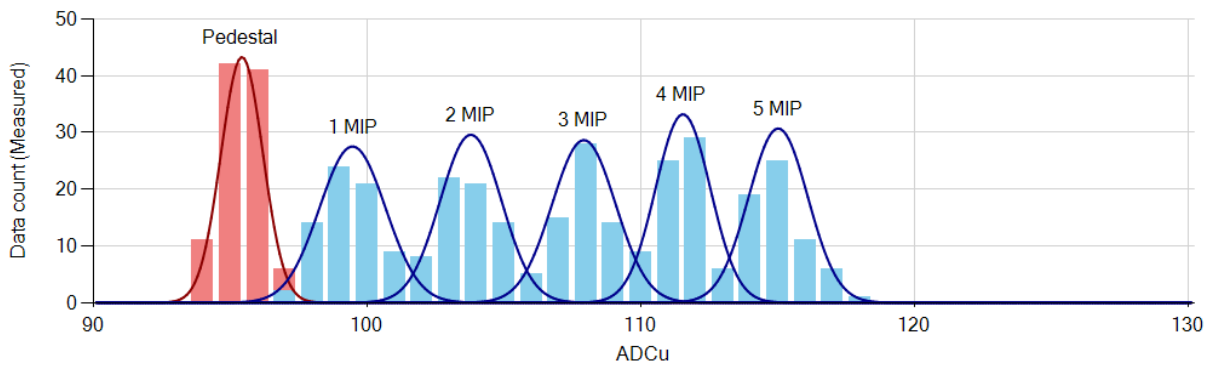


Figure 214: Discrimination du MIP en utilisant le PADIF.

signal	Position (ADCu)	Sigma (ADCu)	SNR (SNR/nb MIP)
<b>Piédestal</b>	95,42	0,77	N/A
<b>1 MIP</b>	99,46	1,21	3,34
<b>2 MIP</b>	103,78	1,12	7,46 (3,73)
<b>3 MIP</b>	107,91	1,16	10,77 (3,59)
<b>4 MIP</b>	111,53	1,00	16,11 (4,03)
<b>5 MIP</b>	115,01	1,08	18,14 (3,63)

Tableau 18 : Résumé des résultats de mesure de la discrimination du MIP pour le PADIF.



Les mesures sur les trois préamplificateurs montrent une dégradation cohérente des résultats concernant le bruit. Le bruit est 2 fois plus important en mesure qu'en simulation en sortie de slow shaper haut gain. Pour rappel le SNR de SKIROC2 était de 6,7 en mesure (11,17 en simulation), contre 4,3 dans le meilleur des cas ici (7,7 en simulation). Le SNR de SKIROC2 en sortie de shaper gain 10 est cependant donné pour une capacité de contre-réaction sur le préamplificateur de 6 pF au lieu de 7,5 pF.

## 18 Réjection d'alimentation

La réjection d'alimentation a été évaluée de manière assez grossière en injectant un signal sinusoïdal sur l'alimentation des préamplificateurs. Cette mesure ne caractérise pas le comportement de la réjection d'alimentation mais permet de bien rendre compte de l'évolution des performances selon les préamplificateurs utilisés. Le signal a été injecté à 1 MHz et il a une amplitude de 50 mV.

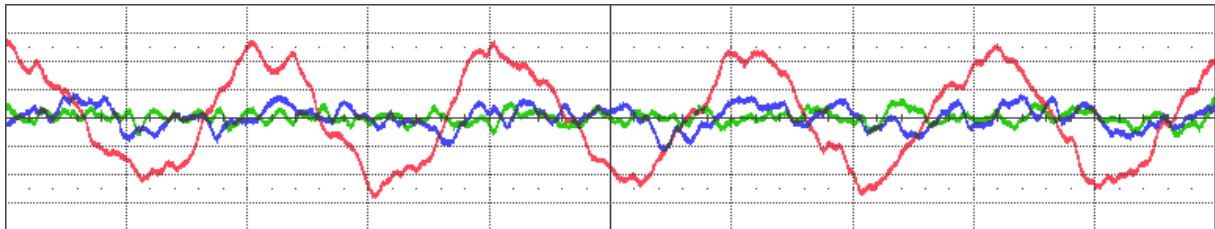


Figure 215 : Signal en sortie du PACSP (rouge), PADIF (bleu) et PACSN (vert) sous l'influence de l'injection d'un signal sinusoïdal d'amplitude 50 mV et de fréquence 1 MHz sur l'alimentation.

Il est constatable au premier coup d'œil que les architectures du PADIF et du PACSN sont bien plus résistantes au bruit d'alimentation que celle du PACSP. Ce résultat semble évident de par la construction des préamplificateurs, la mesure permet cependant de valider le travail effectué sur la réjection d'alimentation.

## 19 Conclusions sur les mesures sur carte de test et comparaison avec SKIROC2

Ces mesures ont pu démontrer que les canaux de lecture de diodes PIN développés ici sont fonctionnels dans leur globalité. Tous les building blocks réalisés fonctionnent au moins de manière basique. Chaque canal est capable d'auto-déclencher sur le signal entrant minimal et les linéarités en sortie d'ADC montrent une bonne linéarité de la chaîne analogique et numérique complète. Seul le PACSP montre un léger défaut de linéarité du fait d'une mauvaise polarisation de l'étage de cascode replié, la référence de tension du cascode pouvant être ajustée grâce à des résistances externes sur la carte de test. Quelques comportements des signaux analogiques restent à comprendre, et une caractérisation en profondeur reste à faire.

D'après des mesures préliminaires, le problème de diaphonie numérique ne semble pas résolu. En effet, pour pouvoir avoir des mesures de la charge du signal minimal propres, il a fallu masquer tous les canaux voisins car le bruit causé par le déclenchement des voisins gênait la mesure, il y avait beaucoup de faux événements.

Du point de vue des performances globales, la gamme dynamique en tension des préamplificateurs développés en technologie X-Fab est au moins égale à celle de SKIROC2. La gamme dynamique en termes de MIP est meilleure car la capacité de contre-réaction peut monter jusqu'à 7,5 pF au lieu de 6 pF pour SKIROC2. En revanche les performances en bruit sont moins avantageuses. En sortie de fast shaper le SNR se trouve entre 8 et 9 pour le gain de préamplificateur minimal, à comparer au SNR de 11,6 pour SKIROC2 avec cependant un gain légèrement plus élevé. Rien de dramatique donc en ce qui concerne le fast shaper, en revanche les performances sur les slow shapers sont presque 2 fois moins bonnes. Le large bruit supplémentaire vient du bruit en  $1/f$  qui avait déjà été remarqué dans les simulations comme étant bien plus mauvais que dans la technologie d'AMS. À la fréquence de travail du fast shaper, le bruit de flicker est minoritaire devant le bruit série du préamplificateur, mais aux fréquences de travail des slow shapers le bruit de flicker n'est pas négligeable, voir prépondérant.

Concernant la consommation, un canal de lecture de SKIROC2 consomme 5 mW alors qu'ici la consommation est inférieure à 1,7 mW. En ajoutant la consommation de tous les blocs communs et en considérant que le circuit final ferait 64 canaux de lecture, La consommation resterait tout de même inférieure à 1,8 mW par canal. En termes de courant un canal de lecture en xt018 consomme entre 900 et 950  $\mu$ A en fonction du préamplificateur pour une tension d'alimentation de 1,8 V alors que SKIROC2 consomme 1,3 mA pour une tension d'alimentation de 3,3 V.

# Conclusion et perspectives

---

Durant cette thèse a été menée dans une première partie la présentation du contexte scientifique dans lequel se sont déroulés les travaux présentés ici. Une étude très théorique des circuits de lecture de détecteurs dans le cadre de l'instrumentation pour la physique des particules a également été menée afin de bien définir les concepts de base utilisés tout au long du développement du rapport de thèse. Les outils mathématiques et les principaux blocs analogiques utilisés, tel le préamplificateur et les filtres, y ont été introduits. L'étude des « S-curves » et la démonstration de la formule permettant d'exprimer l'efficacité de déclenchement dans le cas du piédestal sont une réalisation importante de cette thèse permettant de bien calibrer les positions des piédestaux et d'extraire de manière correcte le bruit. Il n'y a pas à ma connaissance de littérature ayant déjà abordé ce problème de cette manière. Pour rappel l'efficacité de déclenchement sur le signal s'exprime telle que

$$S(x) = 0,5 \times \operatorname{erfc}\left(\frac{x - \mu}{\sigma\sqrt{2}}\right) \quad (101)$$

Avec  $\operatorname{erfc}()$  la fonction d'erreur complémentaire,  $\mu$  la position du maximum du signal non bruité et  $\sigma$  l'écart-type du bruit. L'efficacité de déclenchement sur le piédestal s'écrit

$$P(x) = 1 - e^{-N_0 \times \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right)} \quad (102)$$

Avec

$$N_0 = T \times f_0 = T \times 2 \left[ \frac{1}{3} \frac{f_b^3 - f_a^3}{f_b - f_a} \right]^{\frac{1}{2}} \quad (103)$$

$T$  étant la durée en secondes de la fenêtre d'acquisition des déclenchements pour un seuil donné et  $f_b$  et  $f_a$  les fréquences de coupure hautes et basses respectivement d'un filtre passe-bande.

Dans la deuxième partie a été menée l'étude en profondeur de la puce SKIROC2, état de l'art du circuit de lecture pour le projet de calorimètre électromagnétique ultra-granulaire pour l'ILC. Toute la partie théorique du premier chapitre a permis de comprendre les résultats de simulations et leurs écarts avec l'idéal. Les mesures sur carte de test ont montré les très bonnes performances de SKIROC2. Les mesures du circuit SKIROC2 dans l'environnement du détecteur ont montré que la mauvaise réjection d'alimentation du préamplificateur était un problème important. Cette mauvaise réjection crée des déclenchements simultanés dans tous les canaux de la puce sur du bruit d'alimentation baptisés « événements plans ». SKIROC2 a été développé en partant du principe que l'alimentation du premier étage du préamplificateur serait dédiée et bien isolée, notamment des alimentations digitales. La réalité du prototypage des cartes de front-end pour les détecteurs, avec des lignes d'alimentations très longues et alimentant un nombre important de puces font que la réjection d'alimentation devient un problème. Pour les besoins des mesures le problème a été résolu avec de volumineuses capacités de découplage, inutilisables dans l'environnement du détecteur final. Régler ce problème de réjection d'alimentation était une des priorités de cette thèse, et la

motivation principale de ces développements. La diaphonie numérique pose également problème en générant un bruit cohérent non négligeable dont l'effet est bien visible sur l'efficacité de déclenchement du piédestal. L'hypothèse d'un couplage par le substrat a été faite et, pour la vérifier, le développement de la nouvelle puce dans une technologie SOI a été choisi.

Une fois le comportement de la puce SKIROC2 bien maîtrisé et les principaux axes de développement posés, la création de building blocks dans la technologie xt018 d'X-Fab a pu débuter. L'objectif principal était de développer quelques prototypes de préamplificateur de charge et de comparer leur performances en gardant à l'esprit les problématiques de réjection du bruit d'alimentation. Au fur et à mesure de l'avancée des travaux, ces simples building blocks se sont transformés en prototypes de canaux de lecture. Le but était de créer un prototype d'ASIC de lecture dont les performances étaient de l'ordre de celles de SKIROC2, avec une tension d'alimentation divisée par deux et dans une technologie encore jamais utilisée avant par les laboratoires de l'IN2P3. Les résultats de mesure, encore préliminaires, montrent que la réjection d'alimentation a bien été maîtrisée mais que les problèmes de diaphonie sont toujours présents. Il reste à caractériser leur magnitude pour pouvoir constater d'une amélioration ou non. Concernant les performances pures, la gamme dynamique a été améliorée de 50 % tout en préservant des performances en bruit en sortie de fast shaper satisfaisantes. Un rapport signal sur bruit supérieur à 10 en sortie de fast shaper sera tout de même un critère important à respecter pour que l'ASIC soit utilisable dans le calorimètre. Le bruit en sortie de slow shaper, pour la mesure de charge, a été dégradé d'un facteur de presque deux. La discrimination du MIP unique en devient difficile et là encore des améliorations seront nécessaires pour que l'ASIC soit utilisable. Le problème de redéclenchements et de couplage numérique ne semble pas avoir été résolu par l'utilisation de cette technologie SOI en isolant par des tranchées profondes tous les blocs analogiques (couche appelée DTI pour « Deep Trench Isolation » dans la documentation fournie par X-Fab).

De futurs développements pourraient permettre l'amélioration du rapport signal sur bruit, les travaux présentés ici étant très exploratoires et le développement de la totalité de la puce ayant été réalisé en moins de 6 mois. Réduire les valeurs de résistance à l'entrée des shapers, au prix d'une surface plus importante occupée par les capacités, pourrait améliorer les performances en bruit par exemple. Une meilleure maîtrise du bruit de flicker dans cette technologie peut également amener son lot d'améliorations. D'autres architectures de préamplificateurs au niveau transistor pourraient être imaginées et il reste encore la solution de choisir une autre technologie, SOI ou non. Pour finir, la consommation est très largement inférieure à la limite fixée par le cahier des charges, ce qui laisse une marge de manœuvre confortable.

Un système de contre-réaction switché comme dans l'ASIC KPiX [27] peut également faire partie des développements possibles. L'objectif est de changer le gain du préamplificateur à la volée pendant l'acquisition si la charge entrante dépasse un certain seuil. Ainsi pour les faibles signaux entrants le gain du préamplificateur est très grand et le rapport signal sur bruit est optimisé. Si le signal entrant dépasse un certain seuil, la capacité de contre-réaction est augmentée pour permettre l'acquisition de l'énergie sans saturer. Le rapport signal sur bruit en sera dégradé mais pour les signaux de charge importante ce n'est pas important. De plus même si le rapport signal sur bruit est diminué, le bruit RMS est diminué également et dans les développements présentés ici par exemple,

le bruit était largement inférieur au LSB de l'ADC dans le cas de la mesure de charge bas gain. Sacrifier le rapport signal sur bruit pour les charges entrantes importantes n'est pas un problème.

Pour résumer, les résultats de mesures obtenus avec les building blocks réalisés ici sont très satisfaisants pour un premier essai dans une nouvelle technologie. Les principaux points forts et points faibles ont été identifiés et ouvrent la porte à de futurs développements potentiels. J'espère que la partie très théorique concernant les circuits de lecture, présentée dans le premier chapitre, pourra servir à de nombreuses personnes à la compréhension du fonctionnement des ASIC de lecture de photo-détecteurs. La littérature sur le sujet est assez rare et éparse et l'écriture de ce chapitre, en plus de m'aider à bien fixer les idées et les concepts nécessaires au développement de circuits de lecture, a permis le recueil de toutes ces informations au sein d'un unique document.

# Bibliographie

---

- [1] F. Englert et R. Brout, «Broken Symmetry and the Mass of Gauge Vector Mesons,» *Physical Review Letters*, 1964.
- [2] G. Guralnik, C. R. Hagen et T. W. B. Kibble, «Global Conservation Laws and Massless Particles,» *Physical Review Letters*, 1964.
- [3] P. Higgs, «Broken Symmetries and the Masses of Gauge Bosons,» *Physical Review Letters*, 1964.
- [4] «ILC - International Linear Collider,» [En ligne]. Available: <https://www.linearcollider.org/ILC>. [Accès le Septembre 2016].
- [5] CMS collaboration, «Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC,» *Physics Letters B.*, 2012.
- [6] ILC Collaboration, International Linear Collider Reference Design Report, 2007.
- [7] B. Aune et al., «Superconducting TESLA cavities,» *Physical Review Special Topics - Accelerators and Beams*, 2000.
- [8] ILC Collaboration, International Linear Collider Technical Design Report, 2013.
- [9] H. D. Politzer, «Reliable Perturbative Results for Strong Interactions?,» *Physical Review Letters*, 1973.
- [10] D. J. Gross, J. Henry et F. Wilczek, «Asymptotical Free Gauge Theories. I,» 1973.
- [11] J.-C. Brient, «Particle Flow Algorithm and Calorimeter Design,» *Journal of Physics: Conference Series*, 2009.
- [12] Nobelprize.org, «The Nobel Prize in Physics 2013,» [En ligne]. Available: [http://www.nobelprize.org/nobel\\_prizes/physics/laureates/2013/](http://www.nobelprize.org/nobel_prizes/physics/laureates/2013/). [Accès le Septembre 2016].
- [13] Y. Jacquier, Préamplificateur de courant bas-bruit pour le calorimètre électromagnétique d'ATLAS, 1997.
- [14] R. L. Chase, C. de la Taille, J.-P. Richer et N. Seguin-Moreau, «A Fast monolithic shaper for the atlas E.M. calorimeter,» chez *Calorimetry in HEP*, Brookhaven, 1995.
- [15] M. Raymond, J. Crooks, M. French et G. Hall, «The MGPA electromagnetic calorimeter readout chip for CMS,» *IEEE Transactions on Nuclear Science*, 2005.

- [16] P. R. Gray et R. G. Meyer, *Analysis and Design of Analog Integrated Circuits Second Edition*, John Wiley & Sons, 1984.
- [17] S. O. Rice, *Mathematical Analysis of Random Noise*.
- [18] P. Da Silva, «Élaboration d'un banc de tests pour l'électronique front-end du détecteur de particules MICROMEGAS pour l'expérience COMPASS.,» 2000.
- [19] S. Callier, F. Dulucq, C. de La Taille, G. Martin-Chassard et N. Seguin-Moreau, «SKIROC2, front end chip designed to readout the Electromagnetic CALorimeter at the ILC,» *Journal of instrumentation*, vol. 6, 2011.
- [20] Omega, SKIROC2 datasheet, 2012.
- [21] Omega, SKIROC2 Software & testboard user guide, 2014.
- [22] M. A. e. al., «Beam test performance of the SKIROC2 ASIC,» *Nuclear Instruments and Methods in Physics Research*, vol. 778, 2015.
- [23] R. Poeschl, «R&D for a highly granular silicon tungsten electromagnetic calorimeter,» chez *16th International Conference on Calorimetry in High Energy Physics*, Giessen, Germany, 2014.
- [24] R. Cornat et R. Poeschl, «Technological Prototype of a Silicon-tungsten Imaging Electromagnetic Calorimeter,» chez *Third International Conference on Technology and Instrumentation in Particle Physics*, Amsterdam, Netherlands, 2014.
- [25] A. Marshall et S. Natarajan, *SOI Design: Analog, Memory and Digital Techniques*, Kluwer Academic Publisher, 2002.
- [26] V. Radeka, «State of the Art of Low Noise Amplifiers for Semiconductor Radiation Detectors,» *Proc. Int'l. Symposium on Nuclear Electronics*, vol. 1, 1968.
- [27] D. Freytag, «KPiX, An Array of Self Triggered Charge Sensitive Cells Generating Digital Time and Amplitude Information.,» chez *IEEE*, Dresden, Germany, 2008.
- [28] M. Dahoumane, «A Low Noise and High Dynamic Charge Sensitive Amplifier-Shaper associated with Silicon Strip Detector for Compton Camera in hadrontherapy,» *IEEE Nuclear Science Symposium and Medical Imaging Conference*, 2012.
- [29] O. Limousin, «IDeF-X ASIC for Cd(Zn)Te spectro-imaging systems,» *IEEE Transactions on Nuclear Science*, vol. 52, n° 15, 2005.
- [30] S. Conforti Di Lorenzo, «Développement et caractérisation d'un ASIC de lecture de macro-cellule de photo-détecteurs de grande dimension,» 2010.

[31] Y. Chen, *Simulations and electronics development for the LHAASO experiment.*, 2015.

[32] C. E. Shannon, «Communication in the Presence of Noise,» *Proceedings of the IRA*, vol. 37, pp. 10-21, 1949.



# Remerciements

---

Je voudrais tout d'abord remercier le Jury de thèse, Rémi Cornat, Imad Laktineh, Guo-Neng Lu et Éric Delagnes qui, même s'il n'était pas officiellement rapporteur, a apporté des corrections précieuses au manuscrit de thèse et m'a largement aidé à résoudre le problème de l'étude de l'efficacité de déclenchement du piédestal en fonction du seuil.

Je voudrais ensuite remercier les personnes qui ont rendu possible cette thèse, notamment Jean-Claude Brient, directeur du Laboratoire Leprince-Ringuet, et Julien Fleury, directeur de Weeroc, l'entreprise qui a financé ma thèse CIFRE avec l'ANRT. Un merci particulier à Rémi Cornat, directeur de cette thèse, dont les conseils m'ont été très utiles, particulièrement au moment de la rédaction du manuscrit.

Un grand merci à toutes les personnes travaillant au LLR, à Omega et à Weeroc pour m'avoir accompagné et aidé pendant toutes ces années de thèse. Merci à Frédéric Dulucq pour le design de la partie digitale de l'ASIC. Merci à Salleh Ahmad, Ludovic Raux, Stéphane Callier, Gisèle Martin-Chassard et Damien Thienpont de m'avoir aidé à terminer l'ASIC pendant le rush du dernier mois avant la soumission.

Merci à Marc Louzir pour avoir réalisé, à deux reprises, le layout de mes cartes de test.

Merci à Christophe de La Taille et Nathalie Seguin-Moreau pour avoir partagé avec moi leur expertise technique et leur expérience. Désolé d'être parfois si lent à comprendre.

Merci aux personnes aillant partagé mon bureau de m'avoir supporté : Julien Fleury, Salleh Ahmad, Jean-Claude Carone, Sabrina Clemoux, Florent Perez, Yannick Geerebaert (merci pour les abricots), Jérôme Nanni, Frédéric Magniette, Franck Gastaldi, Floris Thiant, Benoit Renaud.

Merci à toute la collaboration CALICE de m'avoir accueilli en leur sein le temps d'un doctorat.

Merci à Brigitte Maroquesne pour m'avoir aidé à préparer mes missions.

Merci à Sylvaine Pieyre pour m'avoir aidé à faire mes posters.

Merci à Anne-Myriam Lubin pour m'avoir ramené en voiture chez moi quand il pleuvait fort.

Merci à Francis Lugiez et au service électronique de l'IRFU du CEA Saclay pour m'avoir donné goût à la microélectronique analogique à l'occasion de mon stage de première année de master.

Merci à tous les enseignants du master MACI de l'université Blaise Pascal de Clermont-Ferrand et plus particulièrement François Berry et Samuel Manen, responsables du master lors de mon passage en Auvergne.

Merci à mes 6 ex-colocataires pour ne pas avoir organisé trop de soirées chez nous pendant ma thèse.

Merci à toutes les personnes venues assister à ma soutenance.

Merci à Léa Spinner pour le soutien psychologique.

Merci à mes parents et toute ma famille pour m'avoir poussé et soutenu pendant toutes mes études.



**Titre :** Développement d'un circuit de lecture pour un calorimètre électromagnétique ultra-granulaire

**Mots clés :** Circuits analogiques ; Calorimètres électromagnétiques ; Circuits électroniques – Bruit ; Diodes PIN

**Résumé :** Le travail réalisé lors de cette thèse s'inscrit dans le projet de création d'un calorimètre électromagnétique pour le futur *International Linear Collider* (ILC) au sein de la collaboration CALICE. Le calorimètre est dit ultra-granulaire du fait du grand nombre de pixels de détection : environ 82 millions dans le calorimètre final complet. C'est ce nombre élevé de détecteurs à lire qui a conduit au développement de circuits intégrés dédiés à cette tâche, l'usage d'électronique classique n'étant pas possible dans ce cas du fait de contraintes dimensionnelles. Les travaux démarrent par l'étude de la puce SKIROC2, développée par le laboratoire Omega, qui est l'état de l'art de l'ASIC de lecture pour ce projet. Les performances sur carte de test et

dans l'environnement du détecteur ont été mesurées, ce qui a permis de tirer certaines conclusions sur les forces et les faiblesses de SKIROC2. Après cette étude, le travail a été le développement d'un nouvel ASIC de lecture se basant sur SKIROC2. L'objectif étant de préserver les forces de SKIROC2 tout en tentant d'en corriger les faiblesses. Le nouvel ASIC a été conçu dans une technologie tout juste disponible au moment de la conception. Il a donc tout fallu redessiner en repartant de zéro. Il s'agit en cela de building blocks plus que d'un véritable ASIC de lecture. Trois structures de préamplificateurs de charge ont été testées, l'architecture générale et le fonctionnement d'un canal de lecture étant largement inspirés de SKIROC2.

**Title:** Design of a read-out chip for a high granularity electromagnetic calorimeter

**Keywords:** Analog circuits ; Electromagnetic calorimeter ; Low noise ; PIN Diodes

**Abstract:** This work takes place in the design project of the electromagnetic calorimeter for the future International Linear Collider (ILC) within the CALICE collaboration. The final calorimeter will be made of 82 million of PIN diodes; this is where the term "high granularity" comes from. The need for a read-out ASIC is a consequence of this high number of detectors, knowing that the dimensions of the electromagnetic calorimeter are a big constraint: the standard electronics is not an option. This work starts from an existing ASIC called SKIROC2. This state-of-the-art read-out chip has been designed by the Omega laboratory, a member of the CALICE collaboration. The performances on testboard and in the detector

environment have been measured. It allowed to conclude on the advantages and drawbacks of using SKIROC2 in the calorimeter. After that the focus has been made on the design of a new read-out chip based on SKIROC2. The main goal was to preserve the good performances of SKIROC2 while trying to correct the encountered issues. This new ASIC has been developed in a newly released technology available during the design phase. Therefore the design has been started from scratch. The final chip is composed of building blocks rather than a ready-to-use read-out chip. Three charge preamplifier designs have been tested, the general architecture of a read-out channel being largely inspired by SKIROC2.

